

Ver 1.5

8 位 500MSPS 模数转换器

产品使用手册

产品型号: B08D500



北京微电子技术研究所



版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	2013.8	——	——	
1.1	2014.9	第六章	增加 6.1 节“质量等级及执行标准”	
		第六章	增加 6.3 节“贮存条件”	
1.2	2015.9	第七章	修改了部分参数	
1.3	2018.2	——	更改全文格式	
1.4	2018.12	——	修改市场二部联系方式	
1.5	2020.2	第四章	修正图“4.1”注意事项	
		第六章	增加“6.2.5.6”节电源考虑内容	

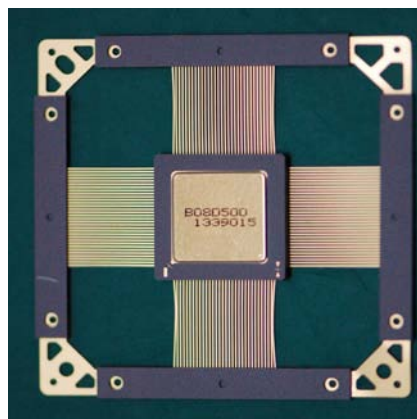


目 录

1、产品特性.....	1
2、产品概述.....	1
3、结构图.....	2
4、引脚描述.....	2
5、引脚定义（见附录 1）.....	5
6、产品描述.....	5
6.1 质量等级及执行标准.....	5
6.2 功能描述.....	5
6.2.1 总述.....	5
6.2.2 传输特性图.....	5
6.2.3 工作时序图.....	6
6.2.4 详细功能描述.....	8
6.2.5 应用说明.....	18
6.3 贮存条件.....	26
6.4 绝对最大额定值.....	27
6.5 推荐工作条件.....	27
7、电参数.....	27
8、典型应用描述及使用主要事项.....	35
8.1 典型应用（见附录 2）.....	35
8.2 使用注意事项.....	35
9、封装说明.....	36
附录 1 引脚定义.....	38
附录 2 典型应用.....	40
附录 3 对应替代国外产品情况.....	43

1、产品特性

- 集成内部高性能采样保持电路
- 单+1.9V $\pm$ 0.1V 低电源供电
- 可选单/双数据率输出时钟
- 时间交错模式下具有 2X 采样率
- 具有多通道 ADC 同步能力
- 8 位有效转换无失码
- 输入范围精确可调
- 具有用户模式的串行接口
- 集成高速数字校准电路



2、产品概述

B08D500是一款双通道、低功耗、高性能的CMOS模数转换器，其采样精度为8位，单通道采样率高达500MSPS，采用单电源1.9V供电，典型功耗为1.4W。它采用高速模-数转换电路以及数字自校准技术，保证器件的高速度和高动态特性。器件内部集成串行接口，支持用户控制、改变电路参数，以提高性能和满足系统要求。

3、结构图

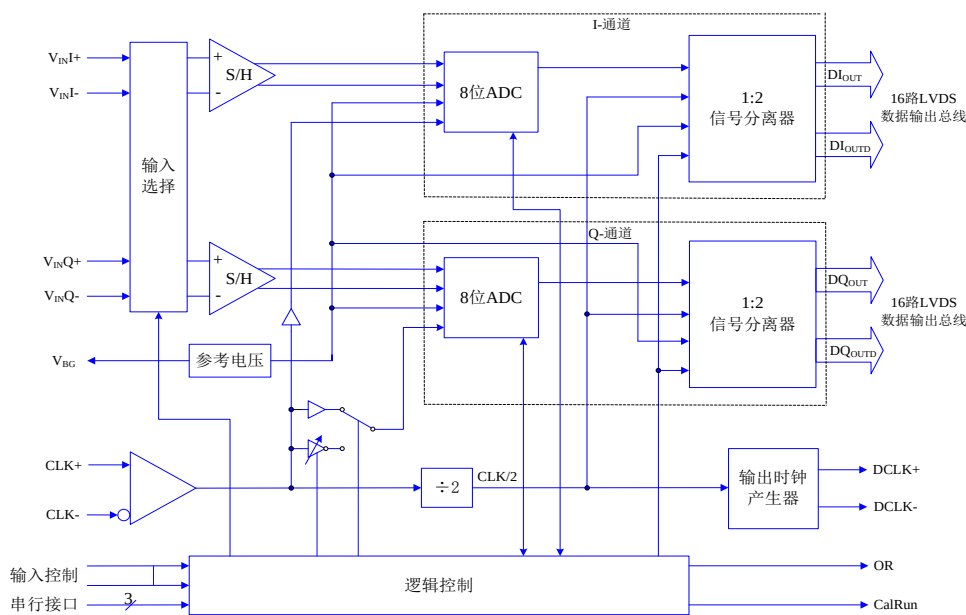


图 3-1 B08D500 结构示意图

4、引脚描述

B08D500采用CQFP128封装，引脚排列顺序如图4-1所示。

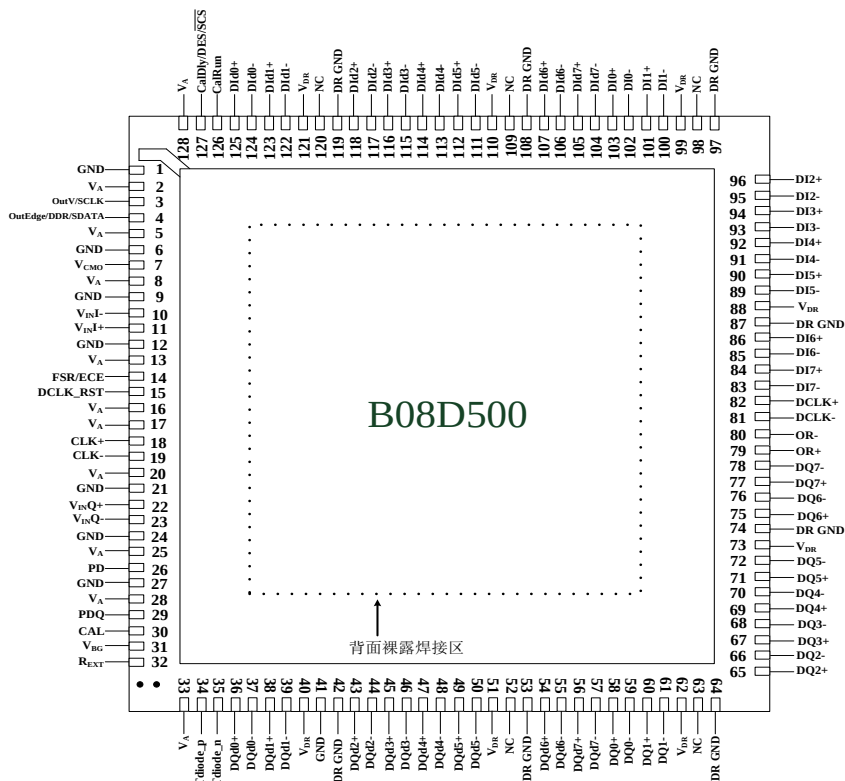


图4-1 B08D500引脚排列顺序

注意：管壳背面裸露的焊接点必须焊接到一个地平面以确保良好的散热性。

B08D500详细功能描述见表4-1:

表 4-1 B08D500 引脚功能描述

引脚符号	功能描述
OutV / SCLK	输出电压幅度和串行接口时钟。为高电平时，表示正常差分输出数据幅度；为低电平时，表示降低差分输出幅度和降低功耗。当扩展控制模式被激活时，SCLK 作为串行数据的输入时钟。
OutEdge / DDR / SDATA	DCLK 边沿选择，双倍数据率(Double Data Rate)和串行数据串行输入(Serial Data Input)。当输出数据转换时，此引脚用来设定 DCLK+的输出边沿。当此引脚浮空或连接到 1/2 电源电压时，使能 DDR 时钟。在扩展控制模式下，此引脚作为串行数据输入端(SDATA)。
DCLK_RST	复位。引脚输入正脉冲用于复位和同步多个转换器的时序 DCLK。
PD, PDQ	掉电模式。PD 引脚为高电平时，芯片进入低功耗掉电模式(Power Down Mode)。当 PDQ 引脚接高电平时，只有 Q 通道进入到低功耗掉电模式。
CAL	校准模式启动信号。最低 80 个时钟周期的逻辑低电平输入之后紧随 80 个时钟周期的逻辑高电平输入，将激发电路进入校准模式。
FSR/ECE	全刻度范围选择和扩展控制使能。在非扩展控制模式下，接高电平时，设置满量程差分输入电压范围为 800mV _{p-p} 。接低电平时，设置满量程差分输入电压范围为 600mV _{p-p} ，以替代 V _{IN} 的输入电压范围。当启用扩展控制模式时，即当采用串行接口和控制寄存器时，该引脚浮空或将其连接到 V _A /2。
CalDly/ DES / $\overline{\text{SCS}}$	校准延迟，双边采样和串行接口片选信号。当 FSR/ECE 引脚为低或为高条件下，在电路上电自校准开始之前，该引脚设定校准延迟时钟周期数。当 FSR/ECE 引脚浮空时，该引脚使能串行引脚接口输入，并设定 CalDly 延时时间为“0”。当此引脚是浮空或连接到 1/2 电源电压，选择双边采样模式，选择“T”路信号输入，此时采样时钟按两倍速率进行，并忽略“Q”路输入信号。
CLK+ CLK-	为 ADC 的 LVDS 时钟输入引脚。差分时钟信号必须以交流方式(a.c.coupled)加在这些引脚上。输入信号在时钟 CLK+的下降沿采样。
V _{IN} I+,V _{IN} I-, V _{IN} Q+,V _{IN} Q-	模拟信号差分输入。当 FSR 为低时，差分输入信号为 600mV _{p-p} ，当 FSR 为高时，差分输入信号为 800mV _{p-p} 。
V _{CMO}	共模电压。当输入信号采用 DC 耦合时，为 V _{IN} +和 V _{IN} -的共模电压；当输入信号采用 AC 耦合时，此引脚应接地。该引脚具有 100 μ A 的电流源/沉的驱动能力。
V _{BG}	带隙输出电压。该引脚具有 100 μ A 的电流源/沉的驱动能力。
CalRun	校准运行指示。该引脚为逻辑高时，表示电路校准正在运行。
R _{EXT}	外部偏置电阻连接。通过标称值为 3.3k Ω ($\pm 0.1\%$) 的电阻连接到地(GND)。
DCLK+ DCLK-	差分时钟输出，用于锁存输出数据。这些引脚可以选择延时或不延时以便输出同步，在单倍数据率 SDR 模式下，这些信号的速度为输入时钟的 1/2，在双倍数据率 DDR 模式下，这些信号的速度为输入时钟的 1/4。在校准周期内 DCLK 不被激活。

DI7- / DQ7- DI7+ / DQ7+ DI6- / DQ6- DI6+ / DQ6+ DI5- / DQ5- DI5+ / DQ5+ DI4- / DQ4- DI4+ / DQ4+ DI3- / DQ3- DI3+ / DQ3+ DI2- / DQ2- DI2+ / DQ2+ DI1- / DQ1- DI1+ / DQ1+ DI0- / DQ0- DI0+ / DQ0+	I和Q通道LVDS数据输出，这些信号没有经历输出信号分离器延迟。与DI _d /DQ _d 相比，这些输出对应的采样点时间靠后。这些输出始终应连接100Ω差分电阻。
DI _d 7- / DQ _d 7- DI _d 7+ / DQ _d 7+ DI _d 6- / DQ _d 6- DI _d 6+ / DQ _d 6+ DI _d 5- / DQ _d 5- DI _d 5+ / DQ _d 5+ DI _d 4- / DQ _d 4- DI _d 4+ / DQ _d 4+ DI _d 3- / DQ _d 3- DI _d 3+ / DQ _d 3+ DI _d 2- / DQ _d 2- DI _d 2+ / DQ _d 2+ DI _d 1- / DQ _d 1- DI _d 1+ / DQ _d 1+ DI _d 0- / DQ _d 0- DI _d 0+ / DQ _d 0+	I 和 Q 通道 LVDS 数据输出。这些信号经历输出信号分离器一个时钟周期延迟。与 DI/DQ 相比，这些输出对应的采样点时间靠前。这些输出始终应连接 100Ω 差分电阻。
OR+ OR-	输入范围溢出指示。当此引脚为高时，表示差分信号输入超出范围（±300mV 或±400mV，具体由 FSR 引脚定义）。
Tdiode_P Tdiode_N	温度二极管的正极（阳极）和负极（阴极）。这些引脚可用于模具温度测量。
V _A	模拟电源。与 GND 对应。
V _{DR}	输出驱动电源。与 DR GND 对应。
GND	模拟地线。与 V _A 对应。
DR GND	驱动地线。与 V _{DR} 对应。
NC	浮空。这些引脚不作任何连接。

5、引脚定义（见附录 1）

6、产品描述

6.1 质量等级及执行标准

8 位 500MSPS 模数转换器——B08D500 质量保证等级为 Q/Zt 30082-2011 规定的 B 级，符合《半导体集成电路 B08D500 型 8 位模数转换器详细规范》规定的要求。

6.2 功能描述

B08D500 是一款用途广泛的抗辐照高性能 A/D 转换器，采用了创新的结构设计，可以在非常高的速度场合应用。多种控制模式简化了应用电路的设计。在使用时，须遵守本节以及第 6.2.5 节中所描述的规则，方可获得最佳的性能。

一般来说，B08D500 在使用时不应将引脚浮空。对于第 4，14 和 127 引脚，由于实现某种功能时要将引脚浮空时，可将此引脚与相当于一半 V_A 的电压相连，这与将此引脚浮空所得到的效果相同。

6.2.1 总述

B08D500 采用可校准的折叠插值电路结构，其有效位数可以达到 7.5 位。折叠放大器可以显著的减少比较器的数量，进而降低电路功耗，插值电路可以降低前置放大器的数目，最小化输入信号电容，从而降低电路功耗。另外，采用片上数字校准电路可以降低折叠结构中的非线性效应，从而实现了超高速、高性能、低功耗的模数转换。

当模拟输入信号处于转换器的输入电压范围内时，B08D500 在典型值为 200MSPS~500MSPS 的情况下实现 8 位分辨率的精度。当差分输入电压小于满量程的负值时，输出码为全 0；而当差分输入电压超过满量程的正值时，输出码为全 1。I 通道和 Q 通道的上述变化，都会使得 OR（范围输出）信号的输出产生变化。OR 信号的输出表明转换器的一个或者两个通道的输出码低于满量程的负值或超过满量程的正值。

每通道转换器均具有 1:2 信号分离器，提供两路 LVDS 总线信号输出。每路总线速度为采样频率的一半，且必须由用户设定使其工作在时间交错模式，从而使得输出码工作在最高转换速度下。

输出的电平值幅度可以在正常电平值或偏小电平值二者中选择。采用偏小电平值可以降低功耗，但也会带来一位或者多位的数据捕获偏差，特别是在高采样率条件下以及高时序要求的系统应用中表现明显。

6.2.2 传输特性图

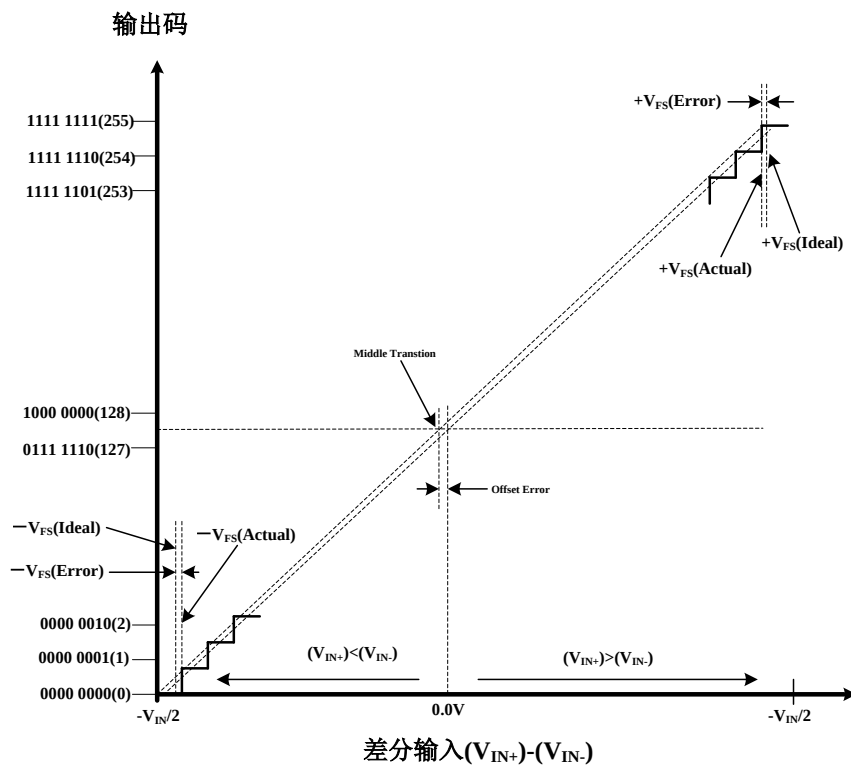


图 6-1 输入/输出传输特性

6.2.3 工作时序图

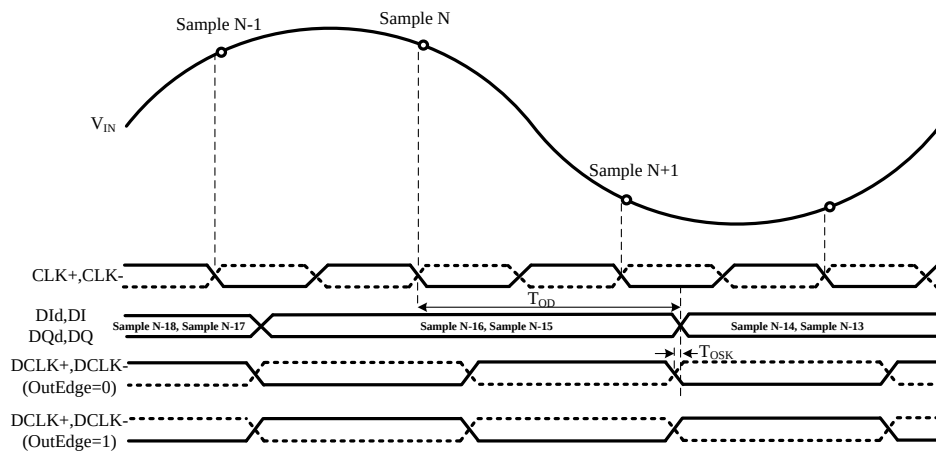


图 6-2 B08D500 整体时序——单数据率(SDR)模式

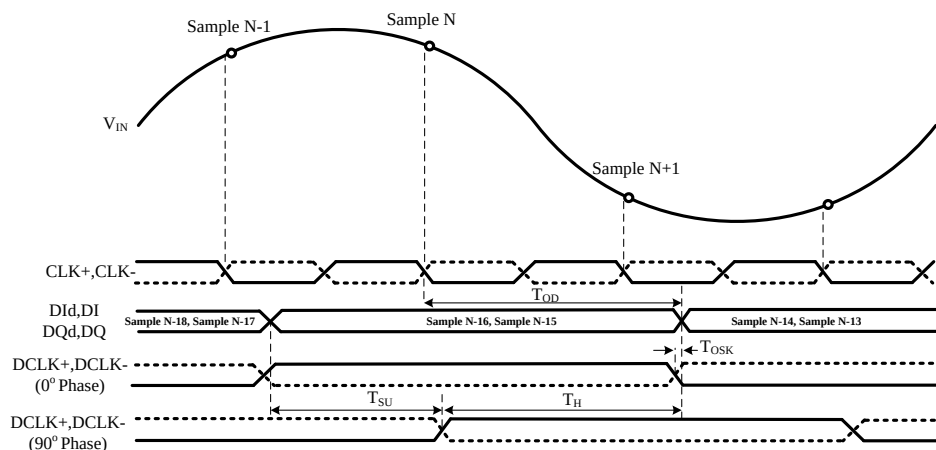


图 6-3 B08D500 整体时序——双数据率(DDR)模式

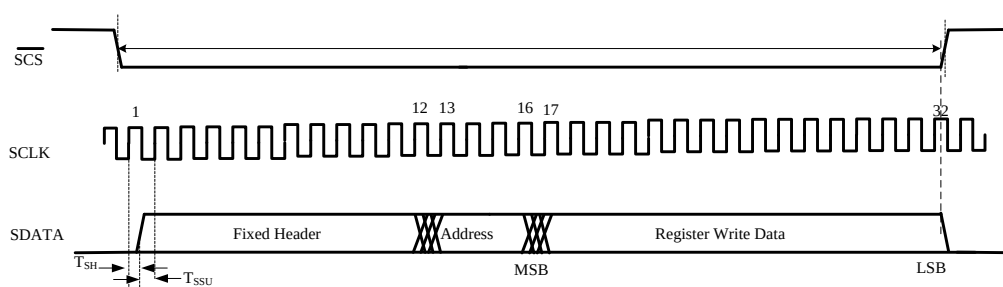


图 6-4 用户串行接口时序

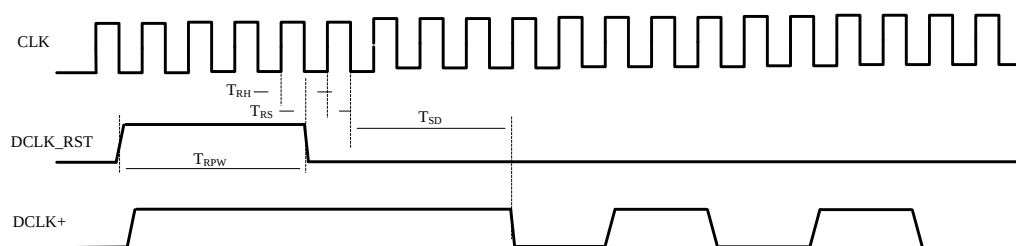


图 6-5 双数据率(DDR)模式——时钟复位时序

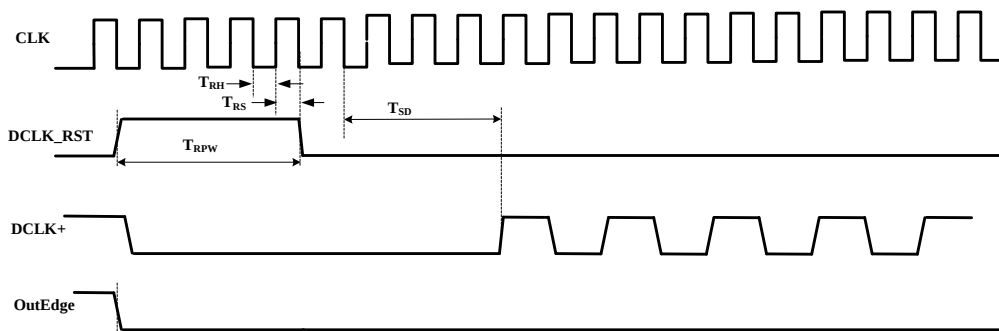


图 6-6 SDR 模式——时钟复位时序(OutEdge 引脚为低)

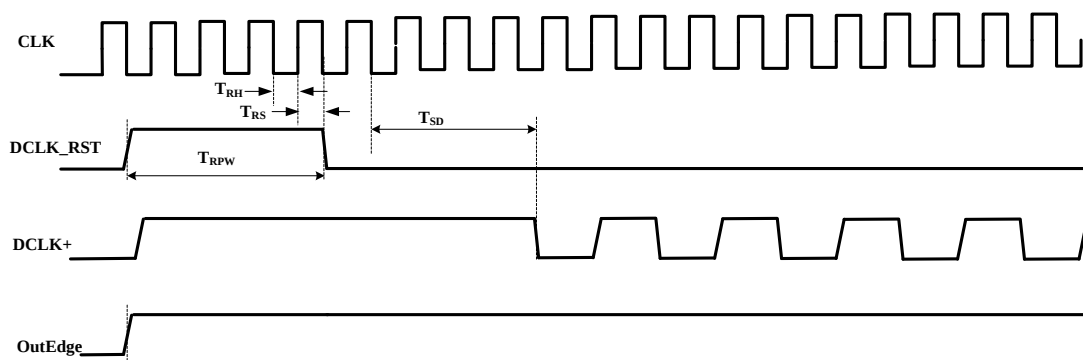


图 6-7 SDR 模式——时钟复位时序(OutEdge 引脚为高)

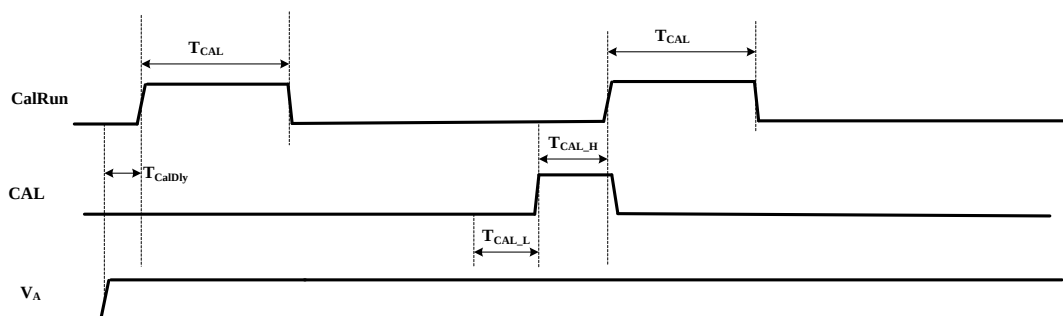


图 6-8 上电自校准和命令校准时序

6.2.4 详细功能描述

6.2.4.1 自校准

自校准可在器件上电时自动执行,也可以由用户命令激活。数字校准可以精确调整 100Ω 输入电阻,最小化输入范围误差、电学参数失调误差、DNL 以及 INL,从而提高电路的动态性能,最大化 SNR、THD、SFDR 和 ENOB 等。同时,内在的偏置电流也通过校准过程设定。无论校准是在上电时自动执行还是通过外部命令激活执行,上述各方面都会得到调整。对于芯片而言,自校准的运行是芯片功能中很重要的一部分,需要获得足够的运行时间。考虑到自校准会在芯片上电时自动执行,无论在上电时 FSR 引脚的状态是否被改变,自校准都会被持续执行。为了获得最好的性能,我们推荐在器件上电后至少运行 20 秒的时间。而考虑到系统设计时的性能要求,只要操作温度有明显的改变时,也应运行校准至少 20 秒的时间。在 6.2.5.4 “命令校准模式”中对此有更详细的说明。在处于掉电模式时,校准不能够被初始化以及运行。在 6.2.4.7 “掉电模式”中对于掉电模式和校准之间的相互关系有更多信息。

在校准过程中,输入终端电阻的值被设定为 $R_{EXT}/33$ 。外部电阻 R_{EXT} 处于第 32 引脚和地之间,且 R_{EXT} 的值应为 $3300\Omega \pm 0.1\%$ 。在这种条件下,输入终端的电阻为 100Ω 。由于 R_{EXT} 还需要为采样保持放大器、预放大器、比较器设定适合的电流基准,因此 R_{EXT} 不能够被设定成其它的值。

在正常操作中,在 CAL 引脚为低保持至少 t_{CAL_L} 个时钟周期后,再使 CAL 引脚为高至少 t_{CAL_H} 个时钟周期,此时的校准命令方为有效。当得到有效的校准命令或者器件上电后,校准才会开始工作。其中, t_{CAL_L} 和 t_{CAL_H} 在转换器电学参数表中有详细定义。校准程序所需要的时间为 t_{CAL} ,在转换器电学参数表中也有详细定义。在器件上电后, CAL 被设为高,这可以防止除 CAL 引脚经上述的 t_{CAL_L} 个时钟周期以及 t_{CAL_H} 个时钟周期外所带来的校准。

CalDly (第 127 引脚) 用于上电启动校准后两个延迟时间的选择。校准延迟时间的选

择由 CalDly 引脚进行设定，在“转换器电学参数”中对 CalDly 有详细定义。延迟能够使得在启动校准之前，电源处于稳定上电状态。如果 PD 引脚在上电时为高，校准延迟计数器将在 PD 引脚为低之前，一直停止工作。因此，在上电后将 PD 引脚设为高，可以更进一步地延迟上电校准。

校准操作说明：

处于校准模式下，校准的运算可能会使 OR 的输出产生变化。在校准模式下，所有数据输出引脚和 OR 引脚的输出数据均为无效。

为降低校准循环中输入电阻校准所带来的噪声，在上电校准或外部命令校准中，包括内部时钟和 DCLK 在内的所有片上时钟暂停，此时输入终端电阻的值被设定为 $R_{EXT}/33$ 。6.2.5.4 “自校准”中对外部命令校准模式下维持 DCLK 的操作有更多信息。外部电阻 R_{EXT} 被放置在第 32 引脚和地之间，其电阻值必须处于 $3300\Omega \pm 0.1\%$ 之间。按照该值，输入终端电阻为 100Ω 。由于 R_{EXT} 需要为采样保持放大器、预放大器、比较器设定适合的电流，因此， R_{EXT} 不能够被设定成其它的值。

无论是上电校准还是外部命令校准，在校准程序执行过程中，CalRun 的输出均为高。

6.2.4.2 输入捕获

数据在 CLK+（第 18 引脚）下降沿时被捕获，在 13 个输入时钟周期之后 DI 通道和 DQ 通道的输出总线以及 14 个输入时钟周期之后 DId 以及 DQd 输出总线可得到该数据的等效值。数据在输出有效之前，存在一个额外的内设延迟 t_{OD} 。由时钟框图中可以看到，在输入时钟信号出现时，B08D500 将会开始工作。全差分比较器的设计、创新的采样保持放大器的设计、以及自校准技术，使得转换器在 500MHz 的采样率下具有非常平坦的 SINAD 以及 ENOB 响应。B08D500 的输出数据经 LVDS 电路，按照偏移二进制码输出。

6.2.4.3 控制模式

通过提供的多个控制引脚，用户可设定多种工作模式。例如校准的初始化、掉电模式以及满量程范围设定等。同时，B08D500 还提供了扩展控制模式，由一组串行接口设置寄存器中的不同参数，实现不同的模式。扩展控制模式并不支持动态的激活或禁止。当转换器处于扩展控制模式时，由多个引脚控制的参数被寄存器中的参数所替代，此时的引脚控制被禁止。这些引脚包括 OutV（第 3 引脚）、OutEdge/DDR（第 4 引脚）、FSR（第 14 引脚）以及 CalDly/DES（第 127 引脚）。在 6.2.4.8 “正常/扩展控制模式”中可以得到有关扩展控制模式的详细信息。

6.2.4.4 模拟输入

B08D500 必须由差分输入信号驱动，不推荐采用单端输入。需注意的是，当 V_{CMO} 引脚接地时，信号按 a.c.耦合方式输入；当 V_{CMO} 浮空时，则按 d.c.耦合方式输入。当采用 d.c.耦合方式时，外部需提供输入共模电平，其值与 V_{CMO} 的输出相等。

由第14引脚(FSR)可以对于两种满量程方式进行选择。当第14引脚(FSR)为高时，设置满量程差动输入电压范围为 $800mV_{P-P}$ ；当第14引脚(FSR)为低时，设置满量程差动输入电压范围为 $600mV_{P-P}$ 。

6.2.4.5 时钟

B08D500 的差分时钟信号必须通过 a. c.耦合的方式驱动。6.2.5.3 节将详细描述时钟输入引脚的使用方法。当数据需要被其它器件获取时，差分 LVDS 输出时钟会被激活，从而锁存 ADC 的输出数据。

B08D500 的输入和输出时钟有两种选择。这些选择包括双边采样模式或者是将 B08D500 作为单通道器件工作在两倍输入时钟频率的交织模式下。对于 DCLK 信号，可以

选择在 DCLK 的哪个变化沿输出数据以及选择 SDR 或者 DDR 的输出模式。

B08D500 还具有时钟周期校正功能。在默认模式下这个功能是被使能的，这样可以为双边采样（DES）模式提供改善的 ADC 时钟。这部分电路可以确保在正常或者 DES 采样模式下都可以使用时钟周期比例为 80/20%（最坏情况）的信号源作为输入的时钟。

1. 双边采样（DES）模式

双边采样模式可以使芯片的输入（I 通道或者 Q 通道）被所有的子 ADC 所采样。一个子 ADC 在输入时钟的上升沿进行采样而另外的子 ADC 则在输入时钟的下降沿采样，这样，一个输入信号就可以在一个时钟周期内被采样两次，从而使整体的采样速率变为输入时钟的两倍。换句话讲，在 500MHz 输入时钟的情况下，可以获得 1GHz 的采样率。

在这种模式下，输出管脚采用时间交错方式，按 1:4 速率分成 4 路总线输出数据，这样可以将数据速率降低 4 倍。由于采样率提高了一倍，四路输出总线可以在 500MHz 的输入时钟条件下，每路均获得 250MSPS 的输出时钟速率，所有的四路总线数据可以并行获取。这四组并行的数据按照从早到晚分别为：DQd, DIId, DQ, DI 的顺序分别进行采样。表 6-1 给出了输出数据所有可能的采样情况。

B08D500 还具有时钟相位后台自动校准功能，在 DES 模式下此功能被用于 I 和 Q 通道的时钟相位的自动连续调整。此功能避免了需要手动校准时钟相位的麻烦，有助于为 DES 模式提供最佳的 ENOB 动态性能。

表 6-1 在数据输出端产生的输入通道采样

输出数据	正常采样模式	双边采样模式（DES）	
		选择 I 通道	选择 Q 通道
DI	“I”通道输入在 13 个周期前的时钟下降沿被采样	“I”通道输入在 13 个周期前的时钟下降沿被采样	“Q”通道输入在 13 个周期前的时钟下降沿被采样
DIId	“I”通道输入在 14 个周期前的时钟下降沿被采样	“I”通道输入在 14 个周期前的时钟下降沿被采样	“Q”通道输入在 14 个周期前的时钟下降沿被采样
DQ	“Q”通道输入在 13 个周期前的时钟下降沿被采样	“I”通道输入在 13.5 个周期前的时钟上升沿被采样	“Q”通道输入在 13.5 个周期前的时钟上升沿被采样
DQd	“Q”通道输入在 14 个周期前的时钟下降沿被采样	“I”通道输入在 14.5 个周期前的时钟上升沿被采样	“Q”通道输入在 14.5 个周期前的时钟上升沿被采样

注意：在正常的 DES 模式下，只有 I 通道的信号会被采样；而在扩展控制的 DES 模式下，I 或 Q 通道的信号均可以被采样。

2. 输出沿设置

为了方便在 SDR 模式下的数据捕获，输出数据需要在输出数据时钟（DCLK）的上升沿或者下降沿进行传输，这可以通过 OutEdge（第 4 引脚）进行选择。OutEdge 端接高电平时，输出数据会在 DCLK 的上升沿传输；当此引脚接地时，输出数据则会在 DCLK 的下降沿传输。

3. 双倍数据率

B08D500 可以选择单倍数据率（SDR）或者双倍数据率（DDR）传输。在单倍数据率的情况下，输出时钟（DCLK）的频率会与两个输出总线的数据速率一样。而在双倍数据率

模式下，DCLK 的频率则是数据速率的一半，并且在 DCLK 的上升沿和下降沿都输出数据。DDR 模式在非扩展模式下通过将第 4 引脚浮空来使能。

6.2.4.6 LVDS 输出

输出数据、超出范围信号（OR）以及 DCLK 都采用 LVDS 接口。当 OutV（第 3 引脚）接高电平时，输出电流源将提供 3mA 的输出电流给 100 欧姆的差分负载；当 OutV 为低时，电流变为 2.2mA。如果使用的 LVDS 连线较短并且系统的噪声很低，将 OutV 接低电平就可能实现较好的性能，这样有利于节省功耗。如果 LVDS 的连线比较长而且系统工作的环境噪声影响比较大，则必须要将 OutV 引脚接到高电平。

当 VBG 引脚浮空时，LVDS 数据输出的典型共模值是 800mV；如果将 VBG 引脚接到 VA 上，共模电平则可以增加到 1.2V。

注意：将 V_{BG} 引脚连接到 V_A，将会使差分 LVDS 输出的电压增加 40mV 左右。

6.2.4.7 掉电模式

当掉电模式（PD）引脚接低电平时，B08D500 处于正常工作状态。当 PD 为高时，器件将进入掉电模式。在掉电模式下，数据输出引脚（正端和负端）全部变为高阻状态，器件消耗的功耗会变得很小。DCLK+/-和 OR+/-由于不是三态输出端口，因此会处于弱下拉的状态。而且，当 I 和 Q 通道全部掉电时，DCLK+/-和 OR+/-不应该接任何电位。

PDQ 接高电平会使“Q”通道进入掉电模式，而保持“I”通道正常工作。此芯片不支持设置“I”通道进入掉电模式而使“Q”通道正常工作。

如果 PD 变为高电平时，器件正在运行校准，此器件不会马上进入掉电模式，而是直到校准完成才会进入到掉电模式。同样的，如果 PD 已经接为高电平，校准也要等到 PD 变低后才能开始进行。当器件处于掉电模式下时，命令校准同样不会起作用。也就是说，命令校准功能在掉电模式下是完全被忽略的。当只有“Q”通道进入掉电模式时，校准功能是可以起作用的，只是如果 PDQ 为高，“Q”通道将不会被校准。如果想使用“Q”通道，则应当在 PDQ 变为低之后再次进行校准。

6.2.4.8 正常/扩展控制模式

B08D500 有两种工作模式，可以选择工作在任何一种模式下。在较为简单的标准控制模式下，用户只需要通过几个控制引脚就可以进行配置。而“扩展控制模式”则会通过一个串口以及一组寄存器来提供额外的配置以及控制的选择。这两种控制模式可以通过第 14 引脚（FSR/ECE：扩展控制使能）来选择。控制模式一旦选定就应当固定下来，当器件开始工作后，将不允许动态切换工作模式。表 6-2 给出了不同的控制模式选择对器件特性的影响。

表 6-2 功能与控制模式

特性	正常控制模式	扩展控制模式
SDR 或 DDR 时钟	当第 4 引脚浮空时，选择 DDR 模式；当第 4 引脚不浮空时，选择 SDR 模式	通过配置寄存器的 nDE 位（1h;bit-10）进行选择，当器件处于 DDR 模式时，地址为 1h;bit-8 必须设置为 0b
DDR 时钟相位	不可选（相位只能为 0°）	通过配置寄存器的 DCP 位（1h;bit-11）来选择

SDR 数据在 DCLK 的上升沿或者下降沿传输	当第 4 引脚为高时, SDR 数据在 DCLK+ 的上升沿进行传输; 当第 4 引脚为低时, 在下降沿传输	通过配置寄存器的 OE 位 (1h;bit-8) 进行选择
LVDS 输出电压	当第 3 引脚为高时, 正常的差分数据以及 DCLK 的幅度将会被选择; 当第 3 引脚为低时, 输出的幅度会减小	通过配置寄存器的 OV 位 (1h;bit-9) 来进行选择
上电校准延时	当第 127 引脚为低时为短延时; 第 127 引脚为高时, 选择较长的延时	只有短延时
全摆幅范围	通过第 14 引脚可选幅度 (600mV _{P-P} 或 800mV _{P-P}); 所选择的范围对所有的通道都有效	最多可以对于一个正常的范围进行 512 步的调整; 通过输入全摆幅调整寄存器 (3h;bits-7~15) 进行选择
输入失调调整	不可以	通过输入失调寄存器 (2h;bits-7~15) 可以进行最多 512 步的调整
双边采样选择	通过第 127 引脚使能	通过 DES 使能寄存器使能
双边采样输入通道选择	只有 I 通道的输入被采样	I 或者 Q 通道的输入都可以被所有的 ADC 所采样
DES 采样时钟调整	时钟相位自动进行调整	可以通过设置 DES 使能寄存器 (Dh) 的第 14 位选择自动时钟相位控制, 时钟相位还可以通过粗调和细调寄存器 (Eh 和 Fh) 进行手动调整

扩展控制模式在上电复位时的默认状态 (由器件内部执行) 如表 6-3 所示。

表 6-3 扩展控制模式操作 (第 14 引脚浮空)

功能	扩展控制模式的默认状态
SDR 或 DDR 时钟	DDR 时钟
DDR 时钟相位	数据在 DCLK 的边沿 (0°相位) 传输
LVDS 输出幅度	正常幅度 (710mV _{P-P})
校准延时	短延时
全摆幅范围	所有通道均为正常的 700mV
输入失调调整	每个通道都不进行调整
双边采样 (DES)	不使能

6.2.4.9 串行接口

由三个引脚组成的串行接口仅在扩展控制模式下起作用, 包括串行时钟 (SCLK), 串

行数据（SDATA）和串行接口片选（SCS）。八个只写寄存器与之相连。

SCS：在通过串行接口访问寄存器的时候，SCS 端必须为低电平。相对于SCLK的建立和保持时间必须要注意。

SCLK：从 SCLK 的上升沿开始读入数据。

SDATA：每个寄存器的访问需要一组指定的 32 位输入数据。这组数据包括头码，寄存器地址码和寄存器数值。数据从最高位开始移位，相对于 SCLK 的建立和保持时间要注意，具体参照时序图。

每个寄存器访问涉及到一组 32 位的数据，如图 6-4 时序图所示。头码为固定的 0000 0000 0001（十一个 0 和一个 1）。第一位为 0 时开始读入。接下去的 4 位为寄存器的地址码，用来写入寄存器地址，最后的 16 位为写入这些地址上寄存器的数据。不同寄存器的地址如表 6-4 所示。

对应写入寄存器的数据请参考 6.2.4.10 里的寄存器描述。

从第 33 个SCLK开始，寄存器读取立刻开始，SCS 没有必要在读取寄存器地址期间反复变化。虽然不推荐，但是在扩展控制下，保持SCS一直为低电平是可以接受的。

注意：在 ADC 的校准阶段，串行接口不应使用，否则会降低芯片的性能，直到再次校准正确。对寄存器编程，也会由于影响寄存器的访问时间而降低芯片的动态性能。

表 6-4 寄存器地址

四位地址		寄存器配置
二进制	十六进制	
0000	0h	×
0001	1h	系统配置
0010	2h	I 通道失调
0011	3h	I 通道输入摆幅
0100	4h	×
0101	5h	×
0110	6h	×
0111	7h	×
1000	8h	×
1001	9h	×
1010	Ah	Q 通道失调
1011	Bh	Q 通道输入摆幅
1100	Ch	×
1101	Dh	DES 使能
1110	Eh	DES 粗调
1111	Fh	DES 细调

6.2.4.10 寄存器详细描述

八个只写寄存器在扩展控制模式下提供了集中控制和设置的选择，而在普通控制模式下，不会有任何影响。以下的每个寄存器描述都包含了每个控制位上电复位后的状态。

系统配置寄存器

Addr: 1h (0001b)

W only (0xB2FF)

D15	D14	D13	D12	D11	D10	D9	D8
1	0	1	DCS	DCP	nDE	OV	OE

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

Bit 15 必须为高电平

Bit 14 必须为低电平

Bit 13 必须为高电平

Bit 12 DCS: 占空比稳定控制。为高电平时, 占空比稳定电路将被应用到时钟输入。为低电平时, 占空比稳定电路不起作用。

上电复位状态: 高电平

Bit 11 DCP: DDR 时钟相位。只在 DDR 模式下有用。为低电平时, DCLK 边沿与数据总线边沿对齐 (“0°相位”)。为高电平时, DCLK 边沿与数据总线边沿相差 90°。

上电复位状态: 低电平

Bit 10 nDE: DDR 模式使能。为低电平时, 数据总线时钟工作在 DDR 模式, DCLK 的上升和下降沿都有数据输出。为高电平时, 数据总线时钟工作在 SDR 模式, 由 OutEdge 位来决定上升沿或者下降沿。

Bit 9 OV: 输出电压。OV 位决定 LVDS 输出电压的幅度, 并且具有普通控制模式下 OutV 一样的功能。为高电平时, 标准输出幅度为 710mV_{p,p}, 而低电平时, 标准输出幅度为 510mV_{p,p}。

Bit 8 OE: 输出沿。用来确定 DCLK 在 SDR 模式下哪个沿起作用, 并且具有普通控制模式下 OutEdge 一样的功能。为高电平时, DCLK+ 的上升沿起作用; 低电平时, DCLK+ 的下降沿起作用。

上电复位状态: 低电平

Bits 70 必须都为高电平。

I 通道失调调整

Addr: 2h (0010b)

W only (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB)	Offset Value						(LSB)

D7	D6	D5	D4	D3	D2	D1	D0
Sign	1	1	1	1	1	1	1

Bits 15:8 失调值。转换器里 I 通道的输入失调, 可以通过这组码的设置获得线性和单调性的调整。00h 为 0 数值调整, FFh 为最大的 45mV 的失调数值调整。也就是说, 最小能获得每次 0.176mV 的单步调整值。

上电复位状态: 0000 0000 b

Bit 7 符号位。低电平表示正值调整, 高电平表示负值调整。

Bit 60 必须都为高电平。

I 通道全摆幅电压调整

Addr: 3h (0011b)

W only (0x807F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB) Adjust Value							

D7	D6	D5	D4	D3	D2	D1	D0
(LSB)	1	1	1	1	1	1	1

Bit 15:7 全摆幅电压调整值。转换器 I 通道的输入全摆幅电压或增益可以通过一个 9 位数据码获得线性和单调性的调整。调整范围为差分峰峰值 700mV_{p-p} 的±20%。

0000 0000 0 560mV_{p-p}

1000 0000 0 700mV_{p-p}

Default Value

1111 1111 1 840mV_{p-p}

推荐调整的范围为 0110 0000 0b 到 1110 0000 0b 之间,能获得最好的性能。比如,我们调整的范围控制在 15%,那么就有 5%的余量留给转换器本身的偏差而减小溢出状况的发生。增益的调整不需要转换器重新校准。

Bit 60 必须都为高电平

Q 通道失调调整

Addr: Ah (1010b)

W only (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB) Offset Value (MSB)							

D7	D6	D5	D4	D3	D2	D1	D0
Sign	1	1	1	1	1	1	1

Bits 15:8 失调值。转换器里 Q 通道的输入失调,可以通过这组码的设置获得线性和单调性的调整。00h 为 0 数值调整, FFh 为最大的 45mV 的失调数值调整。也就是说,最小能获得每次 0.176mV 的单步调整值。

上电复位状态: 0000 0000 b

Bit 7 符号位。低电平表示正值调整,高电平表示负值调整。

Bit 60 必须都为高电平。

Q 通道全摆幅电压调整

Addr: Bh (1011b)

W only (0x807F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB) Adjust Value							

D7	D6	D5	D4	D3	D2	D1	D0
(LSB)	1	1	1	1	1	1	1

Bit 15:7 全摆幅电压调整值。转换器 Q 通道的输入全摆幅电压或增益可以通过一个 9 位数据码获得线性和单调性的调整。调整范围为差分峰峰值 700mV_{p-p} 的±20%。

0000 0000 0 560mV_{p-p}

1000 0000 0 700mV_{p-p}

Default Value

1111 1111 1 840mV_{p-p}

推荐调整的范围为 0110 0000 0b 到 1110 0000 0b 之间，能获得最好的性能。比如，我们调整的范围控制在 15%，那么就有 5% 的余量留给转换器本身的偏差而减小溢出状况的发生。增益的调整不需要转换器重新校准。

Bit 60 必须都为高电平

DES 使能

Addr: Dh (1101b)

W only (0x3FFF)

D15	D14	D13	D12	D11	D10	D9	D8
DEN	ACP	1	1	1	1	1	1

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

Bit 15 双边采样使能。为高电平时，进入双边采样模式。这种模式下，转换器通过时间交织模式采样和转换同样的模拟输入信号，实现两倍于输入时钟频率的采样频率。为低电平时，则工作在正常的双通道模式。

上电复位状态：低电平。

Bit 14 自动时钟相位控制。为高电平时，自动时钟相位控制功能启用。这种情况下，双边采样的手动粗调和细调被禁止。相位检测电路不断调整 I 通道和 Q 通道的采样时钟边沿以使他们的相位差为 180°。为低电平时，I 通道和 Q 通道之间的时钟相位差可以通过粗调和细调来手动调节（重要应用说明见 6.2.5.4“双边采样”）。**推荐自动调整模式。**

上电复位状态：低电平。

Bit 13:0 必须都为高电平

DES 粗调

Addr: Eh (1110b)

W only (0x07FF)

D15	D14	D13	D12	D11	D10	D9	D8
IS	ADS	CAM			1	1	1

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

Bit 15 输入选择。为低电平时，转换器的输入都从 I 通道读入。为高电平时，转换器的输入都从 Q 通道读入。

Bit 14 调整方向选择。为低电平时，Q 通道的采样时钟不变，I 通道的采样时钟，应用编程产生的延时。为高电平时，I 通道的采样时钟不变，Q 通道的采样时钟，应用编程产生的延时。

Bit 13:11 粗调值。每位码都能对 I 通道或者 Q 通道实现大约 20ps 的延时调整。000b 表示调整时间为 0。

上电复位状态：000b

Bit 100 必须都为高电平。

DES 细调

Addr: Fh (1111b)

W only (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB)				FAM			

D7	D6	D5	D4	D3	D2	D1	D0
(LSB)	1	1	1	1	1	1	1

Bit 15:7 细调值。每位码都能对 I 通道或者 Q 通道（由 DES 粗调寄存器决定）实现大约 0.1ps 的延时调整。0000 0000 0b 表示调整时间为 0。注意：和粗调一样，每个码能调整的延时，根据工作情况的不同，会略有偏差。

Bit 60 必须都为高电平。

扩展模式下失调修正的注意事项

使用 I 通道或者 Q 通道的失调调整寄存器时，以下的一些情况需要注意到。

对于失调调整值 +0000 0000 和 -0000 0000 来说，实际上并不一样。只改变符号位的情况下，最小一步的变化大概有 0.1LSB 的偏差，下图比较清楚的说明了这一点。

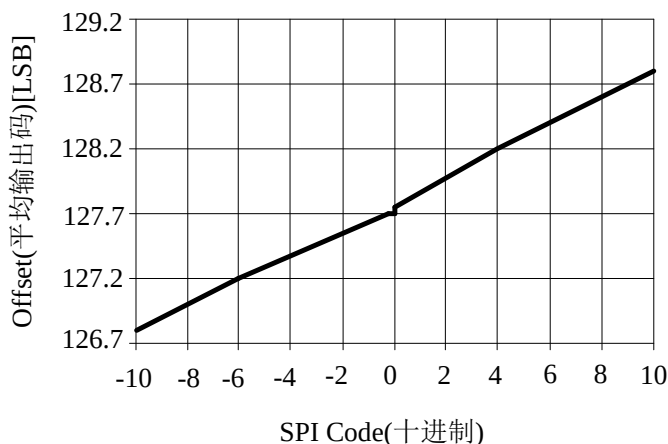


图 6-9 扩展模式的电路特性

6.2.4.11 多个转换器模块同步

B08D500 可以通过用户提供的 DCLK_RST 脉冲，精确重置采样时钟输入和 DCLK 时钟输出的关系。这使得一个系统中几个转换器的 DCLK（和数据）相对于通用的 CLK 来说同时输出。

DCLK_RST 信号必须遵守一些时序要求，如图 6-5，图 6-6，图 6-7 所示。

DCLK_RST 信号能与输入时钟同步。如果 DCLK_RST 信号与输入时钟同步，DCLK 输出就会保持在某个指定状态。DCLK 在复位期间被保持的状态由工作模式（SDR 或者 DDR）和 Output Edge 引脚或者设置位的情况决定（参考与 DCLK 复位情况相关的图 6-5，图 6-6，图 6-7）。因此根据是否加入 DCLK_RST 信号，在重置过程中，DCLK 可能会伴随一个窄脉冲。当 DCLK_RST 信号在与 CLK 上升沿同步的过程中无效的话，下个 CLK 的下降沿与 DCLK 的输出同步。DCLK 输出会在一个固定的延时（和输出时钟频率有关）之后重新有效，这个延时等于 CLK 输入和 DCLK 输出之间的时间差（ t_{SD} ）。在正常工作模式下，这个延时特性一直存在。

当校准进行时（CalRun 为高电平），DCLK_RST 不应该为高，否则会在数字电路中出现一个数字干扰脉冲，导致校准的失效。

6.2.5 应用说明

6.2.5.1 参考电压

B08D500 的参考电压由 1.254V 的带隙参考而得出，为了方便用户，将第 31 引脚 V_{BG} 设为参考电压端，该端口具有 $\pm 100\mu A$ 的输出电流驱动能力，如果需要驱动更大的电流，则需要额外再加驱动器。

不支持使用额外的参考电压，全摆幅输入电压可以通过在扩展控制模式下的配置寄存器进行调整。

达到所选择的全摆幅范围的差分输入信号将会被数字化成 8 位。超出全摆幅范围的信号将会在输出端被滤掉。超出范围的信号同时会激活 OR 输出，表示信号超出范围。详见 6.2.5.2“超出范围指示”。

V_{BG} 引脚的一个额外功能是它还可以提升 LVDS 输出的共模电压值。当 V_{BG} 引脚作为输出或者浮空时，输出失调电压 (V_{OS}) 的典型值是 800mV。为了提高 LVDS 的典型失调电压值到 1200mV， V_{BG} 需直接连接到供电电压上。

6.2.5.2 模拟输入

模拟输入可以是信号源通过 a.c.耦合或者 d.c.耦合的差分输入信号。在正常模式下，全摆幅输入范围可以如转换器电学特性中描述的通过 FSR 引脚进行选择。在扩展控制模式下，全摆幅输入范围的选择则是通过串行接口对全摆幅电压调整寄存器编程而实现。为了在扩展控制模式下更好的调整输入全摆幅电压，需按照 6.2.4.10 的说明来限制调整的幅度。表 6-5 给出了当 FSR 引脚接高电平并且处于正常（非扩展）模式下时输入和输出之间的关系。当 FSR 接地时，表 6 中的电压值应减小为表中所示电压值的 75%。在扩展控制模式下，输入电压值则是由控制寄存器设置的全摆幅范围和失调所决定的。

表 6-5 差分输入和输出之间的关系（非扩展控制模式，FSR 为高）

V_{IN+}	V_{IN-}	Output Code
$V_{CM}-200mV$	$V_{CM}+200mV$	0000 0000
$V_{CM}-100mV$	$V_{CM}+100mV$	0100 0000
V_{CM}	V_{CM}	0111 1111/1000 0000
$V_{CM}+100mV$	$V_{CM}-100mV$	1100 0000
$V_{CM}+200mV$	$V_{CM}-200mV$	1111 1111

经过缓冲的模拟输入可以简化一般情况下在采样 ADC 输入时要加 RC 电路驱动输入的情况。如果希望在 ADC 前面使用运放电路，需要仔细的选择噪声、偏差以及增益都满足性能的运算放大器。

需要注意的是在 ADC 的输入端必须要提供一个精确的 d.c.耦合共模电压。当采用 a.c.耦合方式输入并且输入信号通过 a.c.耦合到 ADC 中时，共模电压 V_{CMO} 由芯片提供。

当输入为 a.c.耦合时， V_{CMO} 输出必须连接到地电位，如图 6-10 所示。这样片上的 V_{CMO} 将会通过一个片上的 50k 欧姆电阻连接到输入上。

注意：当输入为 a.c.耦合时，不使用的模拟输入端（比如在 DES 模式下）应该浮空，不要把未使用的模拟输入端接地。

当使用 d.c.耦合方式时，必须要在差分输入端提供共模电平。此时的共模电平应跟踪 V_{CMO} 输出引脚，需要注意的是这时的 V_{CMO} 会随着温度而有所变化。器件驱动的共模电压将会跟随这个变化。

注意：当输入为 d.c.耦合时，不使用的模拟输入端（比如在 DES 模式下）应该接在 V_{CMO} 上，不要将未使

用的模拟输入接地。

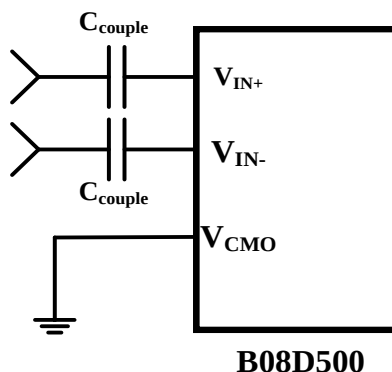


图 6-10 差分输入驱动

全摆幅偏移特性会随着共模电压与 V_{CMO} 差值的增加而快速的下降。因此需要保持输入共模电压要在 V_{CMO} 的 50mV 范围内。

当所有的模拟输入共模电压保持在 V_{CMO} 的 50mV 范围内时, d.c.耦合与 a.c.耦合的性能几乎是一样的。

如果使用 d.c.耦合的方式, 最好使用 V_{CMO} 引脚提供的输入共模电压, 这样可以保持最优的性能。图 6-11 给出了一个典型电路的示例。

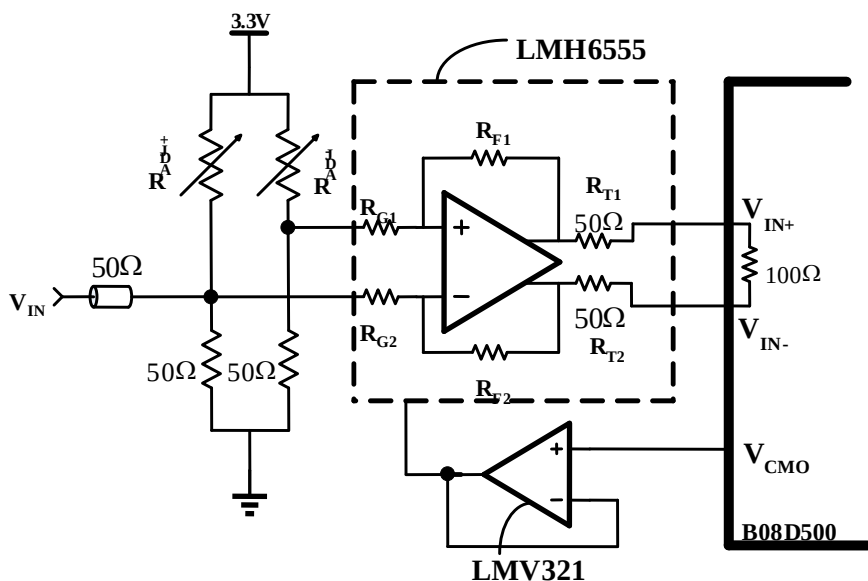


图 6-11 与 V_{CMO} 相连的模拟输入示例

注意: 应当确保 V_{CMO} 的输出电流不超过 100uA。

在 d.c.耦合方式 (V_{CMO} 不接地) 下的输入阻抗是由在 V_{IN+} 和 V_{IN-} 之间的精确的 100 欧姆电阻和每个输入与地之间的电容所组成的。在 a.c.耦合模式下, 输入阻抗也与 d.c.耦合模式的类似, 只是在每一个模拟输入和 V_{CMO} 电压之间还有一个 50K 欧姆的电阻。

1. 单端输入信号的处理

B08D500 并没有规定如何处理单端输入信号。最好的方法是在输入到 ADC 之前将单端信号转换成差分信号。最简单的完成从单端到差分信号的转换方法是接入一个变压器的方法, 如图 6-12 所示。

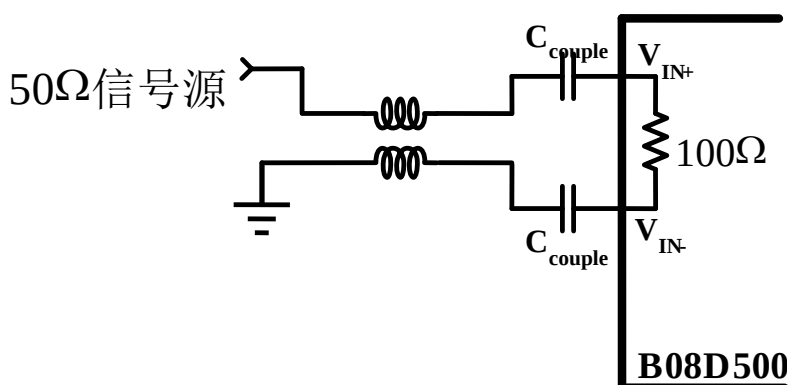


图 6-12 使用变压器实现单端信号到差分信号的转换

2. a.c.耦合输入

在变压器输出终端放置的 100 欧姆电阻与 B08D500 片上的 100 欧姆电阻并联相当于在变压器的输出端有一个 50 欧姆的差分阻抗。

3. 超出范围 (OR) 指示

当转换得到的结果超出输出范围时，将会激活 OR+变为高电平，而 OR-变为低电平。当所有的或者任意的总线输出范围超出 00h 到 FFh 之后，此输出都会被激活。

4. 全摆幅输入范围

B08D500 的参考电压是由内部的带隙参考得到的。FSR 引脚可以控制 B08D500 的有效参考电压，使得当 FSR 为高时，差分全摆幅输入为正常的幅度，而当 FSR 引脚为低时，输入全摆幅范围则变为转换器电学参数中所提到的较小幅度。当 FSR 引脚为高时，可以获得较好的 SNR，然而，当 FSR 为低时，则会得到较好的 SFDR。

注意：信号输入范围随温度变化而改变。随着温度变化，同一模拟信号输入对应的数字输出码会发生改变。

6.2.5.3 时钟输入

B08D500 有差分 LVDS 时钟输入，CLK+和 CLK-，时钟输入必须由 a.c.耦合驱动一组差分时钟信号。B08D500 可以确保在 500MHz 的时钟情况下可以获得较好的功能，同时只要满足转换器电学参数中的要求，此芯片都可以工作良好。输入时钟信号必须要通过电容耦合到时钟引脚上，如图 6-13 所示。

如果芯片工作的条件没有超过最大允许的温度，转换器电学参数中给出的最大采样频率在典型情况下是可以达到的。在给定的最大温度下，如果采样的速度过高，则有可能导致器件可靠性和产品寿命的下降。

差分输入时钟线应该有 100 欧姆的阻抗特性（当使用变压器时），输入时钟线应该尽可能的短。B08D500 时钟输入内部有一个 100 欧姆的电阻。

输入时钟的幅度不够会导致较差的动态特性。过高的输入时钟幅度则会引起模拟输入失调电压的改变。为了避免这个问题，保持输入时钟的幅度处在转换器电学参数中所给的范围内是非常必要的。

输入时钟信号的低电平和高电平时间会影响到 A/D 转换器的性能。B08D500 内部的时钟调整电路甚至可以在 DES 模式下超出温度范围时仍然可以维持较好的性能。如果输入时钟高和低的时间能够维持在（20/80%）的比例范围内，ADC 的性能就能够得到满足。

为了获取最佳的性能，B08D500 应接入相位噪声和抖动都非常小的很稳定的时钟信号。

输入时钟的幅度如果超出了转换器电学参数中给出的值，将会导致输入失调电压的快速

增加。这样会导致所有的输入引脚接相同的电位时，产生的输出码会超过 127/128。

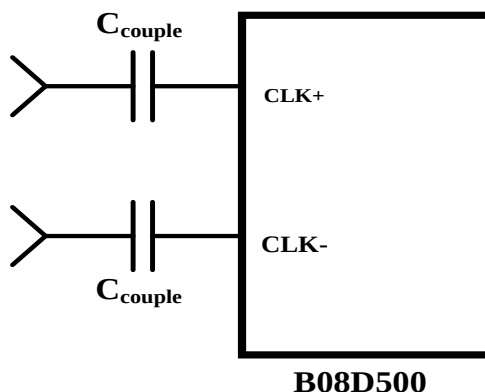


图 6-13 差分（LVDS）输入时钟连接

6.2.5.4 控制引脚

共有六个控制引脚（不包括使用串行接口）可以使 B08D500 工作在比较广泛的范围和模式下。这些控制引脚分别提供全摆幅输入范围的设定、自校准、校准延时、输出沿同步选择、LVDS 输出幅度以及掉电模式功能等。

1. 全摆幅输入范围

在正常工作模式下，全摆幅输入范围可以通过 FSR 控制输入（第 14 引脚）来选择。在扩展控制模式下，输入的全摆幅范围可以通过对全摆幅调节寄存器编程来得到。详见 6.2.5.2。

2. 自校准工作模式

为了达到设计的性能指标，B08D500 必须要进行自校准。校准的过程既可以在上电之后马上启动，又可以在任何时候通过命令模式启动。当校准进行时，作为指示信号，CalRun 引脚一直为高电平。需要注意的是，当电路处于校准模式时，DCLK 不会产生任何信号，因此不推荐将 DCLK 作为系统时钟使用。

3. 上电自校准模式

芯片上电之后，经过一段延时，将会进入到上电自校准状态。延时的时间是由 CalDly 所决定的。

在上电时，如果 CAL 引脚接高电位，则不执行校准过程。在这种情况下，只有当命令校准条件满足时，才会进入到校准模式。

内部上电自校准电路会在不确定的逻辑状态下产生。如果上电自校准电路被启动，而没有时钟信号，将会使整个模拟电路进入到掉电模式下，芯片的典型功耗会低于 200mW。当有时钟信号之后，功耗会变为正常。

4. 命令校准模式

命令校准模式可以在正常（非双边采样）模式下的任何时候进行。当 ADC 工作在自动双边采样（DES）模式下，不要进行命令校准。

当 ADC 工作在 DES 模式下时，如果想要进入到校准模式，必须要在命令校准开始之前将 ADC 设置到正常模式下，在校准完成之后，再重新配置到自动 DES 工作模式下。

为了初始化一个命令校准，需要对 CAL 引脚进行设置，首先要使此引脚保持最少 t_{CAL_L}

个时钟周期的低电平，之后再保持最少 $t_{\text{CAL_H}}$ 个时钟周期的高电平。在上电时保持 CAL 引脚为高将会阻止进行上电自校准，直到 CAL 引脚先保持最少 $t_{\text{CAL_L}}$ 个时钟周期的低电平，之后再保持最少 $t_{\text{CAL_H}}$ 个时钟周期的高电平之后才会进行校准。当 CAL 引脚变为高，并且保持 $t_{\text{CAL_H}}$ 个时钟周期以后，校准才会开始。在校准过程中需要监测 CalRun 信号以确定校准是否完成。

所给出的最小 $t_{\text{CAL_L}}$ 和 $t_{\text{CAL_H}}$ 个时钟周期是必须要满足的，因为这可以确保校准不会被随机的噪声信号所触发。正如 6.2.4.1 中所描述的那样，为了获得更好的性能，在上电或者工作的温度发生较大改变时，应该执行 20 秒或者更长时间的自校准。ENOB 会随着结温的增加而降低，而自校准则会消除这个变化。

5. 校准延时时间

CalDly 输入引脚用来选择上电之后开始进行自校准的两种不同延时时间。校准延时可以保证电源正常并且稳定供电，使整个电路可以正常地工作。如果没有延时或者延时时间不够长，会出现在电压没有彻底稳定之前就开始校准的现象，从而会导致校准的系数不是最优的。如果 PD 引脚在上电时为高电平，则校准延时计数器不会工作，直至 PD 变为低电平才会开始工作。因此，在上电时保持 PD 引脚为高电平可以进一步延迟上电校准开始的时间。CalDly 引脚如何设置完全依赖于供电电压建立的时间。需要注意的是在扩展控制模式下，校准延时是无法选择的，器件直接选择较小的延时时间。

6. 输出沿同步

DCLK 信号可以用来使转换器输出数据和外部电路同步。输出数据可以和 DCLK 信号的上升沿或者下降沿同步，因此每个沿都可以用来同步输出数据到下一级的电路。

当 OutEdge（第 4 引脚）为高时，输出数据与 DCLK+（第 82 引脚）的上升沿同步；当 OutEdge 为低时，输出数据与 DCLK+ 的下降沿同步。

在 B08D500 高速工作的状态下，DCLK 和数据的微小误差，就会影响到数据捕获的成功与否。OutEdge 端可以选择 DCLK 的边沿采集数据，这样对于芯片应用和电路板布局都比较合适。

7. LVDS 输出电压控制

输出电压幅度可以通过 OutV 端进行选择。当 OutV 为高时，输出有较强的驱动能力，但是功耗相对较大；OutV 为低时则相反。但是，低输出电压意味着较差的抗噪性。

对于较短的 LVDS 走线和噪声较低的系统来说，使 OutV 为低能获得较好的性能。如果 LVDS 走线较长或者系统噪声较大，或者两种情况都存在，那么 OutV 端有必要接到高电平。

8. 双边采样

双边采样时，两对输入信号中的其中一对会直接输入到两路转换器中。在某个时钟沿（占空比调整过）时，一路转换器对输入信号进行采样；在另外一个时钟沿（占空比调整过）时，另外一路转换器对输入信号进行采样。这就相当于在两倍输入时钟频率的采样频率下获得四倍速率的输出数据。

在非扩展控制模式中要用到这个特性，第 127 引脚需浮空，I 通道的输入信号会被采样到各个转换器中。校准延时只能选择较短的延时时间。

在扩展控制模式中，每个输入通道的信号都会在双边采样中被采到。详见 6.2.4.5“双边采样（DES）模式”。

注意：

扩展控制模式——当在双边采样模式中采用自动时钟相位控制特性时，如果转换没有工作，那么自动相位控制不起作用（也就是将地址为 Dh 的双边采样使能寄存器中的 bit14 置为低电平）。否则可能会导致转换

器无法正常工作。

非扩展控制模式——当B08D500 正常工作，且采用双边采样模式时，必须确保第 127 引脚（CalDly/DES/

SCS）在电路正常工作或者恢复正常工作后，初始状态是被为低的。然后第 127 引脚可以浮空或者接到一个VA/2 的电位，从而进入双边采样模式。这样能确保这部分电路正常进入双边采样模式而不出错。

不管输入时钟因为什么原因中断或者停止，自动相位控制功能都会失效。当时钟频率突然发生较大变化的时候，也会导致这种失效的发生。

如果在自动双边采样模式中需要对转换器进行校准，那么在进行校准前，必须使工作状态回到正常工作模式。一旦校准完成，立刻又能回到自动双边采样模式并且继续工作。

9. 掉电特性

控制掉电的引脚（PD 和 PDQ）能使 B08D500 整个芯片进入休眠状态，也可以只让 Q 通道进入掉电状态而 I 通道仍然正常工作。详细掉电特性描述见 6.2.4.7“掉电模式”。

当控制各个通道 PD 端为高时，数字数据（+/-）输出端为高阻态。当回到正常工作状态时，流水线中会包含一些没用的信息，需要被处理掉。

如果 PD 端在校准进行的过程中为高，那么芯片将会在校准结束后才进入掉电状态。但是，如果 PD 先变高的话，那么校准就不会进行，直到 PD 变低。如果在掉电情况下，手动进行校准是无法实现的。也就是说，在掉电状态下，手动进行校准是完全被忽略的。

6.2.5.5 数字输出

对于每个芯片里的两路转换器，分别都有两路 LVDS 输出总线（总共四路总线，每个通道两路）。对于每个转换器连续转换的结果，如果是在 CLK+端的奇数个下降沿，占用其中一条 LVDS 总线，在 CLK+端的偶数个下降沿，则占用另外一条 LVDS 总线。也就是说，每条 LVDS 总线上的输出数据率，为 B08D500 输入时钟频率的一半，这两条总线的数据必须交叠复用才能实现 500MSPS 的转换结果。

由于芯片推荐的最小输入时钟频率为 200MSPS（正常非双边采样模式），那么对于两个 LVDS 其中之一来说，有效的数据率可以低到 100MHz，在 200MHz 频率的输入时钟条件下，就能达到 200MSPS 的数据频率。

一对 LVDS 输出时钟（DCLK+/-）用来使 LVDS 输出和总线匹配。OutEdge 端决定了数据是从 DCLK 的上升沿还是下降沿传输。具体描述见 6.2.5.4“输出沿同步”。

在 DDR 模式下，每个 DCLK 的边沿数据都会被传输，这样能使 DCLK 的频率降低到 1/4 的输入时钟频率。详细描述见时序图。

OutV 端用来设定 LVDS 的差分输出电压。详见 6.2.5.4“LVDS 输出电压控制”。

输出格式为带偏差的二进制。因此，当 VIN+相对于 VIN-为正向全摆幅输入电压时，输出码为全“1”；当 VIN+相对于 VIN-为负向全摆幅输入电压时，输出为全“0”；当 VIN+和 VIN-相等时，输出码为 127 或者 128。

6.2.5.6 电源考虑

A/D 转换器会产生许多瞬态电流，如果没有充分的旁路泄放，会严重的影响电源。在 A/D 转换器的电源引脚处应放置一个 $33\mu F$ 的电容，其尺寸应小于一英寸（2.5cm）。尽可能的在每一个 VA 引脚处放置一个 $0.1\mu F$ 的电容，其尺寸最好控制在 0.5 厘米之内。由于贴片电容的寄生导线电感较低，故推荐采用贴片电容。

芯片中的多个 VA 和 VDR 引脚之间应相互隔离，可防止与 ADC 模拟部分之间的相互耦

合带来的噪声。当这些引脚共用一个电压源时，推荐采用例如 JW Miller FB20009-3B 等铁酸盐阻隔。

B08D500 和其它高速转换器一样，需要在设计和布局中仔细考虑以提高电源噪声抑制能力。在电路系统中，B08D500 不能同其它功耗较大的数字电路共用电源，原则上应当使用独立电源供电。若没有采用专门的供电电源，B08D500 应当与系统中其它模拟电路共用电源。

1. 电源电压

B08D500 的电源电压设计为 $1.9V \pm 0.1V$ 。需要注意的是，虽然转换器可以在略高的电源电压下工作，但是这可能会引起产品寿命的降低。

包括瞬态值在内，所有引脚的电压均不可超过电源电压或者低于地 150mV 以上。因为当电源上电或者关闭时，这可能会带来问题。这确保 B08D500 中电源电压驱动的输入引脚、模拟或数字引脚等电路，其上电速度不能超过其电源引脚的上电速度。

即使是在电源上电和掉电期间，电源电压也需要在绝对最大额定值以内。供电电源若在电源开启或者关闭时产生浪涌，将会毁坏 B08D500。图 6-16 中的电路提供了电源过冲保护。

除非外接最小负载，否则线性电源在上电时将会产生输出浪涌。在电源电压达到几百毫伏之前，芯片内部有源器件也会产生非常微小的电流。除非线性电源输出外接最小负载，否则电源产生的上电浪涌将会导致 ADC 器件毁坏。在线性电源的输出端外接 100Ω 的负载电阻，相当于在上电时提供一个最小的输出电流负载，以确保没有上电浪涌。

在图 6-14 的电路图中，输入电源电压在 4V-5V 之间时，推荐采用 LM317 线性电源。如果输入电压为 3.3V 时，推荐采用 LM1086 线性电源。

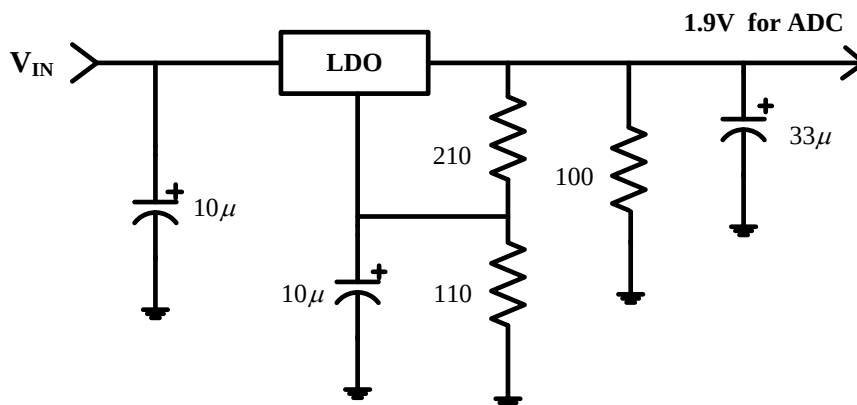


图 6-14 无毛刺供电电源

输出驱动部分供电电压 V_{DR} 的值不应超过 V_A 。在工作条件说明中对其范围有详细定义。

由于 B08D500 需要通过时钟逻辑进行复位，确定其初始状态，当转换器没有时钟信号输入时，器件内部的电流将低于 200mA。如果复位逻辑在“开始”状态时启动，会关闭大多数模拟电路的电源，这时电流小于 100mA，此电流要大于电源关闭时的电流。当时钟信号建立后，器件的电流将会处于正常状态。

如果应用其它 LDO（低压差线性稳压器），为了保证 B08D500 电路在全温范围内正常工作，用户在使用过程中应遵循如下原则：

- (1) 若给电路供电的 LDO 上电时序如图 6-15 (a) 所示，则 Δt_1 需大于 $90\mu s$ ；

(2) 若给电路供电的 LDO 上电时序如图 6-15 (b) 所示, 则 Δt_2 需大于 $40\mu\text{s}$ 。

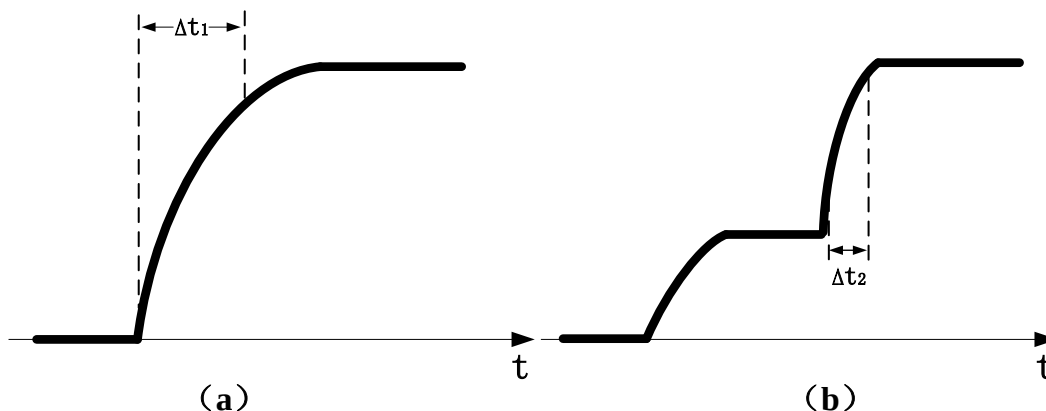


图 6-15 LDO 上电时序示意图

2. 热管理

B08D500 在功耗相对很低的水平下, 即能具有很好的速度与性能表现。但其产生的功耗仍较高, 需要考虑热管理。按照可靠性的要求, 芯片的温度应不超过 150°C 。也就是说, T_A (环境温度)加上 ADC 的功耗乘以 θ_{JA} (连接环境热电阻)不能够超过 150°C 。如果环境的温度不超过 125°C , 将不会超过上述限制, 这一点在“推荐工作条件”一节中有详细定义。

为方便用户使用, B08D500 集成了一个热二极管, 以用于温度测量。但是此二极管并没有被参数化, 不能得到此二极管参数的有关信息, 也不能够确定使用该二极管进行温度测量时的准确性。

为了最小化连接处的温度, 推荐在 PCB 上增加一个简单的散热器。可以在 PCB 的另一侧增加一处铜区域。该铜区域可以采用镀金或者涂焊料的方式以防止腐蚀。不要采用正方形的覆盖, 防止带来热绝缘效应。

6.2.5.7 版图和地线

合理的地线和所有信号合理的路径对确保转换器精确转换非常重要。不应将模拟和数字区域的地线平面分割, 而应采用一个完整的单端地线平面。

由于高频分量主要由数字开关的瞬变组成, 由趋肤效应可知, 整个地线平面的铜重量对由逻辑变化产生的噪声影响很小。整个地的表面面积比整个地的体积更重要。由于数字电路的噪声比较大, 模拟电路比较敏感, 因此在数字电路和模拟电路之间的耦合会导致系统性能变差, 而且看起来很难隔离和修补, 解决的办法是将模拟电路与数字电路完全分离开来。

高功耗数字电路部分不应该位于或靠近任何线性电路或电源跟踪电路或为模拟或混合信号部分服务的平面区域, 因为作为结果的共模回流路径会导致模拟输入‘地’的波动, 而返回给 ADC, 导致在转换结果中产生大量噪声。

一般来说, 我们假设模拟走线和数字走线相互交叉 90° , 以避免数字噪声耦合到模拟路径上。但是在高频系统中, 需要避免将模拟走线和数字走线完全交叉。输入时钟走线应该与所有数字和模拟走线相隔离, 一般的 90° 交叉也应该避免, 因为在高频下即使很小的耦合也会产生一些问题。若想要在高频下实现最好的性能, 信号尽量走直线。

模拟输入信号路径应同噪声信号路径之间隔离, 避免将杂散信号耦合到输入端, 在

B08D500 采用低电平驱动时，这点显得尤为重要。转换器的输入和地之间的任何外部组件（例如滤波电容）需要连接到模拟地平面上一个噪声极低的点。所有的模拟电路（输入放大器，滤波器等）需要与数字电路部分之间相互隔离。

6.2.5.8 动态性能

B08D500 经过交流测试，转换器的动态性能是有保证的。为了满足说明书中的性能指标及减小抖动噪声，驱动时钟输入的时钟源必须具有低的抖动。时钟频率及电平所允许的抖动范围见 6.2.5.3“时钟输入”部分。

应保证 ADC 输入时钟的路径尽量短，为了保证时钟信号的良好，应尽量保证时钟信号线远离其它信号，并把它作为传输线。其它信号会导致时钟信号的抖动。如果不做好时钟信号的隔离，时钟信号会在模拟信号路径上引入噪声。

6.2.5.9 串行接口的使用

B08D500 可工作在非扩展模式（非串行接口）或扩展模式。表 6-6 和表 6-7 分别描述了第 3，4，14 和 127 引脚在非扩展模式和扩展模式下的功能。

非扩展模式工作

非扩展模式工作意味串行接口未被激活，所有控制功能随配置引脚变化而变化。这些控制功能包括满量程范围、单端输入、差分输入、上电校准延迟、输出电压、输入耦合（交流或直流）。当第 14 引脚为高或低时，芯片被设置为非扩展模式；相反则让该引脚浮空。表 7 为 B08D500 在非扩展模式下的引脚功能。

表 6-6 非扩展模式工作（第 14 引脚为高或低）

引脚	低	高	浮空
3	减小 V_{OD}	正常 V_{OD}	/
4	输出沿=负	输出沿=正	DDR
127	较短的校准延迟时间	较长的校准延迟时间	/
14	减小 V_{IN}	正常 V_{IN}	扩展控制模式

非扩展模式第 3 引脚既可以为高也可以为低。第 14 引脚一定不能浮空。若想了解更多内容，参见 6.2.4.8“正常/扩展模式”。在非扩展模式下，第 4 引脚可以为高，可以为低，也可以浮空。第 4 引脚为高或低定义输出数据传输沿。具体方式，详见 6.2.5.4“输出沿同步”。当此引脚浮空时，输出时钟（DCLK）为 DDR 模式（见 6.2.4.5“双倍数据率”）。由于 DCLK 为双沿采数，所以与输出沿同步无关。第 127 引脚设置校准延迟。浮空时，此引脚无功能。

表 6-7 扩展控制模式工作（第 14 引脚浮空）

引脚	功能
3	SCLK（串行时钟）
4	SDATA（串行数据）
127	$\overline{SCS}$ （串行接口片选）

6.3 贮存条件

产品包装由无腐蚀的材料制成，能导电或用抗静电材料涂敷过或浸渍过，具备足够的抗静电能力。

在避免雨、雪直接影响的条件下，装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。



包装好的产品贮存环境应满足 Q/W 657A—2007 第 8.1 规定的 I 类库房条件要求(温度: 15℃~25℃, 湿度: 25%~65%), 周围没有酸、碱或其它腐蚀性气体, 通风良好, 且具备相应防静电措施。

6.4 绝对最大额定值

电源电压 (V_A , V_{DR})	2.2 V
输入端电压	-0.15 V ~ ($V_A + 0.15$ V)
地线差别电压 GND—DR GND	0 V ~ 100 mV
引出端输入电流	±25 mA
输入端封装电流	±50 mA
功率耗散 ($T_A \leq 125^\circ\text{C}$)	2.2 W
静电放电敏感度: 人体模型	2000V
引线耐焊接温度 (T_H , 10s)	260°C
贮存温度	-65 °C ~ +175 °C
热阻, 结到壳 ($R_{th(J-C)}$)	3.8°C/W
最大结温 (T_J)	150°C

6.5 推荐工作条件

电源电压 (V_A)	1.8 V ~ 2.0 V
驱动电源电压 (V_{DR})	1.8 V ~ V_A
模拟输入共模电压	$V_{CMO} \pm 50$ mV
输入电压范围	200 mV ~ V_A
地线差别电压 GND—DR GND	0 V
时钟输入端电压范围	0 V ~ V_A
差分时钟幅度	0.4 V ~ 2.0 V
工作温度范围 (T_A)	-55 °C ~ +125 °C

7、电参数

如无特殊说明, 表 7-1 中的电参数值均在以下条件下测得: $V_A = V_{DR} = +1.9\text{V}$, $\text{OutV} = 1.9\text{V}$,

正弦差分信号输入采用交流耦合，输入范围为 $800\text{mV}_{\text{P-P}}$ ， $C_L = 10\text{ pF}$ ，时钟输入为正弦信号，频率为 500MHz ，差分幅度为 $0.6\text{V}_{\text{P-P}}$ ，占空比为50%， V_{BG} 引脚浮空，外接 $R_{\text{EXT}} = 3300\Omega \pm 0.1\%$ ，输入信号源差分内阻经过校准后为 100Ω ，芯片工作在SDR模式，且为非扩展控制模式。除非特别声明，芯片默认温度为 25°C ，典型性能指标是在理论工作电压和 $T_A=25^\circ\text{C}$ 的条件下测试得到的。

表 7-1 器件电特性

符号	参数	测试条件	典型值	限制值	单位
静态转换特性					
INL	积分非线性	DC 耦合，1MHz 正弦波	—	±1.5	LSB(max)
DNL	差分非线性	DC 耦合，1MHz 正弦波	—	±0.8	LSB(max)
	分辨率		—	8	Bits
V _{OFF}	失调误差		-0.45	±1.5	LSB(min) LSB(max)
V _{OFF_ADJ}	输入失调校准范围	外部控制模式	±45	—	mV
PFSE	正向满度误差		—	±25	mV（max）
NFSE	负向满度误差		—	±25	mV（max）
FS_ADJ	满度调整范围	外部控制模式	±20	±15	%FS
	超出范围输出代码（OR 为高）	（V _{IN+} ）-（V _{IN-} ）> 正全摆幅	—	255	
		（V _{IN+} ）-（V _{IN-} ）< 负全摆幅	—	0	
正常模式（非 DES）动态转换特性					
FPBW	满功率带宽	正常（非 DES）模式	1.7	—	GHz
B.E.R.	位误码率		10 ⁻¹⁸	—	误码次数/ 采样次数
	增益平坦度	dc~500MHz	±0.5	—	dBFS
ENOB	有效位数	f _{IN} =50MHz,V _{IN} =FSR-0.5dB	7.5	—	Bits
		f _{IN} =100MHz,V _{IN} =FSR-0.5dB	7.4	7.1	Bits(min)
		f _{IN} =248MHz,V _{IN} =FSR-0.5dB	7.4	7.1	Bits(min)
SINAD	谐波失真比	f _{IN} =50MHz,V _{IN} =FSR-0.5dB	47	—	dB
		f _{IN} =100MHz,V _{IN} =FSR-0.5dB	46.3	44.5	dB(min)
		f _{IN} =248MHz,V _{IN} =FSR-0.5dB	46.3	44.5	dB(min)
SNR	信噪比	f _{IN} =50MHz,V _{IN} =FSR-0.5dB	48	—	dB

		$f_{IN}=100\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	47.1	45.3	dB(min)
		$f_{IN}=248\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	47.1	45.3	dB(min)
THD	总谐波失真	$f_{IN}=50\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-55	—	dB
		$f_{IN}=100\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-55	-47.5	dB(max)
		$f_{IN}=498\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-55	-47.5	dB(max)
2 nd Harm	二次谐波失真	$f_{IN}=50\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-60	—	dB
		$f_{IN}=100\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-60	—	dB
		$f_{IN}=248\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-60	—	dB
3 rd Harm	三次谐波失真	$f_{IN}=50\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-65	—	dB
		$f_{IN}=100\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-65	—	dB
		$f_{IN}=248\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-65	—	dB
SFDR	无杂散动态范围	$f_{IN}=50\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	55	—	dB
		$f_{IN}=100\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	55	47.5	dB(min)
		$f_{IN}=248\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	55	47.5	dB(min)
IMD	互调失真	$f_{IN1}=321\text{MHz}, V_{IN}=\text{FSR}-7\text{dB}$	-50	—	dB
		$f_{IN2}=326\text{MHz}, V_{IN}=\text{FSR}-7\text{dB}$	-50	—	dB
时间交织模式(DES 管脚浮空)动态转换特性					
FPBW (DES)	满功率带宽	DES 模式	900	—	MHz
ENOB	有效位数	$f_{IN}=100\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	7.3	7.0	Bits(min)
		$f_{IN}=248\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	7.3	7.0	Bits(min)
SINAD	谐波失真比	$f_{IN}=100\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	46	43.9	dB(min)
		$f_{IN}=248\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	46	43.9	dB(min)
SNR	信噪比	$f_{IN}=100\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	46.4	44.1	dB(min)
		$f_{IN}=248\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	46.4	44.1	dB(min)
THD	总谐波失真	$f_{IN}=100\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-58	-49	dB(max)
		$f_{IN}=248\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-58	-49	dB(max)
2 nd Harm	二次谐波失真	$f_{IN}=100\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-64	—	dB
		$f_{IN}=248\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-64	—	dB
3 rd Harm	三次谐波失真	$f_{IN}=100\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-69	—	dB
		$f_{IN}=248\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	-69	—	dB
SFDR	无杂散动态范围	$f_{IN}=100\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	57	47	dB(min)
		$f_{IN}=248\text{MHz}, V_{IN}=\text{FSR}-0.5\text{dB}$	57	47	dB(min)
模拟输入以及参考特性					
V_{IN}	模拟差分输入满量程范围	FSR 管脚 14 为低电平	600	570	mV _{p-p} (min)
				730	mV _{p-p} (max)
		FSR 管脚 14 为高电平	800	750	mV _{p-p} (min)
				950	mV _{p-p} (max)
V_{CMI}	模拟输入共模		V_{CMO}	$V_{CMO}-50$	mV(min)
				$V_{CMO}+50$	mV(max)

	电压				
C _{IN} (设计保证)	模拟输入电容 (正常模式)	差分	0.02	—	pF
		每一个输入管脚对地	1.6	—	pF
	模拟输入电容 (DES模式)	差分	0.08	—	pF
		每一个输入管脚对地	2.2	—	pF
R _{IN}	差分输入电阻		100	94	Ω(min)
				106	Ω(max)
模拟输出特性					
V _{CMO}	共模模式输出电压	I _{CMO} =±100uA	1.26	0.95	V(min)
				1.45	V(max)
V _{CMO_LVL}	V _{CMO} 输入阈值	V _A =1.8V	0.60	—	V
		V _A =2.0V	0.66	—	V
TC V _{CMO}	共模输出电压温度系数	T _A =-40℃到+85℃	118	—	ppm/℃
C _{LOAD} V _{CMO}	最大 V _{CMO} 负载电容		—	80	pF
V _{BG}	带隙参考输出电压	I _{BG} =±100uA	1.26	1.20	V(min)
				1.35	V(max)
TC V _{BG}	共模输出电压温度系数	T _A =-40℃到+85℃, I _{BG} =±100uA	28	—	ppm/℃
C _{LOAD} V _{BG}	最大 V _{BG} 负载电容		—	80	pF
温度二极管特性					
ΔV _{BE}	温度二极管电压	192 uA 对比 12uA, T _J =25℃	71.23	—	mV
		192 uA 对比 12uA, T _J =25℃	85.54	—	mV
通道之间特性					
	失调匹配		1	—	LSB
	正满度	零失调	1	—	LSB

	匹配				
	负满度匹配	零失调	1	—	LSB
	相位匹配 (I, Q)	$F_{IN}=1.0\text{GHz}$	<1	—	Degree
X-TALK	I 到 Q 路串扰	Aggressor=867MHz F.S. Victim=100MHz F.S.	-71	—	dB
X-TALK	Q 到 I 路串扰	Aggressor=867MHz F.S. Victim=100MHz F.S.	-71	—	dB
时钟输入特性					
V_{ID}	差分时钟输入	正弦波时钟	0.6	0.4	$V_{P-P}(\text{min})$
				2.0	$V_{P-P}(\text{max})$
		方波时钟	0.6	0.4	$V_{P-P}(\text{min})$
				2.0	$V_{P-P}(\text{max})$
I_I	输入电流	$V_{IN}=0$ 或 $V_{IN}=V_A$	± 1	—	μA
C_{IN}	输入电容 (注 6)	差分	0.02	—	pF
		每一个输入到地	1.5	—	pF
数字控制管脚特性					
V_{IH}	逻辑高输入电压	(注 6)	—	$0.85\times V_A$	$V(\text{min})$
V_{IL}	逻辑低输入电压	(注 6)	—	$0.15\times V_A$	$V(\text{max})$
C_{IN}	输入电容 (注 6)	每一个输入到地	1.2	—	pF
数字输出特性					
V_{OD}	LVDS 差分输出电压	差分测量, OutV= V_A , V_{BG} 悬空	710	400	$\text{mV}_{P-P}(\text{min})$
				920	$\text{mV}_{P-P}(\text{max})$
		差分测量, OutV=GND, V_{BG} 悬空	510	280	$\text{mV}_{P-P}(\text{min})$
				720	$\text{mV}_{P-P}(\text{max})$
$\Delta V_{O\text{ DIFF}}$	LVDS 输出电压变化		± 1	—	mV
V_{OS}	输出偏移电压	V_{BG} 浮空	800	—	mV
		$V_{BG}=V_A$	1200	—	mV
ΔV_{OS}	输出失调电压		± 1	—	mV

	变化				
I_{OS}	输出短路电流	Output+和 Output- 接 0.8V	± 4	—	mA
Z_O	差分输出阻抗		100	—	Ohms
V_{OH}	CalRun 高输出	$I_{OH}=-400\mu A$ (注 6)	1.65	1.5	V
V_{OL}	CalRun 低输出	$I_{OH}=400\mu A$ (注 6)	0.15	0.3	V
电源供电特性					
I_A	模拟供电电流	PD=PDQ=Low	561	700	mA(max)
		PD=Low,PDQ=High	340	420	mA(max)
		PD=PDQ=High	1.8	—	mA
I_{DR}	输出驱动供电电流	PD=PDQ=Low	200	300	mA(max)
		PD=Low,PDQ=High	112	180	mA(max)
		PD=PDQ=High	0.012	—	mA
P_D	功耗	PD=PDQ=Low	1.4	2	W(max)
		PD=Low,PDQ=High	0.8	1.2	W(max)
		PD=PDQ=High	3.5	—	mW
PSRR1	D.C.电源抑制比	随 V_A 从 1.8V 变化到 2.0V, 满度误差的变化	30	—	dB
PSRR2	A.C.电源抑制比	248MHz, 在 V_A 上的 50mV _{P-P} 波动	51	—	dB
交流电学特性					
f_{CLK1}	最大输入时钟频率	正常模式 (非 DES) 或者 DES 模式	800	500	MHz(min)
f_{CLK2}	最小输入时钟频率	正常模式 (非 DES)	200	—	MHz(min)
f_{CLK2}	最小输入时钟频率	DES 模式	450	—	MHz(min)
	输入时钟占空比	200MHz $\leq$ 输入时钟频率 $\leq$ 800MHz(正常模式)	50	20	%(min)
				80	%(max)
	输入时钟占空比	450MHz $\leq$ 输入时钟频率 $\leq$ 800MHz(DES 模式)	50	20	%(min)
				80	%(max)
t_{CL}	输入时	(注 6)	500	400	ps(min)

	钟低电平时间				
t_{CH}	输入时钟高电平时间	(注 6)	500	400	ps(min)
	DCLK 占空比	(注 6)	50	45 55	%(min) %(max)
t_{RS}	Reset 建立时间	(注 6)	150	—	ps
t_{RH}	Reset 保持时间	(注 6)	250	—	ps
t_{SD}	同步边沿与 DCLK 之间的延迟	$f_{CLKIN}=500MHz$	3.53	—	ns
		$f_{CLKIN}=200MHz$	3.85		
t_{RPW}	复位脉冲宽度	(注 6)	—	4	时钟周期 (min)
t_{LHT}	差分低到高的转换时间	10%到 90%, $C_L=2.5pF$	250	—	ps
t_{HLT}	差分高到低的转换时间	10%到 90%, $C_L=2.5pF$	250	—	ps
t_{OSK}	时钟输出与数据输出延迟	DCLK 转换的%50 到数据转换的 50%, SDR 和 DDR 模式, 0°DCLK (注 6)	±50	—	ps
t_{SU}	输出数据到输出时钟建立时间	DDR 模式, 90°DCLK (注 6)	2	—	ns
t_H	输出时钟到数据保持时间	DDR 模式, 90°DCLK (注 6)	2	—	ns
t_{AD}	采样延迟	输入 CLK+ 下降到数据采集完成	1.3	—	ns

t_{AJ}	孔径抖动		0.4	—	ns
t_{OD}	输入时钟到数据输出延迟	输入时钟转换的 50% 到数据转换的 50%	3.1	—	ns
	流水线延迟 (设计保证)	DI 输出	—	13	输入时钟周期
		DIId 输出	—	14	
		DQ 输出	正常模式	13	
			DES 模式	13.5	
		DQd 输出	正常模式	14	
			DES 模式	14.5	
	过范围恢复时间	差分输入 V_{IN} 由 $\pm 1.2V$ 变化到 0V, 以准确转换	1	—	输入时钟周期
t_{WU}	唤醒时间		500	—	ns
	DCS	(注 6)	1	—	us
f_{SCLK}	串行接口时钟频率	(注 6)	100	—	MHz
t_{SSU}	串行数据到时钟的建立时间	(注 6)	2.5	—	ns(min)
t_{SH}	串行数据到时钟的保持时间	(注 6)	1	—	ns(min)
	串行时钟低电平时间		—	6	ns(min)
	串行时钟高电平时间		—	6	ns(min)
t_{CAL}	校准周期时间		1.4×10^5	—	时钟周期
t_{CAL_L}	CAL 管脚为低的时间	见图 6-8, (注 6)	—	80	时钟周期 (min)
t_{CAL_H}	CAL 管脚为高	见图 6-8, (注 6)	—	80	时钟周期 (min)

	的时间				
t_{CalDly}	由管脚127所确定的校准延时	CalDly 为低, 见图 6-8, (注 6)	—	2^{25}	时钟周期 (min)
t_{CalDly}	由管脚127所确定的校准延时	CalDly 为高, 见图 6-8, (注 6)	—	2^{31}	时钟周期 (max)

注 1: 超过绝对最大限度可能损坏器件, 在最大限度处不能保证器件工作, 工作条件仅指可以工作的条件, 性能可以超出最值范围。电特性表的数据仅在指明测试条件下测得, 其它条件下, 器件性能可能降低。

注 2: 模拟输入由限流电阻和限流二极管保护, 电压幅度超过限制可能导制器件损坏。

注 3: 为保证精度, 电源 V_A , V_{DR} 应当很好的旁路, 每个电源引脚都应外接独立旁路电容。另外, 芯片背面金属片也应很好的接地。

注 4: 对此芯片计算全摆幅误差时, 已经假设了实际的参考电压为正常值。因此, 这里的器件全摆幅误差, 实际上是全摆幅误差和参考电压误差的总和。

注 5: 将 V_{BG} 接到电源电压时, 将使输出失调电压(V_{os})增加 330mV(典型), 同理, 也将使 LVDS 的输出电压(V_{OD})提高 40mV。

注 6: 该参数通过设计保证, 实际产品中未测量。

8、典型应用描述及使用主要事项

8.1 典型应用 (见附录 2)

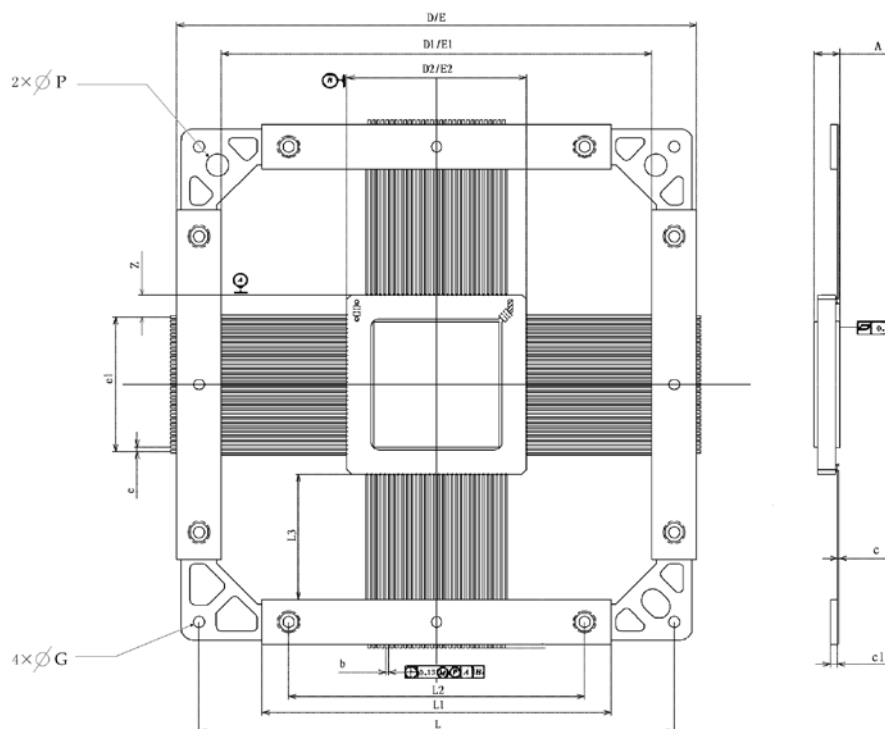
8.2 使用注意事项

- 1. 输入驱动 (模拟或数字) 超出电源范围** 为了器件可靠性, 不要将输入超过地或电源 150mV。一旦有输入端超过此限制电压, 不仅会导致器件失效或错误工作, 还会削弱器件的可靠性。对于高速数字电路, 过冲电压很普通。控制高速传输线的阻抗和终结传输线阻抗可以控制过冲。
- 2. 注意不要超过 B08D500 的输入电压范围**, 否则会导致转换器错误工作, 甚至毁坏器件。
- 3. 直流耦合模式下非正确模拟共模电压** 如 6.2.4.4 和 6.2.5.2 所述, 共模输入电压必须控制在与 V_{CMO} 输出电压 50mV 以内, 并且该电压要随着温度的变化跟随 V_{CMO} 。如果共模输入电压与 V_{CMO} 电压之差超过 50mV, 会导致器件性能降低。
- 4. 使用不合适的放大器驱动模拟输入** 选择过高频率的放大器驱动 B08D500 会导致器件谐波失真增大, 使系统性能降低。
- 5. 改变参考电压源驱动 V_{BG} 引脚** 如 6.2.5.1“参考电压”部分所述, 参考电压可以提供为两个满量程范围值其中的一个。过驱这个引脚不会改变满量程的值, 但通过将 V_{BG} 连接到电源上, 可将 LVDS 的共模电压从 0.8V 改变到 1.2V。
- 6. 使用过高电平驱动时钟输入** 转换器的时钟输入电平不应超过在工作推荐表中所描述的电平, 但输入偏置可以改变。

7. 不合适的时钟输入电平如 6.2.5.3“时钟输入”部分所述，时钟电平不够高会导致转换器的性能变差，过高的电平则会引入输入失调。
8. 使用过于抖动的时钟源，使用较长的时钟信号路径，伴有其它信号耦合的时钟信号 这会引起内部采样变化，引起额外的输出噪声，减小信噪比。

9、封装说明

器件采用 128 引线 Q 型陶瓷四面引线扁平封装，外壳外形及尺寸如图 9-1 所示。

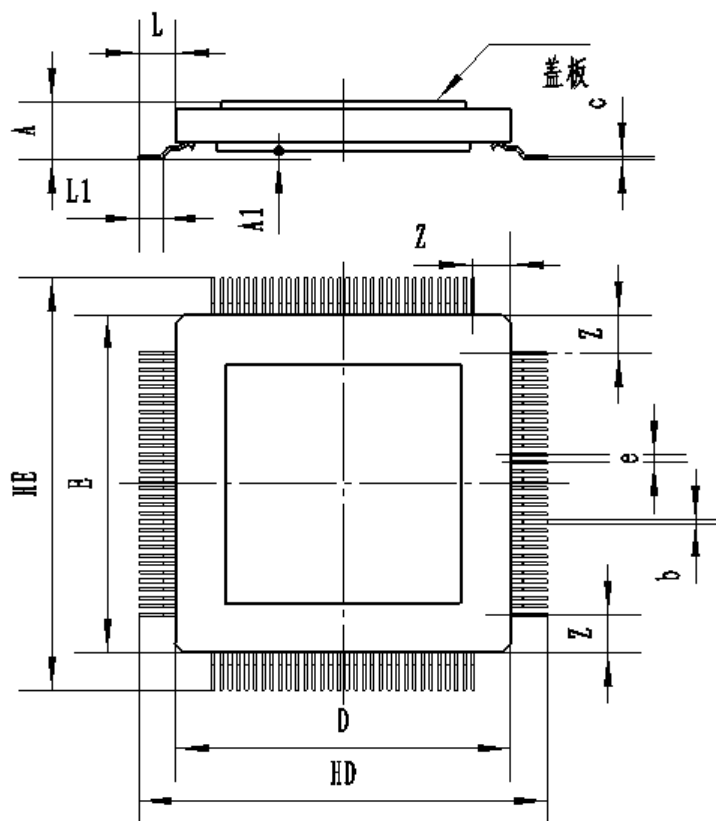


尺寸符号	数 值（单位：毫米）		
	最小	公称	最大
A	2.30	—	2.70
b	0.15	—	0.25
c	0.10	—	0.20
c1	—	0.80	—
D/E	57.65	—	58.35
D1/E1	47.75	—	48.75
D2/E2	19.80	—	20.20
e	—	0.50	—
e1	—	15.50	—
L	—	53.00	—
L1	38.61	—	39.39

L2	32.70	—	33.30
L3	13.80	—	14.20
Z	—	—	2.54
ΦP	2.49	—	2.59
ΦG	1.22	—	1.32

图 9-1 外壳外形及尺寸示意图

切筋成型主要参数满足航天标准 QJ3171-2003，尺寸如图 9-2 所示。



尺寸符号	数值（单位：毫米）		
	最小	公称	最大
A	2.8		4.2
A1	0.5	0.75	1.0
b		0.2	
c		0.15	
e		0.5	
Z		2.25	
D/E	19.8	20	20.2
HD/HE	24.3	25.00	25.8
L1	1.25	1.5	1.75
L	2.25	2.5	2.8

图 9-2 标准成型及尺寸示意图

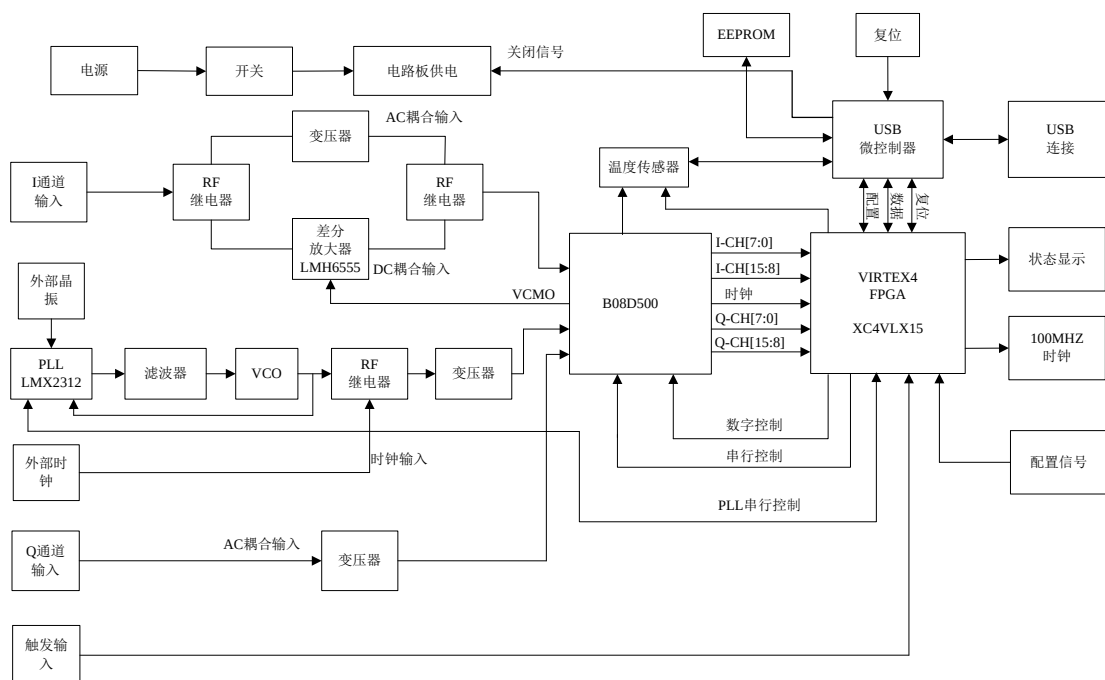
附录 1 引脚定义

附表 1-1 引脚定义表

引出端 序号	符号	引脚 属性	引出端 序号	符号	引脚 属性
1	GND	地	33	V _A	电源
2	V _A	电源	34	Tdiode_p	输出
3	OutV/SCLK	输入	35	Tdiode_n	输出
4	OutEdge/DDR/SDAT A	输入	36	DQd0+	输出
5	V _A	电源	37	DQd0-	输出
6	GND	地	38	DQd1+	输出
7	V _{CMO}	输入	39	DQd1-	输出
8	V _A	电源	40	V _{DR}	电源
9	GND	地	41	GND	地
10	V _{IN} I-	输入	42	DR GND	地
11	V _{IN} I+	输入	43	DQd2+	输出
12	GND	地	44	DQd2-	输出
13	V _A	电源	45	DQd3+	输出
14	FSR/ECE	输入	46	DQd3-	输出
15	DCLK_RST	输入	47	DQd4+	输出
16	V _A	电源	48	DQd4-	输出
17	V _A	电源	49	DQd5+	输出
18	CLK+	输入	50	DQd5-	输出
19	CLK-	输入	51	V _{DR}	电源
20	V _A	电源	52	NC	浮空
21	GND	地	53	DR GND	地
22	V _{IN} Q+	输入	54	DQd6+	输出
23	V _{IN} Q-	输入	55	DQd6-	输出
24	GND	地	56	DQd7+	输出
25	V _A	电源	57	DQd7-	输出
26	PD	输入	58	DQ0+	输出
27	GND	地	59	DQ0-	输出
28	V _A	电源	60	DQ1+	输出
29	PDQ	输入	61	DQ1-	输出
30	CAL	输入	62	V _{DR}	电源
31	V _{BG}	输出	63	NC	浮空
32	R _{EXT}	输入	64	DR GND	地

引出端 序号	符号	引脚 属性	引出端 序号	符号	引脚 属性
65	DQ2+	输出	97	DR GND	地
66	DQ2-	输出	98	NC	浮空
67	DQ3+	输出	99	V _{DR}	电源
68	DQ3-	输出	100	DI1-	输出
69	DQ4+	输出	101	DI1+	输出
70	DQ4-	输出	102	DI0-	输出
71	DQ5+	输出	103	DI0+	输出
72	DQ5-	输出	104	DI _d 7-	输出
73	V _{DR}	电源	105	DI _d 7+	输出
74	DR GND	地	106	DI _d 6-	输出
75	DQ6+	输出	107	DI _d 6+	输出
76	DQ6-	输出	108	DR GND	地
77	DQ7+	输出	109	NC	浮空
78	DQ7-	输出	110	V _{DR}	电源
79	OR+	输出	111	DI _d 5-	输出
80	OR-	输出	112	DI _d 5+	输出
81	DCLK-	输出	113	DI _d 4-	输出
82	DCLK+	输出	114	DI _d 4+	输出
83	DI7-	输出	115	DI _d 3-	输出
84	DI7+	输出	116	DI _d 3+	输出
85	DI6-	输出	117	DI _d 2-	输出
86	DI6+	输出	118	DI _d 2+	输出
87	DR GND	地	119	DR GND	地
88	V _{DR}	电源	120	NC	浮空
89	DI5-	输出	121	V _{DR}	电源
90	DI5+	输出	122	DI _d 1-	输出
91	DI4-	输出	123	DI _d 1+	输出
92	DI4+	输出	124	DI _d 0-	输出
93	DI3-	输出	125	DI _d 0+	输出
94	DI3+	输出	126	CalRun	输出
95	DI2-	输出	127	CalDly/DES/ $\overline{SCS}$	输入
96	DI2+	输出	128	VA	电源

附录 2 典型应用



附图 2-1 B08D500 典型应用电路

B08D500 芯片的一种的典型应用系统如上图所示。该系统只需要三个外部连接：电源电压连接、与 PC 机的 USB 接口连接和一个信号源。该系统的电路板中包含了一个板上的时钟产生器，若希望采用不同的采样率时，也可以采用外部时钟。B08D500 的输出端还与 Xilinx Virtex4 FPGA 相连接，以采集和存储 B08D500 的数据。

A2.1 系统概述

该系统的主要特征如下：

附表 2-1 B08D500 应用系统概述

电路板尺寸	168mm*100mm
电源	+12V, 800mA
时钟频率范围	500MHZ
模拟输入信号频率（AC 耦合）	30MHZ-500MHZ
模拟输入电压范围	570mV-790mV
模拟输入阻抗	50Ω

A2.1.1 FPGA 概述

电路板采用了一个 Xilinx LX15 Virtex 4 363 引脚的 FPGA，FPGA 用来采集和存储来自 ADC 的数据、测量时钟频率以及通过与 PC 相连的微控制器上载数据。该 FPGA 的时钟频率为 500MHZ。

同时，通过对于电路板的修改，也可以利用一个 FLASH ROM 对于 FPGA 进行配置。从而，使整个系统可以在没有 USB 微控制器的条件下运行。

A2.1.2 微控制器

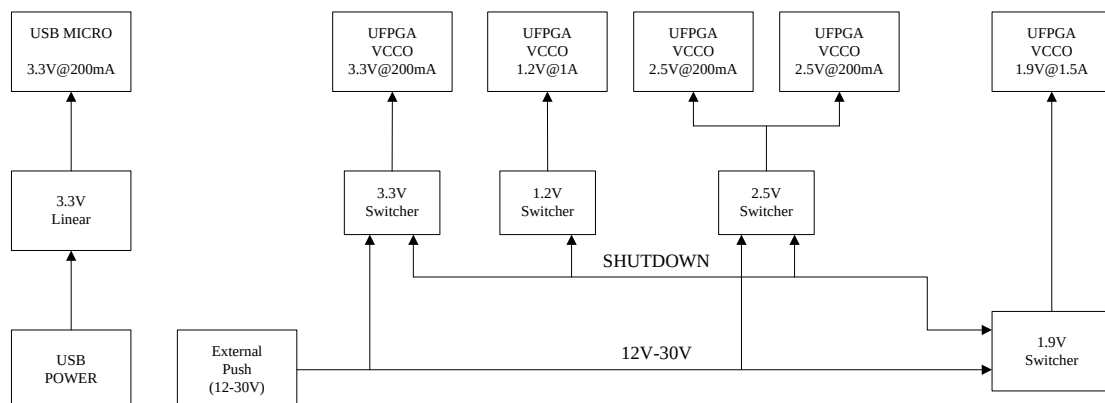
采用了 CY7C60813A 微控制器对 USB 接口和系统的电路板硬件进行控制。该控制器采用 24MHZ 的晶振进行驱动。

A2.1.3 存储器构成

采用一个 2K 的 EEPROM (24C02 或相同类型), 将 I2C 总线与微控制器和 USB 配置数据相连。

A2.1.4 电源

该系统提供了一个电源接口, 可以将外部的 8V~12V 范围内的电压作为电路板的电源。其中, 内部的各个子模块的供电电压为: USB 微控制器为 3.3V, FPGA 的 LVCMOS 和 I/O 为 3.3V, FPGA 的 AUX 和 LVDS25 I/O 为 2.5V, MXT2001 的 VA 和 VDR 为 1.9V, FPGA 的内核部分为 1.2V。



附图 2-2 系统电源连接图

通常还在该系统的电源通路前端采用一个发光二极管, 表明系统当前的供电状态。在电路板的前端采用了一个开关, 使得该系统很容易冷启动或者重新启动。USB 微控制器控制关闭引脚, 能够最小化待机状态下的功耗。

A2.1.5 时钟

USB 微控制器通过 24MHZ 的晶振提供时钟。B08D500 的时钟为 PLL 和 VCO 控制, 它们可以提供极低抖动的 1000MHZ 时钟。FPGA 通过串行接口, 从而控制 PLL 的工作状态。

FPGA 应该由下面两个源提供时钟:

1. 当用以捕获 B08D500 的数据时, FPGA 的时钟与 B08D500 同步。
2. 当测算输入时钟频率以及向 USB 微控制器上载捕获的数据时, 通过片上的 100MHZ 晶振提供时钟。

A2.1.6 复位信号

USB 微控制器采用一个简单的 RC 复位电路, 通过按钮可实现复位功能。FPGA 的复位功能通过 USB 微控制器实现。

A2.1.7 热管理

该系统还提供了热管理功能。采用一个双路温度传感器与 B08D500 和 Virtex 4 FPGA 的温度二极管相连, 并通过两路串行总线与 USB 微控制器之间传输信号。其主要功能是监测 B08D500 的温度, 以决定其是否需要进入校准周期。

A2.1.8 模拟输入

在该系统的前端有一个 SMA 连接器, 对 B08D500 输入模拟信号。I 通道既可输入 AC 耦合信号, 也可输入 DC 耦合信号, 而 Q 通道只可以输入 AC 耦合信号。通过片上的微型变压器, 可将输入的单端信号转换为差分信号。同时采用一个 LMH6555 差分运算放大器对于输入信号进行 DC 耦合。该系统的电路板上采用了 RF 继电器, 以控制 AC 耦合信号通路和 DC 耦合信号通路之中的转换。

A2.1.9 触发输入

该系统还接受触发信号，通过电路板前端的 SMA 连接器可输入触发信号，并经过施密特触发器与 FPGA 相连。该输入的功能并未定义，可由用户进行定义所需要的 FPGA 功能。

A2.1.10 调试

采用了一个 Mictor 逻辑分析仪，和 FPGA 的测试端相连。在系统调试时，用以检测捕获的数据和测试信号。同时，还采用了一个 JTAG，使得 FPGA 以实现更多功能。

A2.2 功能描述

A2.2.1 输入电路

通过 50Ω 的输入电阻，用以接受低噪声正弦波信号。为了精确的评价该转换器的动态性能，模拟输入信号需通过高质量的带通滤波器，以降低至少 10-bit 的等量噪声和失真特性。

系统的输入信号可以采用两个单端模拟输入信号，通过片上的器件可以将其转换成差分信号。相连的信号变压器被当作不平衡变压器，实现单端信号到差分信号的转换。将示波器作为测试设备，在采集数据时可以将其连接在信号路径上的任何位置。

触发输入信号传输给 FPGA，使用户通过外部的触发信号改变系统内的电流，触发输入的具体功能可以由用户通过 FPGA 固件自行定义。

A2.2.2 参考基准

B08D500 的参考基准由片上电路提供，且不可被校准。但是，满量程（差分）范围可由用户通过串行接口进行调整。

A2.2.3 时钟

B08D500 的时钟由板上提供，面板前端的“CLOCK”标志处有一个 SMA 连接器相连，可提供外部的时钟信号以供选择。不平衡变压器 T1 将单端时钟源信号转换为差分信号，以驱动 ADC 的时钟引脚。

需要注意的是，该系统采用的外部时钟源需有尽可能低的抖动，否则 B08D500 的 SNR 将会降低。

在外部时钟作为系统时，时钟的输入必须保持固定。用户需在与外部时钟断开连接之前，改变系统电路板上的时钟。如果在此过程中发生故障，可通过复位系统即可恢复。

A2.2.4 数字码输出

B08D500 的两个通道的数字输出与 Xilinx Virtex 4 FPGA 相连，可以存储的数据最高可达 4KB。FPGA 只需要非常小的面积，却能实现较多的功能。

A2.2.5 电源考虑

B08D500 应用板的电压典型值为 12V，电流典型值为 800mA，其中电路板通常会产生 500mA 的电流。片上的大部分调整器都可以控制开关，从而提高了电源的效率。

附录 3 对应替代国外产品情况

替代国外型号: ADC08D500		国外生产商: TI 公司	
对比项	国内产品	国外产品	差异性、兼容性分析
采样精度	8 位	8 位	✓
输入通道数	2 个	2 个	✓
采样频率	500MSPS	500MSPS	✓
电源电压	1.9V	1.9V	✓
信噪比	$\geq 45.3\text{dB@fin}=100\text{MHz}$	$\geq 45.3\text{dB@fin}=100\text{MHz}$	✓
无杂散动态范围	$\geq 47.5\text{dB@fin}=100\text{MHz}$	$\geq 47.5\text{dB@fin}=100\text{MHz}$	✓
积分非线性误差	$\leq \pm 1.5\text{LSB}$	$\leq \pm 0.9\text{LSB}$	相当
微分非线性误差	$\leq \pm 0.8\text{LSB}$	$\leq \pm 0.6\text{LSB}$	相当
封装形式	CQFP128	HLQFP128	国外产品提供的是塑封产品
质量可靠性	GJB B 级	R	国外产品为塑封



服务与支持

通信地址：北京市丰台区东高地四营门北路2号

邮政编码：100076

联系部门：市场二部

电话/传真：010-67968115-6313/010-68757706

AD/DA 部

张丛丛

电话：010-67968115-8334/13522753220