

8 位 MCU
ES7P7021

数 据 手 册

- ☐ 产品简介
- ☒ 数据手册
- ☐ 设计规格

上海东软载波微电子有限公司

2022 年 02 月 11 日

东软载波 MCU 芯片使用注意事项

关于芯片的上/下电

东软微电子 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其它部件上电；反之，下电时，先对系统其它部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

东软微电子 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其它保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

东软微电子 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

东软微电子 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

东软微电子 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 VIHMIN 之上，低电平应在 VILMAX 之下。避免输入电压介于 VIHMIN 和 VILMAX 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议用户设为输入状态，并通过电阻上拉至电源或下拉至地，或设置为输出管脚，输出固定电平并浮空。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

东软微电子 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

东软微电子 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

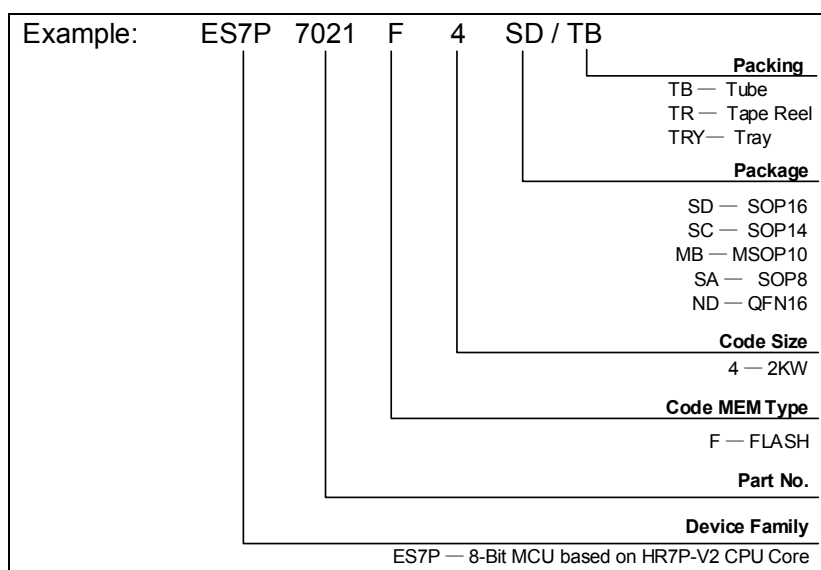
关于芯片的开发环境

东软微电子 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海东软载波微电子有限公司联系。

产品订购信息

型 号	Flash	SRAM	I/O	Timer	PWM	ADC	封装类型
ES7P7021F4SD	2K Words	128 B	13+1INPUT	8-bit×2	8-bit ×2	12-bit x6	SOP16
ES7P7021F4SC			11+1INPUT			12-bit x6	SOP14
ES7P7021F4MB			7+1INPUT			12-bit x6	MSOP10
ES7P7021F4SA			5+1INPUT			12-bit x3	SOP8
ES7P7021F4ND			13+1INPUT			12-bit x6	QFN16



地 址：中国上海市徐汇区古美路 1515 号凤凰园 12 号楼 3 楼

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址： <http://www.essemi.com>

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2022-02-11	初版发布

目 录

内容目录

第 1 章	芯片简介	11
1.1	概要	11
1.1.1	特性	11
1.1.2	应用领域	12
1.2	结构框图	13
1.3	管脚分配图	14
1.3.1	SOP16 封装图	14
1.3.2	QFN16 封装图	14
1.3.3	SOP14 封装图	15
1.3.4	MSOP10 封装图	15
1.3.5	SOP8 封装图	15
1.4	管脚说明	16
1.4.1	管脚封装对照表	16
1.4.2	管脚描述	17
第 2 章	内核特性	19
2.1	CPU 内核概述	19
2.2	系统时钟和机器周期	19
2.3	指令集概述	19
2.4	特殊功能寄存器	20
第 3 章	存储资源	22
3.1	程序/数据存储	22
3.2	程序计数器 (PC) 和硬件堆栈	22
3.2.1	程序计数器 (PC)	22
3.2.2	硬件堆栈	23
3.2.3	Flash 存储器的查表读和 IAP 操作	23
3.2.3.1	概述	23
3.2.3.2	Flash 存储器的查表读	23
3.2.3.3	Flash 存储器的 IAP 擦除	24
3.2.3.4	Flash 存储器的 IAP 编程	26
3.2.3.5	特殊寄存器	29
3.3	在线编程 ISP 和在线调试 ICD	32
3.3.1	特殊功能寄存器	32
3.4	数据存储	34
3.4.1	概述	34
3.4.2	寻址方式	35
3.4.2.1	直接寻址	35
3.4.2.2	GPR 特殊寻址	35
3.4.2.3	间接寻址	36
3.4.3	特殊功能寄存器空间	37
3.4.4	特殊功能寄存器	40
第 4 章	输入/输出端口	41

4.1	概述	41
4.2	I/O 结构框图	41
4.3	I/O 端口弱上拉	42
4.4	I/O 端口弱下拉	42
4.5	外部按键中断 (KINT)	42
4.6	外部端口中断 (PINT)	43
4.7	特殊功能寄存器	43
第 5 章	特殊功能及操作特性	46
5.1	系统时钟和振荡器	46
5.1.1	概述	46
5.1.2	结构框图	46
5.1.3	时钟源	46
5.1.3.1	内部高速 16MHz RC 振荡器 HRC	46
5.1.3.2	内部低速 32KHz RC 振荡器 LRC	46
5.1.4	系统时钟源切换	47
5.1.4.1	系统上电时序	47
5.1.5	系统时钟分频	48
5.1.6	时钟切换等待	48
5.1.7	特殊功能寄存器	49
5.2	看门狗定时器	51
5.2.1	概述	51
5.2.2	WDT 操作	52
5.2.3	特殊功能寄存器	53
5.3	复位模块	54
5.3.1	概述	54
5.3.2	上电复位 POR	54
5.3.3	掉电复位 BOR	55
5.3.4	外部 MRSTN 管脚复位	55
5.3.4.1	RC 复位电路	55
5.3.4.2	PNP 三极管复位电路	56
5.3.5	看门狗定时器溢出复位	57
5.3.6	RST 指令复位	57
5.3.7	特殊功能寄存器	58
5.4	低功耗操作	59
5.4.1	概述	59
5.4.2	IDLE 状态	59
5.4.3	唤醒方式配置	59
5.4.4	低功耗下的功能模块	59
5.4.5	时钟源的关闭和唤醒	60
5.4.6	特殊功能寄存器	60
第 6 章	外设	61
6.1	定时器/计数器模块 (Timer/Counter)	61
6.1.1	8 位 PWM 时基定时器 (T8P1/T8P2)	61
6.1.1.1	概述	61

6.1.1.2	内部结构图.....	61
6.1.1.3	预分频器和后分频器.....	62
6.1.1.4	定时器模式.....	63
6.1.1.5	标准 PWM 输出模式.....	63
6.1.1.6	增强型 PWM 输出模式.....	65
6.1.1.7	EPWM 自动关断和重启.....	67
6.1.1.8	特殊功能寄存器.....	69
6.2	低电压检测模块 (LVD).....	73
6.2.1	概述.....	73
6.2.2	LVD 操作.....	73
6.2.3	特殊功能寄存器.....	74
6.3	模/数转换器模块 (ADC).....	75
6.3.1	概述.....	75
6.3.2	ADC 内部结构图.....	75
6.3.3	ADC 配置.....	76
6.3.4	ADC 转换步骤.....	77
6.3.5	ADC 时序特征示意图.....	78
6.3.6	特殊功能寄存器.....	79
第 7 章	中断处理.....	82
7.1	概述.....	82
7.2	中断控制结构框图.....	82
7.3	默认中断模式.....	83
7.4	中断现场保护.....	83
7.5	中断操作.....	84
7.5.1	外部中断.....	84
7.5.2	外部按键中断.....	84
7.5.3	T8Px 匹配中断.....	84
7.5.4	LVD 中断.....	85
7.5.5	ADC 中断.....	85
7.5.6	中断操作注意事项.....	85
7.5.7	特殊功能寄存器.....	85
第 8 章	芯片配置字.....	90
第 9 章	芯片封装图.....	92
9.1	SOP16 封装尺寸图.....	92
9.2	QFN16 封装尺寸图.....	93
9.3	SOP14 封装尺寸图.....	94
9.4	MSOP10 封装尺寸图.....	95
9.5	SOP8 封装尺寸图.....	96
附录 1	指令集.....	97
附录 1.1	概述.....	97
附录 1.2	寄存器操作指令.....	97
附录 1.3	程序控制指令.....	98
附录 1.4	算术/逻辑运算指令.....	99
附录 2	特殊功能寄存器总表.....	101

附录 3	电气特性	104
附录 3.1	参数特性表	104
附录 3.2	参数特性图	108

图目录

图 1-1	结构框图.....	13
图 1-2	SOP16 封装顶视图	14
图 1-3	QFN16 封装顶视图	14
图 1-4	SOP14 封装顶视图	15
图 1-5	MSOP10 封装顶视图	15
图 1-6	SOP8 封装顶视图	15
图 3-1	程序/数据区地址映射和堆栈示意图	22
图 3-2	页擦流程图.....	24
图 3-3	编程流程图.....	27
图 3-4	数据区地址映射示意图.....	34
图 3-5	直接寻址示意图.....	35
图 3-6	GPR 特殊寻址示意图.....	35
图 3-7	间接寻址示意图.....	36
图 4-1	I/O 端口结构图	41
图 5-1	系统时钟内部结构图	46
图 5-2	系统上电时序图 1（MRSTN/PA3 配置为 MRSTN 且外部复位在最后释放）	47
图 5-3	系统上电时序图 2（MRSTN/PA3 配置为 GPIO）	48
图 5-4	看门狗定时器内部结构图	52
图 5-5	系统复位内部结构图	54
图 5-6	上电复位时序示意图	54
图 5-7	低电压复位时序示意图.....	55
图 5-8	外部 MRSTN 管脚复位	55
图 5-9	MRSTN 复位参考电路图 1.....	56
图 5-10	MRSTN 复位参考电路图 2.....	56
图 5-11	看门狗溢出复位.....	57
图 5-12	RST 指令复位	57
图 6-1	T8Px 内部结构图	61
图 6-2	标准 PWM 输出示意图.....	64
图 6-3	标准 PWM 输出示意图.....	64
图 6-4	EPWM 单桥输出示意图	66
图 6-5	EPWM 半桥输出示意图	66
图 6-6	EPWM 关断与自动重启（PRESN=1）	67
图 6-7	EPWM 关断与重启（PRESN=0）	68
图 6-8	LVD 工作时序图	73
图 6-9	ADC 内部结构图	75
图 6-10	复位释放.....	78
图 6-11	单次转换.....	78
图 6-12	连续转换.....	78
图 7-1	默认中断控制逻辑.....	82

表目录

表 1-1	管脚封装对照表.....	16
表 1-2	管脚说明.....	18
表 3-1	在线编程/调试管脚说明.....	32
表 4-1	I/O 端口弱上拉	42
表 4-2	I/O 端口弱下拉	42
表 4-3	外部按键中断	42
表 4-4	外部端口中断	43
表 5-1	功能模块低功耗配置分类表	59
表 6-1	T8Px 后分频器配置表	62
表 6-2	T8Px 预分频器配置表	62
表 6-3	T8Px 工作模式配置表	62
表 7-1	默认中断模式使能配置表	83
表 8-1	芯片配置字 CFG_WORD0.....	90
表 8-2	芯片配置字 CFG_WORD1.....	91
附录表 1-1	寄存器操作指令表.....	97
附录表 1-2	程序控制指令表	99
附录表 1-3	算术/逻辑运算指令表	100

第1章 芯片简介

1.1 概要

1.1.1 特性

◆ 内核

- ◇ 高性能哈佛型 RISC CPU 内核
- ◇ 79 条精简指令
- ◇ 工作频率最高为 16MHz
- ◇ 指令周期为 2 个系统时钟周期
- ◇ 8 级 PC 硬件堆栈
- ◇ 复位向量位于 000_H，默认中断向量位于 004_H
- ◇ 支持中断处理，共 11 个中断源

◆ 存储资源

- ◇ 程序存储器及配置区
 - 2K Words 程序 Flash 存储器
 - 64 Words 数据 Flash 存储器
- ◇ 128 Bytes SRAM 数据存储器
- ◇ 程序存储器支持直接寻址、查表读操作和相对寻址
- ◇ 数据存储器支持直接寻址、GPR 特殊寻址和间接寻址

◆ I/O 端口

- ◇ 最多支持 13 个 I/O 口和 1 个输入
 - PA 端口 (PA0 ~ PA7)
 - PB 端口 (PB0 ~ PB5)
- ◇ 支持 4 个外部端口中断 PINT
- ◇ 支持 1 个外部按键中断 KINT，最多支持 8 个输入端 (KIN0 ~ KIN7)

◆ 复位及时钟

- ◇ 内嵌上电复位电路 POR
- ◇ 内嵌掉电复位电路 BOR
- ◇ 内嵌低电压检测中断电路
- ◇ 支持外部复位
- ◇ 支持独立硬件看门狗定时器
- ◇ 支持内部高频 16MHz RC 振荡时钟源
 - 可分频，最低可分频至 32KHz
- ◇ 支持内部低频 32KHz RC 振荡器时钟源（作为 WDT 的时钟源，且可配置为系统时钟源）
- ◇ 支持高低速系统时钟切换

◆ 外设

◇ 2 组增强型 EPWM 时基定时器 T8P1/T8P2

- 支持定时器模式（时钟源为系统时钟二分频（ $F_{osc}/2$ ））
- 支持可配置预分频器及可配置后分频器
- T8Px 包括 8 位计数器（T8Px），精度寄存器（T8PxRL），精度缓冲寄存器（T8PxRH）和周期寄存器（T8PxP）
- T8Px 计数器的初值可任意配置
- 支持 2 组带互补输出的增强型脉宽调制（EPWM）输出扩展功能
- 支持外部端口关断 EPWM 输出
- 支持 EPWM 自动重启
- T8Px 支持中断产生 T8PxIF（不同工作模式作用不同，必须软件清零）
- T8Px 在低功耗模式下不工作

◇ 模拟数字转换器 ADC

- 支持 12 位数字转换精度
- 支持 6 通道模拟输入端
- 支持电源电压检测，电源分压比可选
- 支持外部参考源
- 支持内部参考源（参考源为 VDD、4V、3V、2.1V 可选）
- 可配置单端或差分输入
- 支持中断产生

◆ 功耗特性

◇ IDLE 电流

- 7.5uA@5.0V, 25°C, BOR 使能、WDT 使能

◇ 动态电流

- 1.9mA@16MHz, 5.0V, 25°C, 典型值

◆ 编程及调试接口

- ◇ 支持在线调试（ICD）接口
- ◇ 支持在线编程（ISP）接口
- ◇ 支持编程代码加密保护

◆ 封装

- ◇ 封装形式：SOP16/14/8, MSOP10, QFN16 封装

◆ 工作条件

◇ 工作电压范围：

- 正常运行电压：2.1V ~ 5.5V
- Flash 编程电压：2.8V ~ 5.5V
- Flash 耐久性：10K

◇ 工作温度范围：-40°C ~ 85°C

1.1.2 应用领域

本芯片可用于电源管理、美容美发、小家电等领域。

1.2 结构框图

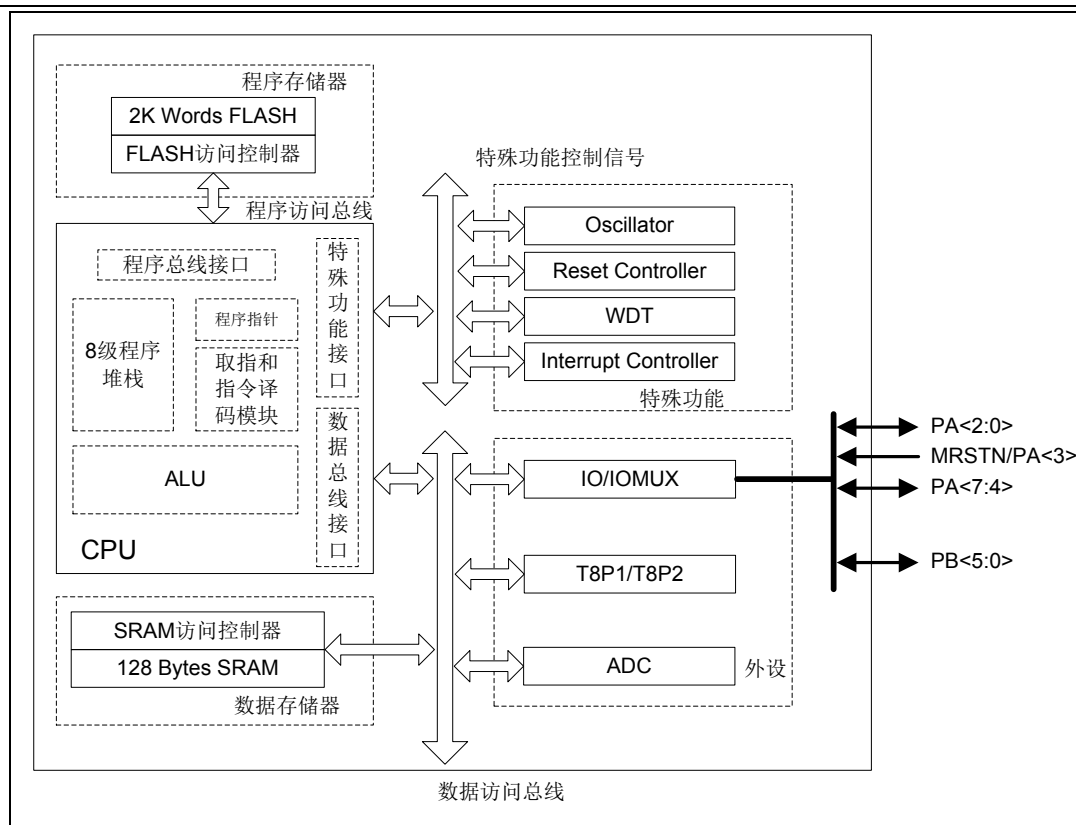


图 1-1 结构框图

注：MRSTN 为低电平复位有效。

1.3 管脚分配图

1.3.1 SOP16 封装图

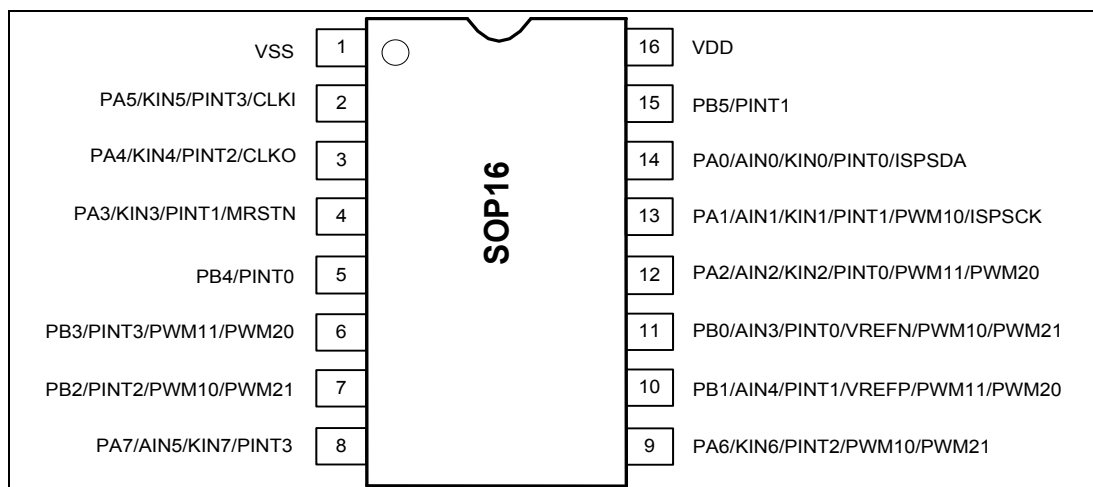


图 1-2 SOP16 封装顶视图

1.3.2 QFN16 封装图

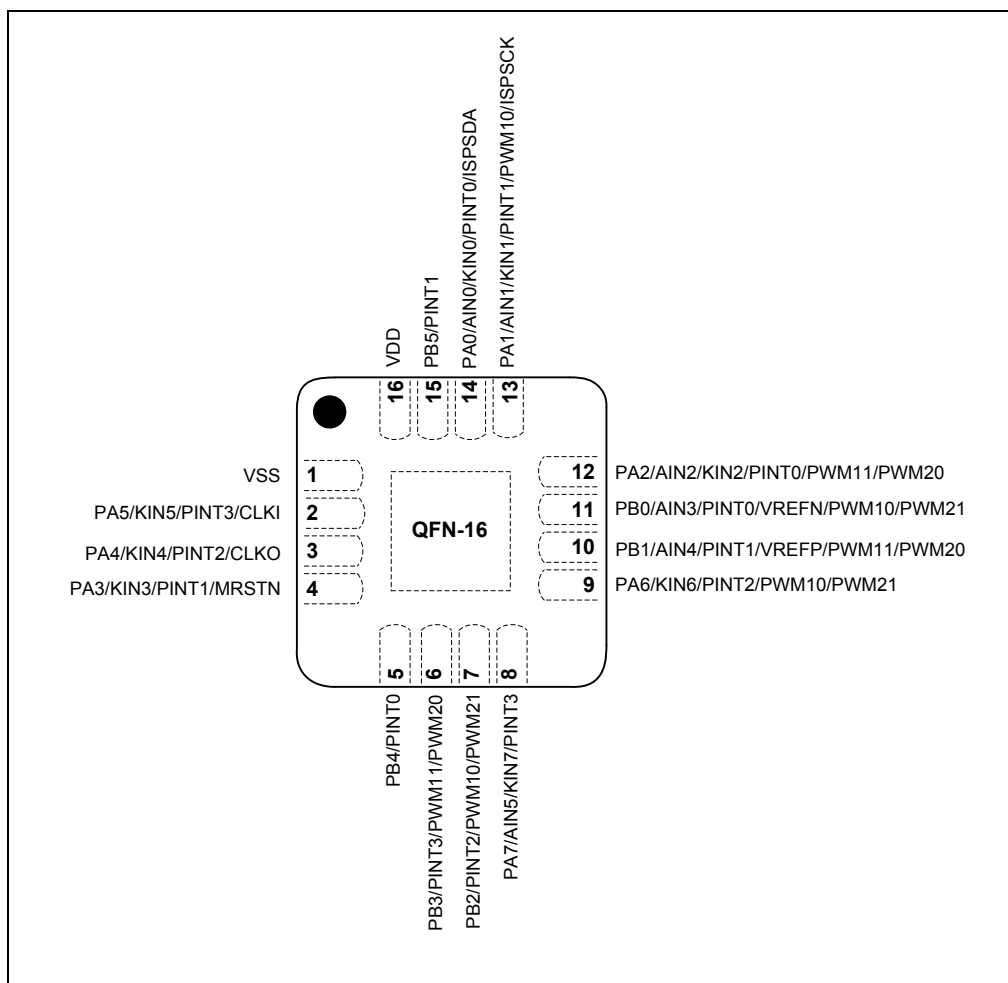


图 1-3 QFN16 封装顶视图

1.3.3 SOP14 封装图

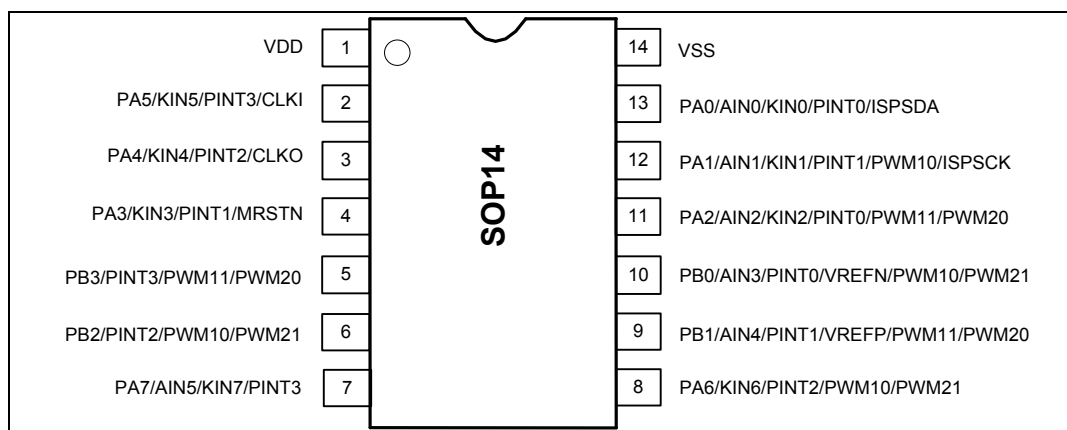


图 1-4 SOP14 封装顶视图

1.3.4 MSOP10 封装图

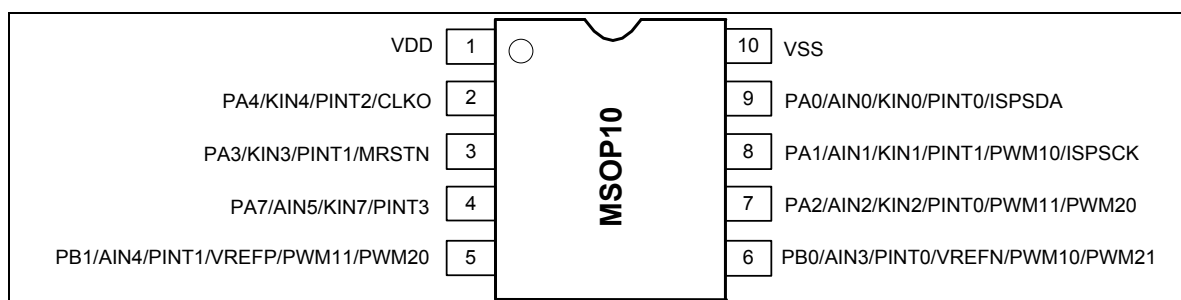


图 1-5 MSOP10 封装顶视图

1.3.5 SOP8 封装图

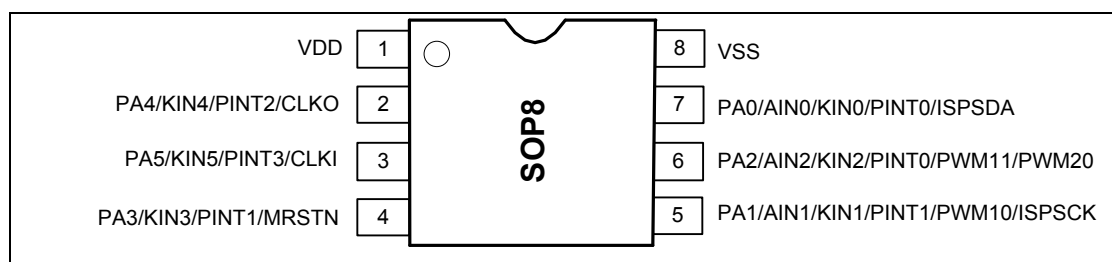


图 1-6 SOP8 封装顶视图

1.4 管脚说明

1.4.1 管脚封装对照表

管脚名	ES7P7021			
	SOP16	SOP14	SOP8	MSOP10
PA0/AIN0/KIN0/PINT0/ISPSDA	14	13	7	9
PA1/AIN1/KIN1/PINT1/PWM10/ISPCK	13	12	5	8
PA2/AIN2/KIN2/PINT0/PWM11/PWM20	12	11	6	7
PA3/KIN3/PINT1/MRSTN/	4	4	4	3
PA4/KIN4/PINT2/CLKO	3	3	2	2
PA5/KIN5/PINT3/CLKI	2	2	3	—
PA6/KIN6/PINT2/PWM10/PWM21	9	8	—	—
PA7/AIN5/KIN7/PINT3	8	7	—	4
PB0/AIN3/PINT0/VREFN/PWM10/PWM21	11	10	—	6
PB1/AIN4/PINT1/VREFP/PWM11/PWM20	10	9	—	5
PB2/PINT2/PWM10/PWM21	7	6	—	—
PB3/PINT3/PWM11/PWM20	6	5	—	—
PB4/PINT0	5	—	—	—
PB5/PINT1	15	—	—	—
VDD	16	1	1	1
VSS	1	14	8	10

表 1-1 管脚封装对照表

1.4.2 管脚描述

管脚名	管脚复用	A/D	端口说明	备注
PA0/AIN0/KIN0/PINT0/ISPSDA	PA0	D	通用 I/O	可单独使能弱上拉或弱下拉
	AIN0	A	ADC 模拟通道 0	
	KIN0	D	外部按键唤醒输入 0	
	PINT0	D	外部端口中断输入 0	
	ISPSDA	D	串行编程数据输入输出	
PA1/AIN1/KIN1/PINT1/PWM10/ISPSCK	PA1	D	通用 I/O	可单独使能弱上拉或弱下拉
	AIN1	A	ADC 模拟通道 1	
	KIN1	D	外部按键唤醒输入 1	
	PINT1	D	外部端口中断输入 1	
	PWM10	D	T8P1 PWM 输出	
	ISPSCK	D	串行编程时钟输入	
PA2/AIN2/KIN2/PINT0/PWM11/PWM20	PA2	D	通用 I/O	可单独使能弱上拉或弱下拉
	AIN2	A	ADC 模拟通道 2	
	KIN2	D	外部按键唤醒输入 2	
	PINT0	D	外部端口中断输入 0	
	PWM11	D	T8P1 PWM 互补输出	
	PWM20	D	T8P2 PWM 输出	
PA3/KIN3/PINT1/MRSTN/	PA3	D	通用 I/O	可单独使能弱上拉或弱下拉
	KIN3	D	外部按键唤醒输入 3	
	PINT1	D	外部端口中断输入 1	
	MRSTN	D	主复位输入	
PA4/KIN4/PINT2/CLKO	PA4	D	通用 I/O	可单独使能弱上拉或弱下拉
	KIN4	D	外部按键唤醒输入 4	
	PINT2	D	外部端口中断输入 2	
	CLKO	D	系统时钟 128 分频输出	
PA5/KIN5/PINT3/CLKI	PA5	D	通用 I/O	可单独使能弱上拉或弱下拉
	KIN5	D	外部按键唤醒输入 5	
	PINT3	D	T8P2 PWM 输出	
	CLKI	A/D	外部时钟输入	
PA6/KIN6/PINT2/PWM10/PWM21	PA6	D	通用 I/O	可单独使能弱上拉或弱下拉
	KIN6	D	外部按键唤醒输入 6	
	PINT2	D	外部端口中断输入 2	
	PWM10	D	T8P1 PWM 输出	
	PWM21	D	T8P2 PWM 互补输出	
PA7/AIN5/KIN7/PINT3	PA7	D	通用 I/O	可单独使能弱上拉或弱下拉
	AIN5	A	ADC 模拟通道 5	
	KIN7	D	外部按键唤醒输入 7	
	PINT3	D	外部端口中断输入 3	
PB0/AIN3/PINT0/VREFN/PWM10/PWM21	PB0	D	通用 I/O	可单独使能弱上拉或弱下拉
	AIN3	A	ADC 模拟通道 3	

管脚名	管脚复用	A/D	端口说明	备注
	PINT0	D	外部端口中断输入 0	
	VREFN	A	ADC 外部参考电压负端	
	PWM10	D	T8P1 PWM 输出	
	PWM21	D	T8P2 PWM 互补输出	
PB1/AIN4/PINT1/VREFP/PWM11/PWM20	PB1	D	通用 I/O	可单独使能弱上拉或弱下拉
	AIN4	A	ADC 模拟通道 4	
	PINT1	D	外部端口中断输入 1	
	VREFP	A	ADC 外部参考电压正端	
	PWM11	D	T8P1 PWM 互补输出	
	PWM20	D	T8P2 PWM 输出	
PB2/PINT2/PWM10/PWM21	PB2	D	通用 I/O	可单独使能弱上拉或弱下拉
	PINT2	D	外部端口中断输入 2	
	PWM10	D	T8P1 PWM 输出	
	PWM21	D	T8P2 PWM 互补输出	
PB3/PINT3/PWM11/PWM20	PB3	D	通用 I/O	可单独使能弱上拉或弱下拉
	PINT3	D	外部端口中断输入 3	
	PWM11	D	T8P1 PWM 互补输出	
	PWM20	D	T8P2 PWM 输出	
PB4/PINT0	PB4	D	通用 I/O	可单独使能弱上拉或弱下拉
	PINT0	D	外部端口中断输入 0	
PB5/PINT1	PB5	D	通用 I/O	可单独使能弱上拉或弱下拉
	PINT1	D	外部端口中断输入 1	
VDD	VDD	-	电源	-
VSS	VSS	-	地, 0V 参考点	-

表 1-2 管脚说明

注 1: A = 模拟, D = 数字; MRSTN 表示低电平有效;

注 2: 所有通用数据 I/O 均为 TTL 施密特输入和 CMOS 输出驱动 (除 PA3 配为 MRSTN 功能外)。

第2章 内核特性

2.1 CPU内核概述

◆ 内核特性

- ◇ 高性能哈佛型 RISC CPU 内核
- ◇ 79 条精简指令
- ◇ 工作频率最高为 16MHz
- ◇ 指令周期为 2 个系统时钟周期
- ◇ 8 级 PC 硬件堆栈
- ◇ 复位向量位于 000_H，默认中断向量位于 004_H
- ◇ 支持中断处理，共 11 个中断源

2.2 系统时钟和机器周期

系统时钟频率最高支持 16MHz。通过片内时钟生成器产生两个不重叠的正交时钟 phase1 (p1)，phase2 (p2)。两个不重叠的正交时钟组成一个机器周期。

2.3 指令集概述

本芯片采用 ES7P 系列 79 条精简指令集系统。

除了部分条件跳转与控制程序流程的指令需要两个机器周期来完成，其它指令的执行都是在一个机器周期中完成。2 个系统时钟周期为一个机器周期，若芯片系统时钟频率为 4MHz，一个机器周期的时间为 500ns。

具体指令集请参考《附录 1 指令集》。

2.4 特殊功能寄存器

PSW: 程序状态字寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	UF	OF	N	OV	Z	DC	C
R/W	—	R	R	R/W	R/W	R/W	R/W	R/W
POR	x	0	0	x	x	x	x	x

Bit 7 保留

Bit 6 UF: 程序出栈溢出标志位

0: 程序出栈未溢出

1: 程序出栈溢出

Bit 5 OF: 程序压栈溢出标志位

0: 程序压栈未溢出

1: 程序压栈溢出

Bit 4 N: 负数标志位

0: 正数

1: 负数

Bit 3 OV: 溢出标志位

0: 无溢出

1: 溢出

Bit 2 Z: 零标志位

0: 算术或逻辑运算的结果不为零

1: 算术或逻辑运算的结果为零

Bit 1 DC: 半进位或半借位标志位

0: 低四位无进位或低四位有借位

1: 低四位有进位或低四位无借位

Bit 0 C: 全进位或全借位标志位

0: 无进位或有借位

1: 有进位或无借位

注 1: 仅部分指令可对 PSW 寄存器进行写操作, 包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。

其它指令对 PSW 寄存器的写操作, 只根据运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位, 仅上电复位、复位指令和 MRST 复位会将其清零, 其他复位不影响该两位标志位。

AREG: A 寄存器

Bit	7	6	5	4	3	2	1	0
Name	A<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7-0 A<7:0>: A 寄存器<7:0>

PCRL: 程序计数器<7:0>								
Bit	7	6	5	4	3	2	1	0
Name	PCRL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 PCRL<7:0>: 程序计数器低 8 位

PCRH: 程序计数器<15:8>								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PCRH<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-4 保留

Bit 3-0 PCRH<3:0>: 程序计数器高 4 位

第3章 存储资源

3.1 程序/数据存储区

ES7P7021 的程序存储器为 2K Words Flash。实际地址范围 $000_H \sim 7FF_H$ 。复位向量位于 000_H ，默认中断向量入口地址位于 004_H 。用户数据存储为 64 Words Flash，地址范围 $880_H \sim 8C0_H$ 。

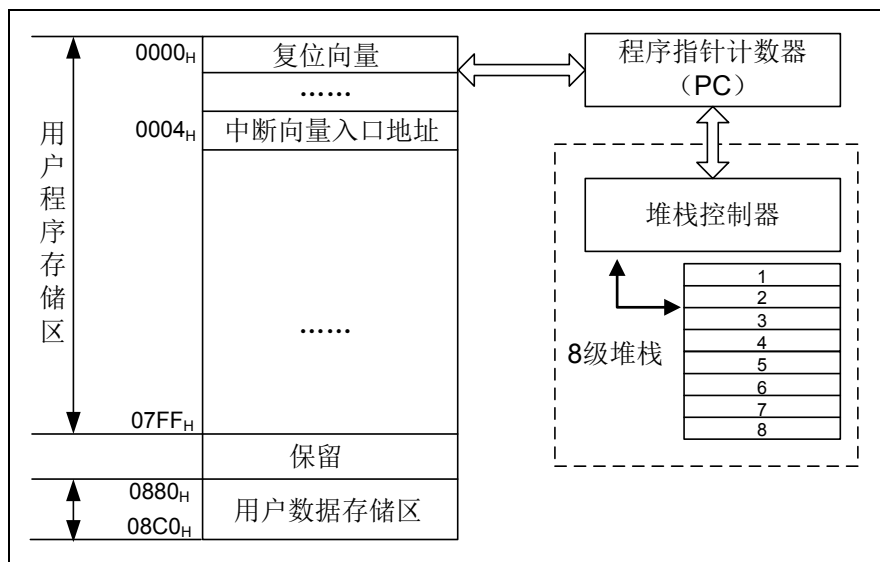


图 3-1 程序/数据区地址映射和堆栈示意图

3.2 程序计数器 (PC) 和硬件堆栈

3.2.1 程序计数器 (PC)

ES7P7021 芯片有 12 位程序计数器 $PC<11:0>$ 。本芯片最大可寻址 2K Words 程序存储空间 $000_H \sim 7FF_H$ 。程序计数器 PC 的低 8 位 $PC<7:0>$ 可通过 PCRL 直接读写，而 PC 高 4 位不能直接读写，只能通过 PCRH 寄存器来间接赋值。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

各种指令对 PC 的影响：

注 1：通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 $PC<7:0>$ ，即 $PC<7:0>=PCRL<7:0>$ ；而操作 $PC<7:0>$ 的同时也会执行 $PC<10:8>=PCRH<2:0>$ ，因此，修改 PC 时，应先修改 $PCRH<3:0>$ ，再修改 $PCRL<7:0>$ 。

注 2：执行 RCALL 指令时， $PC<7:0>$ 为寄存器 R 中的值；而 $PC<11:8>=PCRH<3:0>$ 。

注 3：执行 CALL，GOTO 指令时， $PC<11:0>$ 为指令中 12 位立即数 I（操作数）。

注 4：执行 LCALL 指令时，该指令为双字指令共有 16 位立即数 I（操作数）。 $PC<11:0>$ 被修改为该 16 位立即数 I 的值的低 12 位；同时 $PCRH<3:0>$ 被修改为 $I<11:8>$ 的值。

注 5：执行 AJMP 指令时，该指令为双字指令共有 16 位立即数 I（操作数）。 $PC<11:0>$ 被修改为该 16 位立即数 I 的值的低 12 位，同时 PCRH 修改为 $I<11:8>$ 的值。

注 6：执行 PAGE 指令时， $PCRH<7:4>$ 的值将被该指令的立即数替换。（ES7P7021 芯片的程序存储器大小为 2K Words，这里 $PCRH<7:4>$ 被固定为全零，执行 PAGE 指令后 PC 值不受影响）

注 7：执行其他指令时，PC 值自动加 1。

3.2.2 硬件堆栈

芯片内有 8 级硬件堆栈，堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值返回至 PC。

硬件堆栈只支持 8 级缓冲操作，即硬件堆栈只保存最近的 8 次压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据使得第 1 次的压栈数据丢失。同样，超过 8 次的连续出栈，第 9 次出栈操作，可能使得程序流程不可控。

3.2.3 Flash存储器的查表读和IAP操作

3.2.3.1 概述

Flash 存储器支持查表读和 IAP 页擦除和编程操作。

Flash 存储器的 IAP 擦除操作是以页（Page）为单位，一页为 32 个地址单元，页地址对应到{FRAH<7:0>, FRAL<7:5>}，如{FRAH<7:0>, FRAL<7:5>}=00_H，为第 0 页；{FRAH<7:0>, FRAL<7:5>}=01_H，为第 1 页；…；{FRAH<7:0>, FRAL<7:5>}=1F_H，为第 31 页。Flash 存储器的读出和 IAP 写入操作以 1 个地址单元为单位，通过 FRA（FRAH，FRAL）寻址。

必须对 IAPUL 寄存器写入 0xA5 来解锁 IAP 操作，即使能 IAPERSS, IAPPRGS 以及 IAPC 寄存器的写访问。IAP 编程或擦除操作后不会自动上锁，需要用户在其所需要的编程或擦除结束后，向 IAPUL 写入非 0xA5 值来上锁，防止误操作改写 Flash 内容。

当 Flash 存储器进行 IAP 擦除或 IAP 写入操作时，CPU 内核暂停执行，外设可按预设状态继续运行，外设的中断请求将置位相应的中断标志。当 IAP 擦除或 IAP 写入操作完成时，CPU 内核恢复执行。

3.2.3.2 Flash存储器的查表读

本芯片的程序存储器查表只支持查表读操作，1 次查表读操作访问 1 个地址单元的 16 位数据。当芯片配置字中 IAP 操作使能位 IAPEN（CFG_WORD0<10>）使能时，通过查表读指令将查表地址寄存器 FRA（FRAH，FRAL）所指向的程序存储器中的 16 位数据读入 ROMD（ROMDH，ROMDL）中。

设置了 Flash 全加密，仍可通过 TBR 指令进行访问。

本芯片查表写指令保留未用（执行时仅影响 FRA 寄存器）。

应用例程：程序存储器查表读。

MOVI 0x05 ; 读取程序存储器 0105_H

MOVA FRAL

MOVI 0x01

MOVA FRAH

TBR

```
MOV    ROMDH, 0
.....
MOV    ROMDL, 0
.....
```

3.2.3.3 Flash存储器的IAP擦除

通过 IAP 进行 Flash 擦除的最小操作单位为页，一页为 32 个地址单元。页通过寄存器 {FRAH<7:0>, FRAL<7:5>}寻址。对 IAPERSS 寄存器写入 0xAE 来启动擦除。

若芯片配置字的 LVDIAPTEN 设置为 1，在启动 IAP 擦除时，若 LVD 有效则无法启动擦除；在擦除过程中，若 LVD 有效且当芯片配置字的 LVDIAPTEN 设置为 1 时则硬件自动终止当前的页擦操作。为了防止电压低于 LVD 设定门限时，发生误擦除，在 IAP 擦除时，建议设置寄存器位 LVDFLTEN=0，禁止 LVD 滤波。

IAP 擦除流程图如下图所示，该流程图假设配置字的 LVDIAPTEN=1。

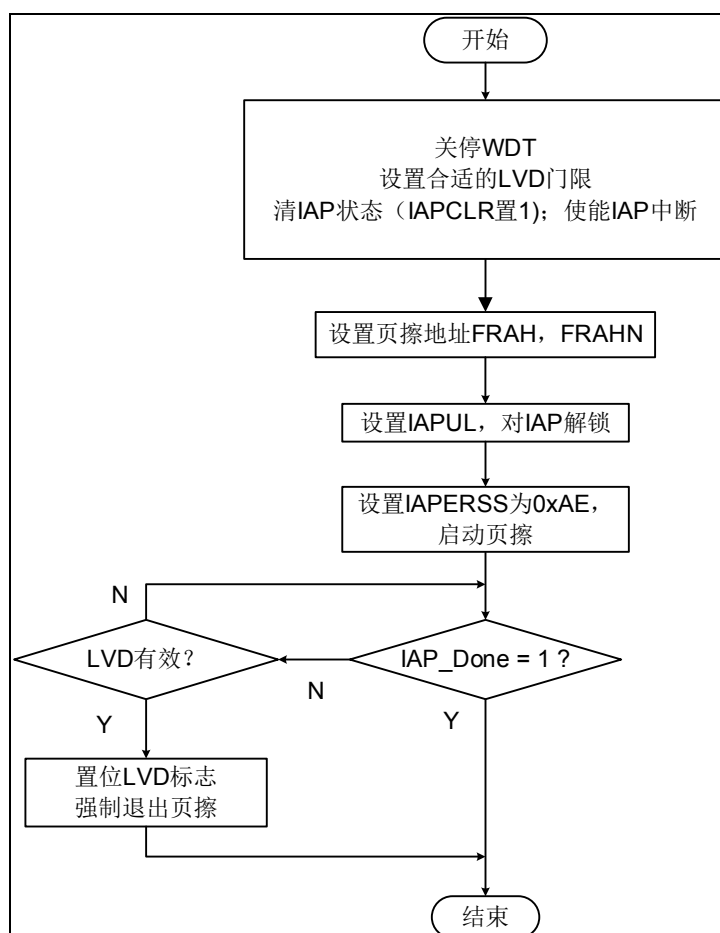


图 3-2 页擦流程图

应用例程：Flash 页擦除。

```
MOVI    0xA5          ; 解锁 WDTC 寄存器
```


MOVA	WDTUL	
BCC	WDTC, WDTEN	; 关 WDT, 使 WDT 停止计数, 以免溢出复 ; 位 IAP 操作
MOVI	0X00	; 擦除 Flash 第 6 页 (0C0 _H ~0DF _H)
MOVA	FRAH	
MOVI	0XFF	
MOVA	FRAHN	
MOVI	0XC0	
MOVA	FRAL	
MOVI	0X3F	
MOVA	FRALN	
BSS	INTE4, IAPIE	; 使能 IAP 中断
BSS	IAPC, 1	; 清除 IAP 状态 (必须在执行下一个 IAP 操作 ; 之前清除 IAP 状态)
MOVI	0xA5	; 解锁 IAP
MOVA	IAPUL	
MOVI	0XAE	
MOVA	IAPERSS	; 启动 Flash IAP 擦除操作

; CPU 进入暂停状态, 直到擦除完成后 CPU 恢复运行

; 一次页擦除时间约 2ms, 具体时间随操作电压和操作温度有所不同

ERS_WAIT

JBS IAPS, 1 ; 等待擦除结束

GOTO ERS_WAIT

MOVI 0x00 ; 锁定 IAP

MOVA IAPUL

MOVI 0xA5 ; 解锁 WDTC 寄存器

MOVA WDTUL

BSS WDTC, WDTEN ; WDT 恢复计数（如果配置字 WDTEN=1）

BCC INTE4, IAPIE ; 开中断

.....

注 1: 在向 IAPERSS 寄存器写入 0xAE 启动 IAP Flash 页擦之后, 由于 CPU 会继续执行下一条指令, 建议启动页擦后, 紧接的下一条指令为 NOP 指令或如上例所示, 为 IAP 状态查询指令。

注 2: 在 IAP 中断服务程序中, 可通过查询 IAPS 状态寄存器来判断是否执行其它子程序。

- 如果 ERSS_ERR 置 1, 则: 程序调试阶段, 查阅代码中的启动代码是否写错, 若是则修改错误; 否则再次写 IAPERSS 寄存器, 直至成功。
- 如果 IAP_LVDIF 为 1, 则停止 IAP 操作, 直至该标志为 0。

3.2.3.4 Flash存储器的IAP编程

Flash 存储器中已擦除的地址单元支持 IAP 编程操作。IAP 编程操作通过 IAPPRGS 控制寄存器, 将 ROMD (ROMDH, ROMDL) 中的内容写入 FRA (FRAH, FRAL) 指向的 Flash 地址单元。

对 IAPUL 写入 0xA5 解锁 IAP 后, 可对 IAPPRGS 寄存器写入 0xD5 启动编程。编程结束后需对 IAPC 寄存器的 IAPCLR 置 1 来清编程状态。

数据和地址更新后需重新对 IAPPRGS 写入 0xD5 以启动编程。每次编程结束之后可以对 IAPUL 写入非 0xA5 上锁, 亦可保持解锁状态, 直至所有编程已结束再对 IAP 上锁。

在启动 IAP 编程时, 若 LVD 有效则无法启动编程。在编程操作过程中, 若 LVD 有效, 且当芯片配置字的 LVDIAPTEN 设置为 1 时, 则终止当前的编程操作。为了防止电压低于 LVD 设定门限时, 发生误编程, 在 IAP 编程时, 建议设置寄存器位 LVDFLTEN=0, 禁止 LVD 滤波。

IAP 编程流程如下图所示。

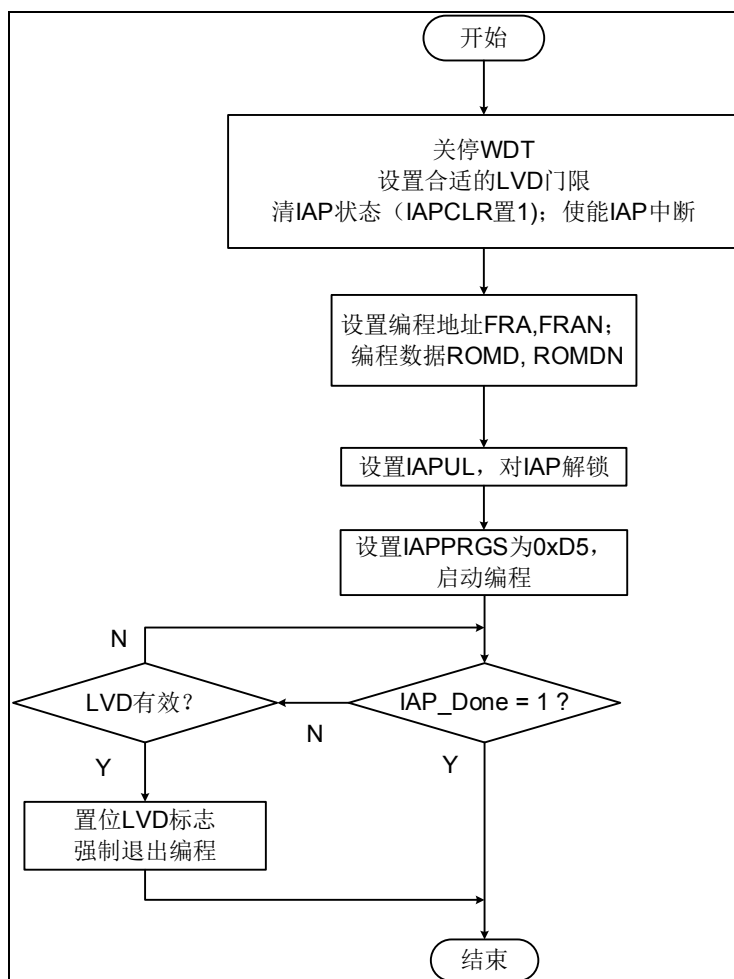


图 3-3 编程流程图

应用例程: Flash IAP 编程

```

MOVI    0xA5          ; 解锁 WDTC 寄存器
MOVA    WDTUL
BCC     WDTC, WDTEN   ; 关 WDT, 使 WDT 停止计数,
                      ; 以免溢出复位 IAP 操作

MOVI    0x01          ; 将 55AAH 写入 Flash 的 0100H 地址单元
MOVA    FRAH
MOVI    0xFE
MOVA    FRAHN
MOVI    0x00
MOVA    FRAL
MOVI    0xFF
  
```

MOVA	FRALN	
MOVI	0x55	
MOVA	ROMDH	
MOVI	0xAA	
MOVA	ROMDL	
BSS	INTE4, IAPIE	; 使能 IAP 中断
BSS	IAPC, 1	; 清 IAP 状态以启动下一个 IAP 操作
MOVI	0xA5	; 解锁 IAP
MOVA	IAPUL	
MOVI	0xD5	
MOVA	IAPPRGS	; 启动 Flash IAP 编程操作
NOP		
; CPU 进入暂停状态, 直到编程完成后 CPU 恢复运行		
; 一次页编程时间约 20us, 具体时间随操作电压和操作温度有所不同		
PRG_WAIT		
JBS	IAPS, 1	; 等待 IAP 编程操作结束
GOTO	PRG_WAIT	
MOVI	0x00	; 锁定 IAP
MOVA	IAPUL	
MOVI	0xA5	; 解锁 WDTIC 寄存器
MOVA	WDTUL	
BSS	WDTIC, WDTEN	; WDT 恢复计数 (如果配置字 WDTEN=1)
BCC	INTE4, IAPIE	; 关 IAP 中断

注 1: 对未进行擦除操作的 Flash 存储器单元进行编程操作, 会导致该 Flash 存储器单元的存储数据被破坏。

注 2: 在向 IAPPRGS 寄存器写入 0xD5 启动 IAP Flash 编程之后, 由于 CPU 会继续执行下一条指令, 该指令不能为 TBR 指令, 以避免 ROMD 数据被 TBR 指令所读取的数据覆盖, 而导致数据写入失败。建议启动编程后, 紧接的下一条指令为 NOP 指令或如上例所示, 为 IAP 状态查询指令。

注 3: 在 IAP 中断服务程序中, 可通过查询 IAPS 状态寄存器来判断是否执行其它子程序:

- 如果 PRGS_ERR 置 1，则：程序调试阶段，查阅代码中的启动代码是否写错，若是则修改错误；否则再次写 IAPPRGS 寄存器，直至成功。
- 如果 IAP_LVDIF 为 1，则停止 IAP 操作，直至该标志为 0。

3.2.3.5 特殊寄存器

IAPUL: IAP 解锁寄存器

Bit	7	6	5	4	3	2	1	0
Name	IAPUL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 IAPUL<7:0>: IAP 解锁寄存器
写入 0xA5 解锁 IAP。IAP 解锁后，才可对 IAPERSS, IAPPRGS 寄存器进行写操作，若解锁成功，读出值为 0x01，否则为 0x00。

注：只需向 IAPUL 写入非 0xA5 值，即可完成上锁。

IAPERSS: 擦除启动控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	IAPERSS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 IAPERSS<7:0>: IAP 擦除启动控制寄存器
写入 0xAE 启动页擦；若页擦启动成功，则读出值为 0x01，否则为 0x00。
IAPERSS 可有两种方式清零：IAP 页擦成功后自动清零；若页擦失败，可将 IAPC 控制寄存器的 IAPCLR 置 1 来清零。
该寄存器不允许写入除 0xAE 外的任何值，否则 IAPS 状态寄存器的 ERSS_ERR 标志位将被置 1，在 IAP 中断使能时将触发中断。

注 1：写入 0xAE 后，可读取 IAPERSS 寄存器，若值为 0x01 则表示成功启动；否则启动失败。

注 2：启动页擦失败的情况：工作电压小于设定的 LVD 阈值电压（配置位 LVDIAPTEN=1），或向 IAPERSS 寄存器写入了非 0xAE 值。页擦启动失败可触发 IAP 中断，可查询 IAPS 状态寄存器来判断中断源：地址错，或因产生了有效的 LVD 信号；若非这两者，则为写入了非 0xAE 值或待擦除页已被分区加密。

IAPPRGS: 编程启动控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	IAPPRGS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 IAPPRGS<7:0>: IAP 编程启动控制寄存器
IAP 支持 Word 编程和 Bit 编程, 当写入 0xD5 时启动 Word 编程, 写入 0xC6 时启动 Bit 编程; 若编程启动成功, 则读出值为 0x01, 否则为 0x00。
IAPPRGS 可有两种方式清零: IAP 编程成功后自动清零; 若编程失败, 可将 IAPC 控制寄存器的 IAPCLR 置 1 来清零。
该寄存器不允许写入除 0xD5、0xC6 外的任何值, 否则 IAPS 状态寄存器的 RGS_ERR 标志位将被置 1, 在 IAP 中断使能时将触发中断。

注 1: 写入 0xD5 或 0xC6 后, 可读取 IAPPRGS 寄存器, 若值为 0x01 则表示成功启动; 否则启动失败。

注 2: 启动编程失败的情况: 工作电压小于设定的 LVD 阈值电压 (配置位 LVDIAPTEN=1); 或 ROMD 和 ROMDN 寄存器的值非反; 写入值非 0xD5 或 0xC6。编程启动失败可触发 IAP 中断, 可查询 IAPS 寄存器标志位判断中断源: 地址错, 数据错或产生了有效的 LVD 信号; 若非这三者, 则为写入了非 0xD5、0xC6 值或待编程地址已被分区加密。

IAPC: IAP 控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	ERSTWT<3:0>				PRGTWT<1:0>		IAPCLR	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—
POR	0	1	1	0	0	0	0	0

Bit 7-4 ERSTWT<3:0>: 擦除终止等待时间 (erase terminated wait time)

ERSTWT<3:0>个 32KHz 时钟周期, 最小 1 个 32K 时钟周期

Bit 3-2 PRGTWT<1:0>: 编程终止等待时间 (program terminated wait time)

00: 31.25us (1 个 32KHz 时钟周期)

01: 62.5us (2 个 32KHz 时钟周期)

10: 93.75us (3 个 32KHz 时钟周期)

11: 125us (4 个 32KHz 时钟周期)

Bit 1 IAPCLR: IAP 状态清除

0: 禁止

1: 清除 IAP 状态 (该位置 1 后自动清零)

Bit 0 保留

IAPS: IAP 状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	FRAH_ERR	FRAL_ERR	–	ERSS_ERR	PRGS_ERR	–	IAP_DONE	IAP_LVDIF
R/W	–	–	–	R/W	R/W	–	R/W	R/W
POR	1	1	0	0	0	0	0	0

- Bit 7 FRAH_ERR: FRA 高位地址出错标志。写入正确的 FRAH 正反值清零
0: 写入的 FRAH 与 FRAHN 值为反码
1: 写入的 FRAH 与 FRAHN 值不为反码
- Bit6 FRAL_ERR: FRA 低位地址出错标志。写入正确的 FRAL 正反值清零
0: 写入的 FRAL 与 FRALN 值为反码
1: 写入的 FRAL 与 FRALN 值不为反码
- Bit5 保留
- Bit4 ERSS_ERR: 页擦启动出错标志。该位需要 IAPCLR 位置 1 来清零或向 IAPERSS 寄存器写入正确的 0xAE 数据启动页擦来清零。
0: 页擦未启动, 或已启动成功
1: 页擦启动失败。因 LVD 中断、FRAH 和 FRAHN 地址非反、以及 IAPERSS 寄存器写入数据非 0xAE 等而启动失败
- Bit3 PRGS_ERR: 编程启动出错标志。该位需要 IAPCLR 位置 1 来清零或向 IAPPRGS 寄存器写入正确的 0xD5 数据启动编程来清零。
0: 编程未启动, 或已启动成功
1: 编程启动失败。因 LVD 中断、FRA 和 FRAN 地址非反、ROMD 和 ROMDH 数据非反, 以及 IAPPRGS 寄存器写入数据非 0xD5 等而启动失败
- Bit 2 保留
- Bit 1 IAP_DONE: IAP 编程/擦除状态位。该位需要 IAPCLR 位置 1 来清零。
0: 编程/擦除操作未完成
1: 编程/擦除操作已完成
- Bit 0 IAP_LVDIF: IAP 因电压低于 LVD 阈值设定而终止标志位。该位在工作电压大于 LVD 阈值电压后自动清零。
0: IAP 操作正常执行
1: IAP 操作因电压低于 LVD 阈值电压而终止

注 1: 可通过查询 IAPS 的其它标志位来判断 IAP 操作失败的原因。

注 2: FRAH_ERR, FRAL_ERR, ROMD_ERR 等标志位上电后因 FRA 与 ROMD 的正反寄存器不满足正反关系, 初值为 1, 需通过写入正确的 FRA 和 ROMD 正反值清零。

3.3 在线编程ISP和在线调试ICD

Flash 存储器具有可重复烧写的功能，便于客户代码和数据的更新升级。为了实现开发人员在开发过程中能够更轻松地进行代码的调试、更新、升级，本芯片还支持在线编程 ISP 和在线调试 ICD，用户只需在电路系统板上引出五根连接编程和调试接口线，即可实现程序的重新烧录和调试，更加方便高效。

MRSTN 配置为 GPIO 使用时，用户只需在电路系统板上引出四根连接编程和调试接口线，但芯片必须有上电的过程，才能进入 ISP 模式。

芯片管脚	编程器管脚	管脚说明
ISPSDA	ISPSDA	编程/调试串行数据端口
ISPSCK	ISPSCK	编程/调试串行时钟端口
VSS	VSS	地
VDD	VDD	电源
MRSTN	MRSTN	复位脚

表 3-1 在线编程/调试管脚说明

3.3.1 特殊功能寄存器

FRAL: 程序存储器查表地址寄存器<7:0>								
Bit	7	6	5	4	3	2	1	0
Name	FRAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 FRAL<7:0>: 程序存储器查表地址低 8 位

FRALN: 查表地址寄存器低 8 位反								
Bit	7	6	5	4	3	2	1	0
Name	FRALN<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 FRALN<7:0>: 查表地址低 8 位的反

FRAH: 程序存储器查表地址寄存器<15:8>								
Bit	7	6	5	4	3	2	1	0
Name	FRAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 FRAH<7:0>: 程序存储器查表地址高 8 位

FRAHN: 查表地址寄存器高 8 位反								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	FRAHN<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 FRAHN<7:0>: 查表地址高 8 位的反

ROMDL: 程序存储器查表数据寄存器<7:0>								
Bit	7	6	5	4	3	2	1	0
Name	ROMDL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7-0 ROMDL<7:0>: 程序存储器查表数据低 8 位

ROMDH: 程序存储器查表数据寄存器<15:8>								
Bit	7	6	5	4	3	2	1	0
Name	ROMDH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7-0 ROMDH<7:0>: 程序存储器查表数据高 8 位

3.4 数据存储器

3.4.1 概述

数据存储器由 2 部分组成，通用存储器 GPR 和特殊功能寄存器 SFR。

GPR 只有 1 个存储体组，地址范围 $00_H \sim 7F_H$ ，(SECTION 指令在本芯片中操作是无效的)。

SFR 支持 128 个特殊寄存器，地址范围 $FF80_H \sim FFFF_H$ 。

数据存储器支持 3 种寻址方式：直接寻址、间接寻址和 GPR 特殊寻址。

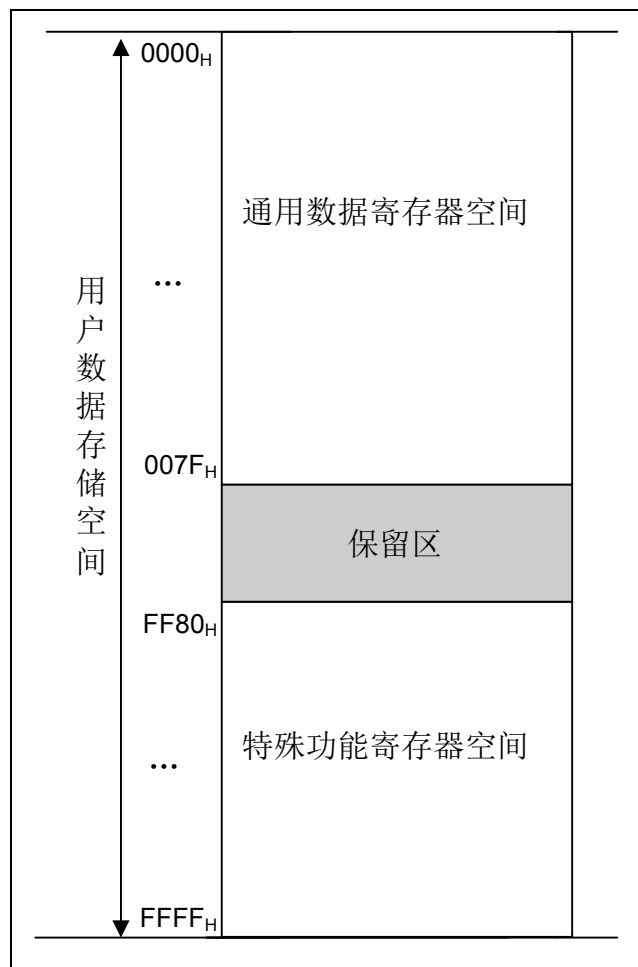


图 3-4 数据区地址映射示意图

3.4.2 寻址方式

3.4.2.1 直接寻址

在直接寻址时，指令中的 8 位地址信息用于 GPR 和 SFR 中寻址。

示意图如下：

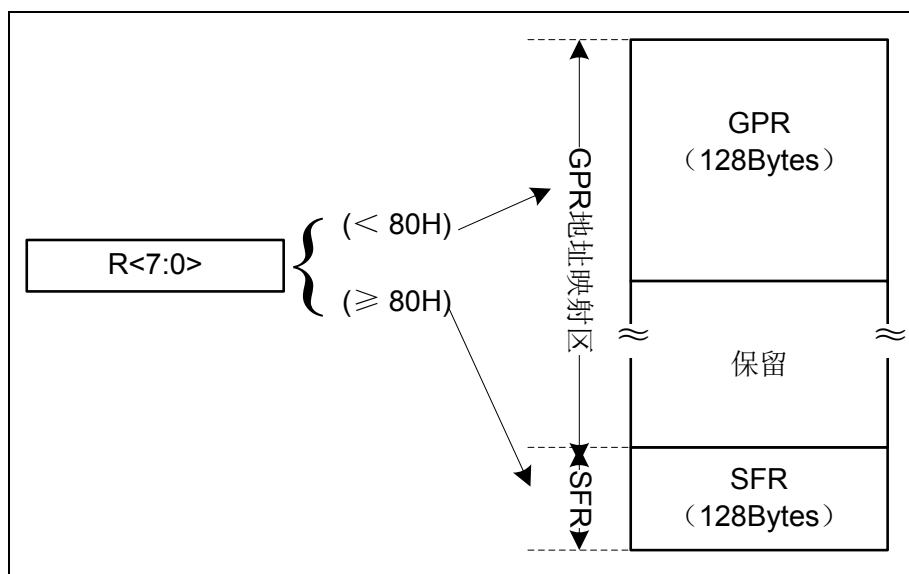


图 3-5 直接寻址示意图

3.4.2.2 GPR特殊寻址

指令 MOVAR 和 MOVRA 用于对 GPR 进行特殊寻址读/写操作，指令中支持 8 位地址信息 ($R<7:0>$)，可寻址 128 字节地址空间。MOVAR 和 MOVRA 指令无法访问 SFR。

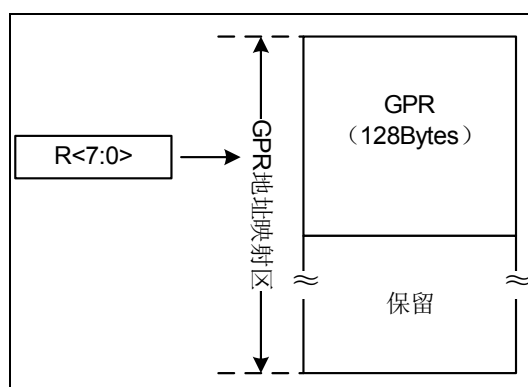


图 3-6 GPR 特殊寻址示意图

3.4.2.3 间接寻址

8 位 IAAH 和 8 位 IAAL 组成 16 位间接寻址索引寄存器，寻址空间 0000_H ~ FFFF_H。通过对间接寻址数据寄存器 IAD 的读写操作，完成间接寻址操作。

由于 IAD 这个寄存器自身也有物理地址 FF80_H。因此，这个寄存器也是可以被间接寻址的。只是，当用间接寻址的方式，读 IAD 这个寄存器的时候，读出的值始终为 00_H，而写入则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对间接寻址索引寄存器 IAAH/IAAL 进行偏移计算。该指令支持 8 位有符号立即数，即偏移范围-128~127。虽然只有 8 位立即数，但是该条指令对整个 IAA(IAAL 和 IAAH) 进行 16 位计算。计算的结果依然存放于 IAAL 和 IAAH 中。

示意图如下：

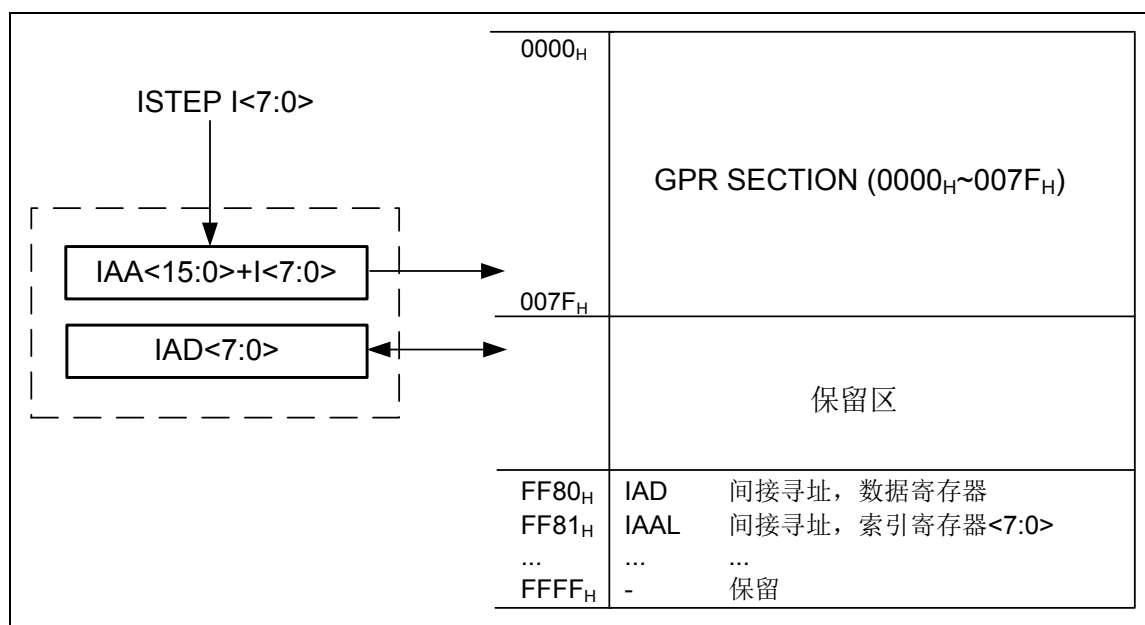


图 3-7 间接寻址示意图

3.4.3 特殊功能寄存器空间

具体特殊功能寄存器地址映射，请参考下面表格：

特殊功能寄存器空间：

地址	寄存器名称	功能说明	备注
FF80 _H	IAD	间接寻址数据寄存器	内核控制区
FF81 _H	IAAL	间接寻址，索引寄存器低<7:0>	
FF82 _H	IAAH	间接寻址，索引寄存器高<15:8>	
FF83 _H	-	保留未使用	
FF84 _H	PSW	程序状态字寄存器	
FF85 _H	AREG	A 寄存器	
FF86 _H	PCRL	程序计数器<7:0>	
FF87 _H	PCRH	程序计数器<15:8>	
FF88 _H	-	保留未使用	
FF89 _H	-	保留未使用	
FF8A _H	-	保留未使用	
FF8B _H	FRAL	查表地址寄存器低 8 位	
FF8C _H	FRALN	查表地址寄存器低 8 位取反	
FF8D _H	FRAH	查表地址寄存器高 8 位	
FF8E _H	FRAHN	查表地址寄存器高 8 位取反	
FF8F _H	ROMDL	程序存储器查表数据寄存器低 8 位	
FF90 _H	ROMDH	程序存储器查表数据寄存器高 8 位	
FF91 _H	INTG	中断全局寄存器	中断控制区
FF92 _H	-	保留未使用	
FF93 _H	INTC0	中断控制寄存器 0	
FF94 _H	INTE0	中断使能寄存器 0	
FF95 _H	INTF0	中断标志寄存器 0	
FF96 _H	INTC1	中断控制寄存器 1	
FF97 _H	INTE1	中断使能寄存器 1	
FF98 _H	INTF1	中断标志寄存器 1	
FF99 _H - FF9C _H	-	保留未使用	模式控制区
FF9D _H	PWRC	电源状态控制寄存器	
FF9E _H	-	保留未使用	I/O 控制区
FF9F _H	PA	PA 端口电平状态寄存器	
FFA0 _H	PB	PB 端口电平状态寄存器	
FFA1 _H	PAT	PA 端口输入输出控制寄存器	
FFA2 _H	PBT	PB 端口输入输出控制寄存器	
FFA3 _H	N_PAU	PA 弱上拉控制寄存器	
FFA4 _H	N_PBU	PB 弱上拉控制寄存器	
FFA5 _H	-	保留未使用	
FFA6 _H	-	保留未使用	

地址	寄存器名称	功能说明	备注
FFA7 _H	-	保留未使用	
FFA8 _H	-	保留未使用	
FFA9 _H	-	保留未使用	
FFAA _H	-	保留未使用	
FFAB _H	-	保留未使用	
FFAC _H	-	保留未使用	
FFAD _H	ANS0	IO 端口数模选择寄存器 0	
FFAE _H	ANS1	IO 端口数模选择寄存器 1	
FFAF _H	N_PAD	PA 弱下拉控制寄存器	
FFB0 _H	N_PBD	PB 弱下拉控制寄存器	
FFB1 _H	PINTS	外部中断端口选择寄存器	
FFB2 _H	-	保留未使用	外设控制区
FFB3 _H	-	保留未使用	
FFB4 _H	T8P1	T8P1 计数器	
FFB5 _H	T8P1C	T8P1 控制寄存器	
FFB6 _H	T8P1P	T8P1 周期寄存器	
FFB7 _H	T8P1RL	T8P1 精度寄存器	
FFB8 _H	T8P1RH	T8P1 精度缓冲寄存器	
FFB9 _H	T8P1OC	T8P1 输出控制寄存器	
FFBA _H	EPWM1C	EPWM 配置寄存器 1	
FFBB _H	PDD1C	死区延时控制寄存器 1	
FFBC _H	TE1AS	自动关断控制寄存器 1	
FFBD _H	T8P2	T8P2 计数器	
FFBE _H	T8P2C	T8P2 控制寄存器	
FFBF _H	T8P2P	T8P2 周期寄存器	
FFC0 _H	T8P2RL	T8P2 精度寄存器	
FFC1 _H	T8P2RH	T8P2 精度缓冲寄存器	
FFC2 _H	T8P2OC	T8P2 输出控制寄存器	
FFC3 _H	EPWM2C	EPWM 配置寄存器 2	
FFC4 _H	PDD2C	死区延时控制寄存器 2	
FFC5 _H	TE2AS	自动关断控制寄存器 2	
FFC6 _H	-	保留未使用	
FFC7 _H	-	保留未使用	
FFC8 _H	-	保留未使用	
FFC9 _H	-	保留未使用	
FFCA _H	-	保留未使用	
FFCB _H	-	保留未使用	
FFCC _H	-	保留未使用	
FFCD _H	-	保留未使用	
FFCE _H	-	保留未使用	
FFCF _H	ADCRL	ADC 转换结果输出寄存器<7:0>	
FFD0 _H	ADCRH	ADC 转换结果输出寄存器<15:8>	

地址	寄存器名称	功能说明	备注
FFD1 _H	ADCTL0	ADC 控制寄存器 0	
FFD2 _H	ADCTL1	ADC 控制寄存器 1	
FFD3 _H	ADCTL2	ADC 控制寄存器 2	
FFD4 _H - FFDA _H	-	保留未使用	
FFDB _H	-	保留未使用	
FFDC _H	-	保留未使用	
FFDD _H - FFDF _H	-	保留未使用	
FFE0 _H	WDTC	WDT 控制寄存器	
FFE1 _H	WDTUL	WDT 解锁控制寄存器	
FFE2 _H	OSCC1	时钟控制寄存器 1	
FFE3 _H	OSCC2	时钟控制寄存器 2	
FFE4 _H	OSCWP	时钟控制写保护寄存器	
FFE5 _H	CLKG	模块时钟关停寄存器	
FFE6 _H	PWRCWP	电源控制写保护寄存器	
FFE7 _H	LVDC	LVD 控制寄存器	
FFE8 _H	-	保留未使用	
FFE9 _H	IAPUL	IAP 解锁寄存器	IAP 控制寄存器
FFEA _H	IAPC	IAP 控制寄存器	
FFEB _H	IAPERSS	擦除启动控制寄存器	
FFEC _H	IAPPRGS	编程启动控制寄存器	
FFED _H	IAPS	IAP 状态寄存器	
FFEE _H	-	保留未使用	保留区
FFEF _H	-	保留未使用	
FFF0 _H	-	保留未使用	
FFF1 _H	-	保留未使用	
FFF2 _H	-	保留未使用	
FFF3 _H	-	保留未使用	
FFF4 _H - FFFB _H	-	保留未使用	
FFFC _H	-	保留未使用	
FFFD _H	-	保留未使用	
FFFE _H	USRCFG0	用户识别代码	用户专用寄存器区
FFFF _H	USRCFG1	用户识别代码	

3.4.4 特殊功能寄存器

IAD: 间接寻址数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 IAD<7:0>: 间接寻址数据

IAAL: 间接寻址索引寄存器<7:0>								
Bit	7	6	5	4	3	2	1	0
Name	IAAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 IAAL<7:0>: 间接寻址索引低 8 位

IAAH: 间接寻址索引寄存器<15:8>								
Bit	7	6	5	4	3	2	1	0
Name	IAAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 IAAH<7:0>: 间接寻址索引高 8 位

第4章 输入/输出端口

4.1 概述

本芯片最多支持 13 个 I/O 端口和 1 个输入端口。

其中一个端口 PA3 与外部复位 MRSTN 复用，当配置为外部复位时，固定选为输入，不受相应的特殊功能寄存器 PAT[3]控制。

其他所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。每个端口都有相应的特殊功能寄存器 PxT，来进行输入/输出控制。若 PxT 置 1，则 I/O 端口为输入状态，若 PxT 置 0，则 I/O 端口为输出状态。

PA 端口电平变化可以产生中断，在端口电平变化中断使能的情况下，输入端口 PA 与锁存器上的最后输入值进行比较，如果不匹配引起中断，中断标志位置 1，此中断能将芯片从睡眠状态唤醒。

用户可在中断服务程序中用软件清除该中断标志，操作过程如下：

- 1) 对 PA 端口进行读或者写操作，结束端口电平与锁存器值的不匹配条件；
- 2) 软件清除中断标志位。

在按键中断使能（KMSKx=1，KIE=1）前，先对 PA 端口进行读或者写的操作，清除中断标志位，以免误产生中断。

当 I/O 管脚处于输出状态时，其电平由 Px 寄存器决定。1 为高电平，0 为低电平。

当 I/O 管脚处于输入状态时，其电平状态可由 Px 寄存器读取。

支持管脚复用。详细介绍和设置可参考《管脚复用说明》章节。

4.2 I/O结构框图

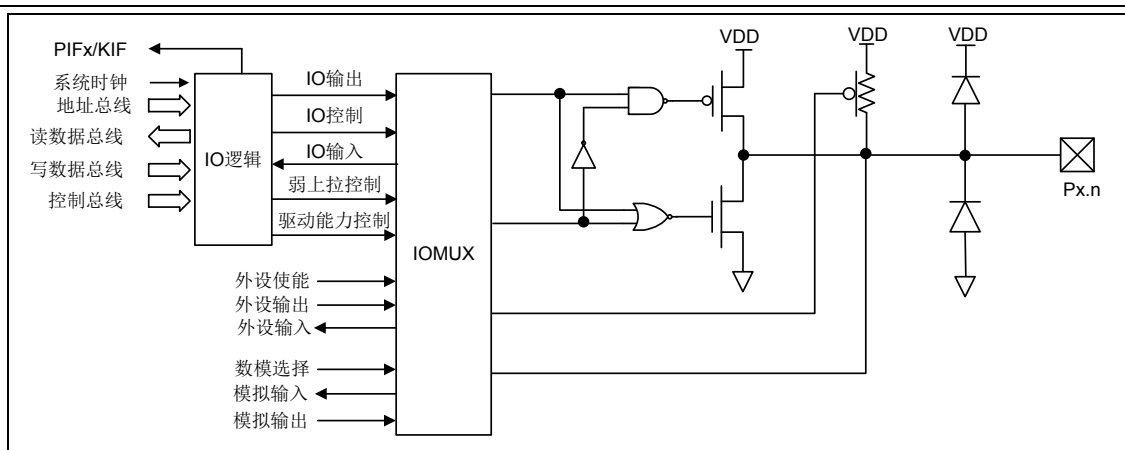


图 4-1 I/O 端口结构图

4.3 I/O端口弱上拉

PA、PB 端口可软件独立配置弱上拉，只有 PA3 端口默认弱上拉使能。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	-	-

表 4-1 I/O 端口弱上拉

4.4 I/O端口弱下拉

PA 和 PB 端口可软件独立配置弱下拉，只有 PA3 端口默认弱下拉禁能。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	-	-

表 4-2 I/O 端口弱下拉

4.5 外部按键中断（KINT）

外部端口支持 1 组外部按键中断。按键中断支持最多 8 个按键输入端 KIN<7:0>，每个输入端可以由相应的 INTC0<7:0>屏蔽。任何其中一个按键中断产生将影响中断标志 KIF。

管脚名	端口输入	按键屏蔽	中断名	中断使能	中断标志
PA0	KIN0	KMSK0	KINT	KIE	KIF
PA1	KIN1	KMSK1			
PA2	KIN2	KMSK2			
PA3	KIN3	KMSK3			
PA4	KIN4	KMSK4			
PA5	KIN5	KMSK5			
PA6	KIN6	KMSK6			
PA7	KIN7	KMSK7			

表 4-3 外部按键中断

4.6 外部端口中断（PINT）

PA 口支持两个外部端口中断。外部端口中断由相应的 PIE_x 使能，通过 PEG_x 选择上升沿触发还是下降沿触发。中断产生将影响相应的中断标志 PIF。

管脚名	中断名	中断使能	端口输入	边沿选择	中断标志
PA0	PINT0	PIE0	PINT0	PEG0	PIF0
PA1	PINT1	PIE1	PINT1	PEG1	PIF1
PA6	PINT2	PIE2	PINT2	PEG2	PIF2
PA7	PINT3	PIE3	PINT3	PEG3	PIF3

表 4-4 外部端口中断

4.7 特殊功能寄存器

PA: PA 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7-0 PA<7:0>: PA 口电平状态

0: 低电平

1: 高电平

PB: PB 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PB<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	x	x	x	x	x	x

Bit 7-6 保留

Bit 5-0 PB<5:0>: PB 口电平状态

0: 低电平

1: 高电平

PAT: PA 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7-0 PAT<7:0>: PA 口输入输出状态（PA3 端口只能用作输入）

0: 输出状态

1: 输入状态

PBT: PB 端口输入输出控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	PB<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	1	1	1	1

Bit 7-6 保留

Bit 5-0 PB<5:0>: PB 口输入输出状态

0: 输出状态

1: 输入状态

N_PAU: PA 弱上拉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	N_PAU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	0	1	1	1

Bit 7-0 N_PAU<7:0>: PA 口内部弱上拉控制位

0: 弱上拉使能

1: 弱上拉不使能

N_PBU: PB 弱上拉控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	N_PBU<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	1	1	1	1

Bit 7-6 保留

Bit 5-0 N_PBU<5:0>: PB 口内部弱上拉控制

0: 弱上拉使能

1: 弱上拉不使能

ANS0: PA 端口数模选择寄存器

Bit	7	6	5	4	3	2	1	0
Name	ANS0<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	0	1	0	0

Bit 7-0 ANS0<7:0>: PA 端口数模选择位

1: 模拟端口

0: 数字端口

ANS1: PB 端口数模选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	ANS1<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	1	1	1

Bit 7-6 保留

Bit 5-0 ANS1<5:0>: PB 端口数模选择位

1: 模拟端口

0: 数字端口

N_PAD: PA 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	N_PAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7-0 N_PAD<7:0>: PA7~0 端口内部弱下拉控制位

0: 使能

1: 禁能

N_PBD: PB 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	N_PBD<5:0>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	1	1	1	1

Bit 7-6 保留

Bit 5-0 N_PBD<5:0>: PB 端口内部弱下拉控制位

0: 使能

1: 禁能

第5章 特殊功能及操作特性

5.1 系统时钟和振荡器

5.1.1 概述

芯片运行所需要的时钟源由振荡器提供，不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。本款芯片所提供的振荡器有 2 种：内部高速 RC 振荡器（16MHz）和内部低速 RC 振荡器（32KHz）。灵活选择振荡器，使得产品在速度和功耗方面可以达到最优化。振荡器除了作为系统时钟源外，还可以作为看门狗定时器、ADC 电路等提供所需要的时钟源。

◇ HRC

- 内部 16MHz RC 振荡器
- 常温下，精度在±1%以内

◇ LRC

- 内部 32KHz RC 振荡器
- 常温下，精度在±2%以内

5.1.2 结构框图

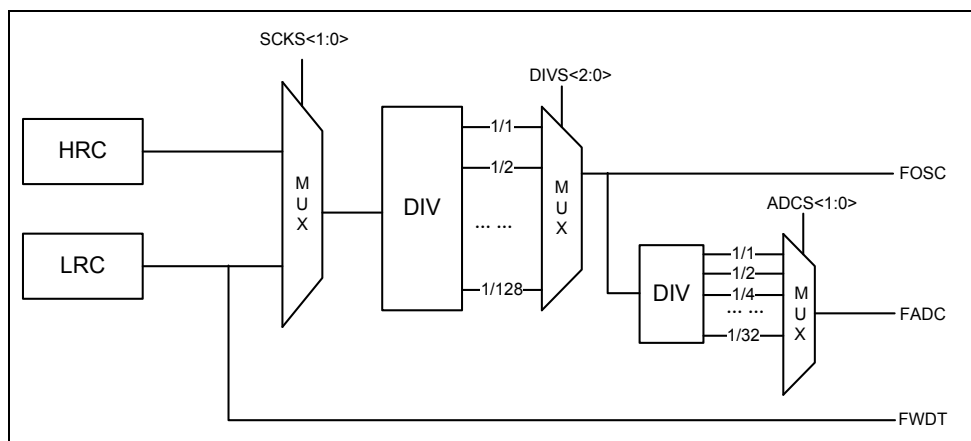


图 5-1 系统时钟内部结构图

5.1.3 时钟源

5.1.3.1 内部高速 16MHz RC 振荡器 HRC

芯片内置 16MHz/2MHz RC 时钟振荡器，不需要外接其它外部器件。出厂前，内置 16MHz RC 时钟振荡器已在常温下校准。

5.1.3.2 内部低速 32KHz RC 振荡器 LRC

芯片内置 32KHz RC 时钟振荡器（固定使能），不需要外接其它外部器件，可用作 WDT 计数时钟源，也可配置为主系统时钟源。出厂前，内置 32KHz RC 时钟振荡器已在常温下校准。

5.1.4 系统时钟源切换

高频时钟能提供系统更高的性能，低频时钟能够提供更低的功耗。因此，根据用户需要，灵活地安排高低频时钟切换，可以使系统在执行速度和功耗方面最优化。

芯片上电复位后，内部 2MHz RC 振荡器（HRC）默认作为系统时钟源，以此保证芯片上电运行的低功耗特性，可通过 OSSC2 寄存器中的 HFS 位切换 HRC 时钟频率至 16MHz。另外，通过配置 OSSC1 寄存器中的 SCKS 位可切换 HRC/LRC 作为系统时钟源。当芯片从睡眠模式唤醒时，默认系统时钟可由芯片配置字来确定使用 HRC 时钟或 LRC 时钟。

系统支持 2 种时钟之间相互切换，共 2 种情况：

- ◇ 内部高速 HRC 时钟切换到内部低速 LRC 时钟
 - 检测 OSCC2 寄存器中的 LRCON 位，直到检测到 LRCON=1；
 - 设置 OSCC1 寄存器中的 SCKS<0>=1；
 - 检测 OSCC1 寄存器的 CHG 位，直到检测到 CHG=0；
 - 用户可选择关闭 HRC 时钟，即设置 OSCC2 寄存器中的 HRCEN=0。
- ◇ 内部低速 LRC 时钟切换到内部高速 HRC 时钟
 - 设置 OSCC2 寄存器中的 HRCEN=1；
 - 检测 OSCC2 寄存器中的 HRCON 位，直到检测到 HRCON = 1；
 - 设置 OSCC1 寄存器中的 SCKS<0>=0；
 - 检测 OSCC1 寄存器的 CHG 位，直到检测到 CHG=0；

5.1.4.1 系统上电时序

当 MRSTN/PA3 配置为 MRSTN 时，当 PWRTEB=0 时，上电固定延迟存在，当 PWRTEB=1 时，上电固定延迟不存在，PWRTEB=0 时上电时序如下图所示。其它复位的上电时序参见 5.3 复位模块一节。

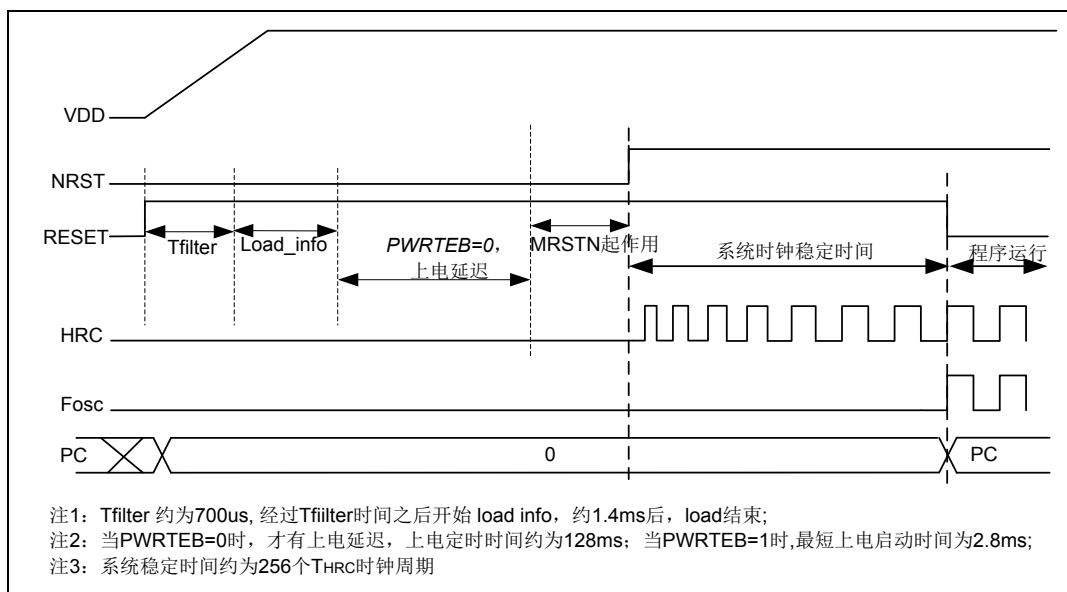


图 5-2 系统上电时序图 1（MRSTN/PA3 配置为 MRSTN 且外部复位在最后释放）

当 MRSTN/PA3 配置为 GPIO 时，上电固定延迟总是存在，如下图所示。其它复位的上电时序参见 5.3 复位模块一节。

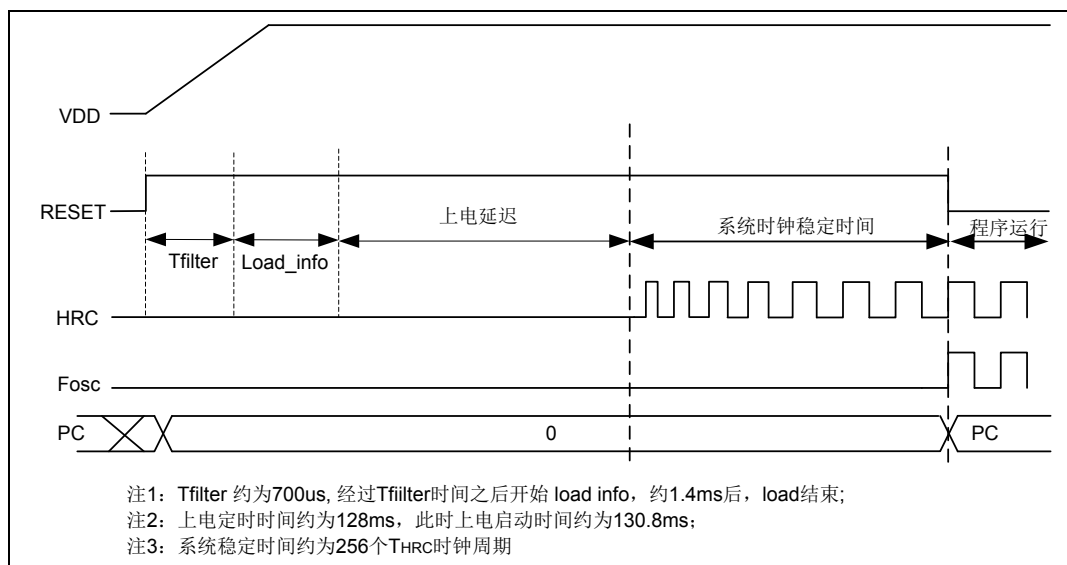


图 5-3 系统上电时序图 2 (MRSTN/PA3 配置为 GPIO)

5.1.5 系统时钟分频

系统时钟支持 1 个最大分频比为 1:256 的后分频器, 可通过 OSSC1 寄存器中的 DIVS<2:0> 位进行选择分频比。后分频器本身不可读写, 配置系统时钟切换选择位 SCKS 后, 后分频器计数自动清零, 但不影响分频比设置。

改变系统时钟的分频比也同样视为系统时钟源的切换。

5.1.6 时钟切换等待

改变系统时钟的时钟源和改变系统时钟分频比都被视为系统时钟切换操作。为确保时钟切换时的系统稳定, 在执行时钟切换操作时系统时钟会暂停运行, 直到时钟切换结束再恢复运行。切换等待时间的长短视切换中的 2 个时钟源的频率而定。

5.1.7 特殊功能寄存器

OSCWP: 时钟控制写保护寄存器

Bit	7	6	5	4	3	2	1	0
Name	OSCWP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 为保证系统的稳定运行 OSCC2 和 OSCC1 寄存器默认处于写保护状态。解锁需对 OSCWP 寄存器写入 55H，写入其它值将恢复写保护状态。

OSCC1: 时钟控制寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	CHG	DIVS<2:0>			—	SST	—	SCKS
R/W	R	R/W	R/W	R/W	—	R	—	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 CHG: 系统时钟切换标志位

0: 切换完成

1: 切换进行中

Bit 6~4 DIVS<2:0>: 系统时钟后分频比选择位

000 = 1:1

001 = 1:2

010 = 1:4

011 = 1:8

100 = 1:16

101 = 1:32

110 = 1:64

111 = 1:128

Bit 3 保留

Bit 2 SST: 系统时钟源标志位

0: HRC 时钟源

1: LRC 时钟源

Bit 1 保留

Bit 0 SCKS: 系统时钟源选择位

0: HRC 时钟源

1: LRC 时钟源

OSCC2: 时钟控制寄存器 2

Bit	7	6	5	4	3	2	1	0
Name	CLKOEN	—	HRCON	LRCON	CLKFLT_RDY	CLKFLT_EN	HRCEN	HFS
R/W	R/W	—	R	R	R	R/W	R/W	R/W
POR	0	0	1	0	1	1	0	0

- Bit 7 **CLKOEN:** 系统时钟 128 分频输出使能及 LRC 输出使能
0: 关闭
1: 使能, 输出到 CLK0 (PA4 端口), LRC 输出到 PA7 端口
- Bit 6 保留
- Bit 5 **HRCON:** HRC 时钟状态位
0: 关闭状态
1: 开启状态
- Bit 4 **LRCON:** LRC 时钟状态位
0: 关闭状态
1: 开启状态
- Bit 3 **CLKFLT_RDY:** 时钟滤波器切换允许信号
0: 禁止时钟滤波器切换
1: 允许时钟滤波器切换
- Bit 2 **CLKFLT_EN:** 时钟滤波器使能
0: 禁止时钟滤波器, 可以节省功耗
1: 使能时钟滤波器, 增强抗干扰能力 (缺省值)
- Bit 1 **HRCEN:** HRC 时钟使能位
0: 关闭 (无其它硬件强制使能时)
1: 使能
- Bit 0 **HFS:** HRC 频率选择位
0: HRC 输出 2MHz 时钟 (默认)
1: HRC 输出 16MHz 时钟

5.2 看门狗定时器

5.2.1 概述

看门狗定时器是芯片的一个组成部分，它的功能在于在发生软件故障时，通过器件复位将芯片复位。若系统进入了错误的工作状态，看门狗可以在合理的时间范围内使芯片复位。使能看门狗时，若用户程序清除看门狗定时器失败，则在预定的时间范围内，看门狗会使系统复位。

WDT 定时器特性：

- ◇ 8 位 WDT 定时计数器（无实际物理地址，不可读写）
- ◇ 定时器时钟源为 LRC 时钟
- ◇ 8 位预分频器（无实际物理地址，不可读写）
- ◇ WDTUL 解锁寄存器
- ◇ WDT 控制寄存器（WDTC）
- ◇ 唤醒功能
- ◇ 复位功能

5.2.2 WDT操作

芯片提供 8 位 WDT 定时计数器，通过芯片配置字 WDTEN 可使能硬件看门狗 WDT。

当芯片配置字 WDTEN 使能时，WDTC 寄存器的 SWDTEN 控制位不起作用。

当芯片配置字 WDTEN 关闭时，WDT 定时器计数禁止。用户也可通过配置 WDTC 寄存器的 SWDTEN 位来使能或禁止 WDT 计数，设置该位之前必须先对 WDT 进行解锁，即向 WDTUL 寄存器写入 0xA5。每一次对 WDTC 的写操作都必须重新解锁。

在 IDLE 模式下，WDT 计数溢出会唤醒 CPU；在正常运行模式下，WDT 计数溢出会复位芯片。为了避免不必要的复位，可使用 CWDTC 指令适时清零 WDT 计数器。

WDT 支持一个预分频器，可通过 WDTC 寄存器中的 WDTPRS<2:0>位设置 WDT 时钟源的预分频比，再将分频后的时钟信号作为 WDT 定时器的计数时钟。WDT 时钟源来自内部 32KHz RC 振荡器 LRC 时钟。在预分频器分频比为 1:1 时，常温下（25℃）WDT 计数溢出时间约为 8ms。其它工作条件下，WDT 的计数溢出时间，可参考《附录 参数特性图》章节的相关图示。

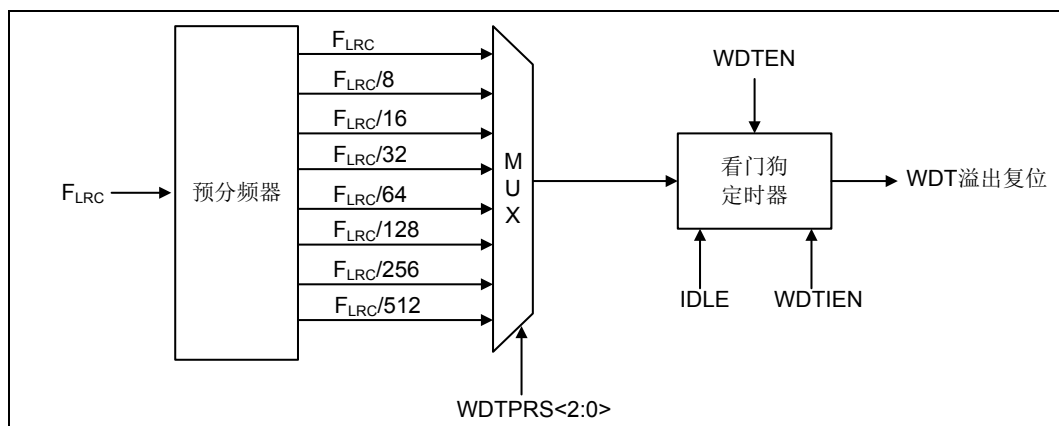


图 5-4 看门狗定时器内部结构图

5.2.3 特殊功能寄存器

WDT 的功能控制由 WDTIC 寄存器和芯片配置字共同完成。WDT 功能的使能控制由芯片配置字的 WDTEN 位和 WDTIC 控制寄存器的 SWDTEN 位控制。当 WDTEN 为 0 时，可以通过置位 SWDTEN 位来使能 WDT；当 WDTEN 为 1 时，SWDTEN 位无效。WDT 在 IDLE 模式下的使能控制，以及 WDT 预分频器的分频比选择，由 WDTIC 寄存器设置。

每次对 WDTIC 寄存器进行写操作前都必须对 WDT 解锁，即向 WDTUL 寄存器写入 0xA5。

WDTUL: WDT 解锁控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WDTUL<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

Bit 7~0 WDTUL<7:0>: WDT 解锁寄存器
写入 0xA5 解锁 WDTIC 寄存器的写操作。WDTUL 寄存器读出值总为 0x00

WDTIC: WDT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	SWDTEN	WDTIEN	WDTPRS<2:0>		
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	1	1	1	1	1

Bit 7~5 保留

Bit 4 SWDTEN: WDT 软件使能位（仅当配置字 WDTEN=0 时有效）
0: 关闭
1: 使能（缺省值）

Bit 3 WDTIEN: WDT 在 IDLE 模式下使能位（仅当配置字 WDTEN=1 或 SWDTEN=1 时有效）
0: 关闭
1: 使能（缺省值）

Bit 2~0 WDTPRS <2:0>: WDT 预分频器分频比选择位
000: 1:1
001: 1:8
010: 1:16
011: 1:32
100: 1:64
101: 1:128
110: 1:256
111: 1:512（缺省值）

5.3 复位模块

5.3.1 概述

- ◇ 复位功能是所有芯片中基本的部分，该芯片支持五种复位方式：
- ◇ 上电复位 POR
- ◇ 掉电复位 BOR，复位电压点可配置
- ◇ 外部复位 MRSTN，低电平复位有效
- ◇ 看门狗定时器 WDT 计数溢出复位
- ◇ RST 指令复位

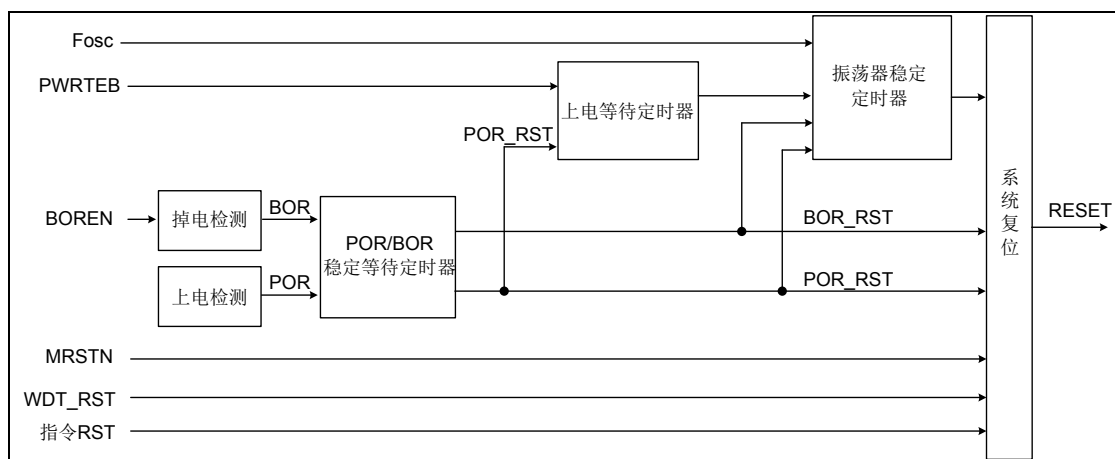


图 5-5 系统复位内部结构图

5.3.2 上电复位POR

芯片上电过程中会产生 POR 复位，并且该复位信号将会一直保持到电源电压升高到芯片能够正常工作的电压为止。系统上电过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。上电复位的时序如下。

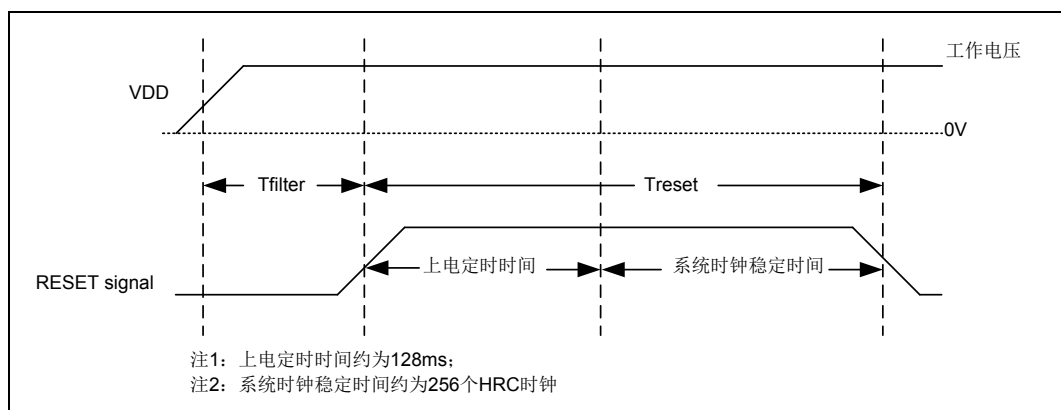


图 5-6 上电复位时序示意图

注：128ms 上电定时时间可以通过芯片配置字中的 PWRTEB 位屏蔽，但如果配置位 MRSTNEN=0，MRSTN/PA3 管脚复用为 GPIO 端口，则该 128ms 上电定时时间无法被屏蔽。

5.3.3 掉电复位BOR

掉电复位针对外部因素引起的系统电压跌落情形（例如：更换电池），掉电复位可能会引起系统工作状态不正常或程序执行错误。

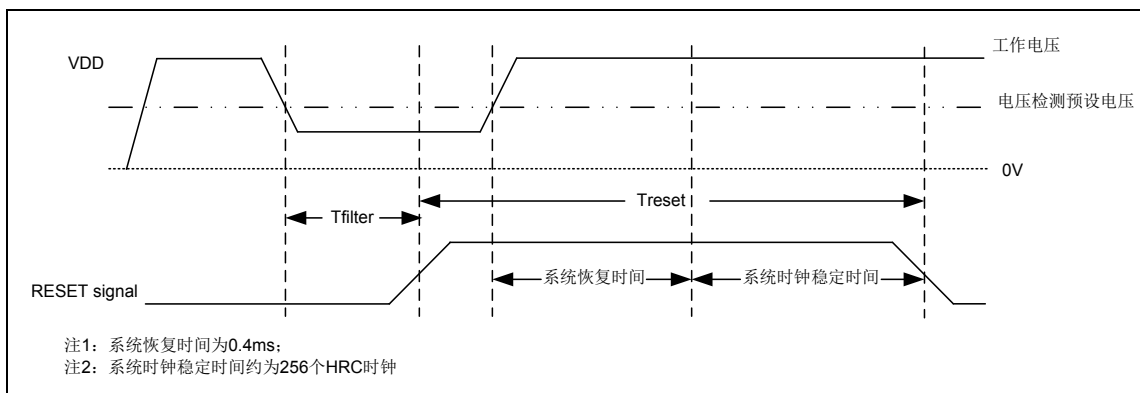


图 5-7 低电压复位时序示意图

5.3.4 外部MRSTN管脚复位

芯片提供外部 MRSTN 管脚，用于系统复位。当复位管脚输入低电平信号时，系统复位。当复位管脚处于高电平时，系统正常运行。需要注意的是，在系统上电完成后，外部复位管脚必须输入高电平，否则系统将一直保持在复位状态。需要特别注意的是，禁止将 MRSTN 管脚直接连接到 VDD 上。

可通过芯片配置字 CFG_WORD0 将 MRSTN 管脚配置为 GPIO 或 MRSTN。

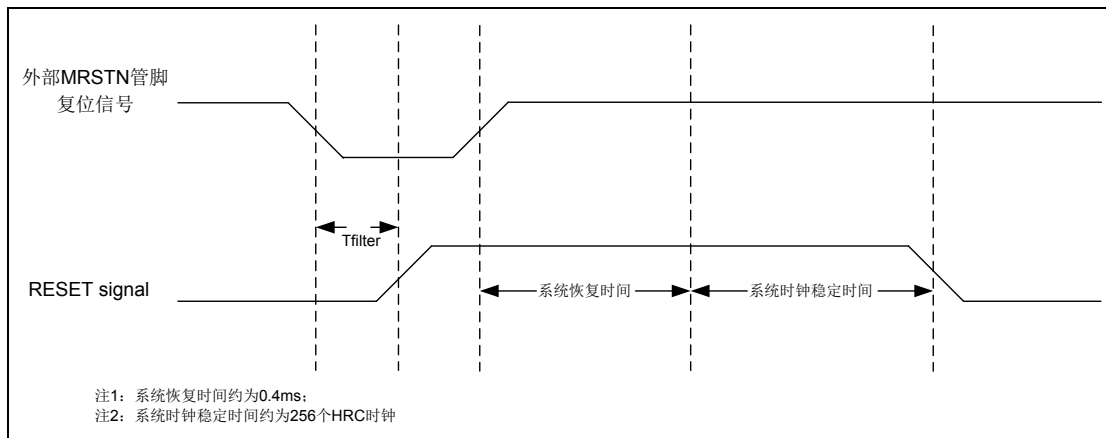


图 5-8 外部 MRSTN 管脚复位

外部 MRSTN 管脚复位电路有多种，以下介绍两种比较典型的连接电路。

5.3.4.1 RC复位电路

RC 复位电路是外部 MRSTN 管脚复位电路最简单的一种，对外界环境条件要求不高的情况下，可以采用此种连接方式。

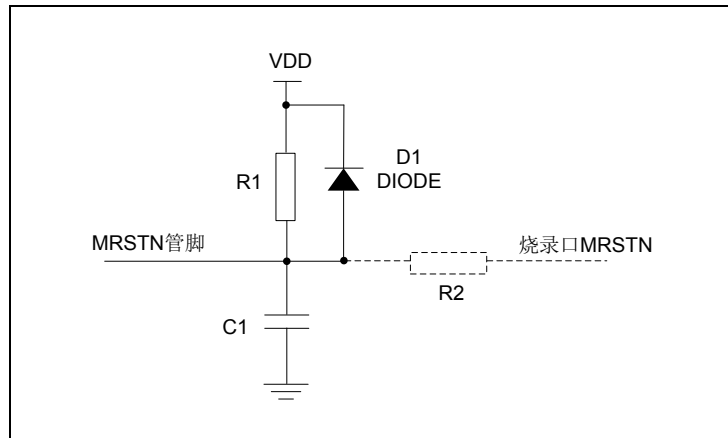


图 5-9 MRSTN 复位参考电路图 1

注：采样 RC 复位，其中 $47\text{K}\Omega \leq R1 \leq 100\text{K}\Omega$ ，电容 C1 ($0.1\mu\text{F}$)，在有外部烧录口的应用系统中，需要串接 R2 作为限流电阻，阻值为 $0.1\text{K}\Omega \leq R2 \leq 1\text{K}\Omega$

5.3.4.2 PNP三极管复位电路

PNP 三极管复位电路适用于对电源干扰较强的场合。

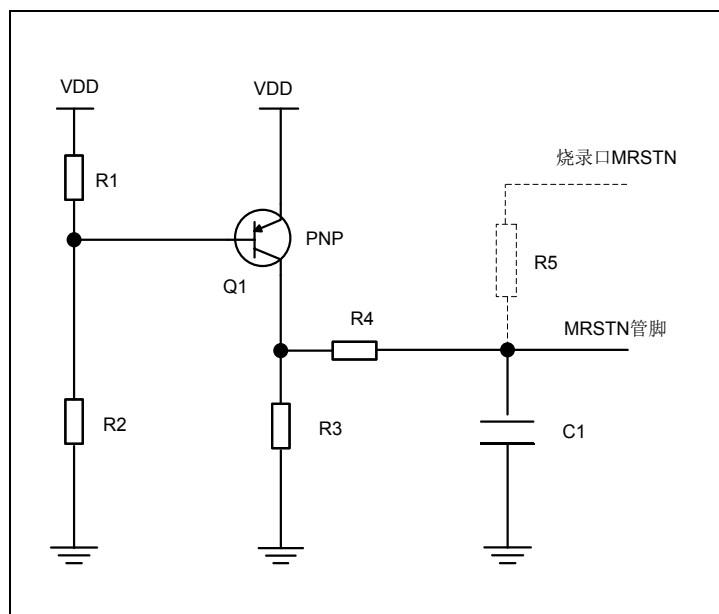


图 5-10 MRSTN 复位参考电路图 2

注：采用 PNP 三极管复位，通过 R1 ($2\text{K}\Omega$) 和 R2 ($10\text{K}\Omega$) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 ($20\text{K}\Omega$) 接地，另一路通过 R4 ($47\text{K}\Omega \leq R4 \leq 100\text{K}\Omega$) 和 C1 ($0.1\mu\text{F}$) 接地，C1 另一端作为 MRSTN 输入，当 VDD 为 3.3v 时，建议 R1 为 $4.7\text{K}\Omega$ ，R2 为 $8\text{K}\Omega$ ；VDD 为 5v 时，建议 R1 为 $1.5\text{K}\Omega$ ，R2 为 $5.1\text{K}\Omega$ ；在有外部烧录口的应用系统中，需要串接 R5 作为限流电阻，阻值为 $0.1\text{K}\Omega \leq R5 \leq 1\text{K}\Omega$ 。

5.3.5 看门狗定时器溢出复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，程序无法清除看门狗，导致看门狗定时器溢出，此时系统复位。看门狗溢出复位后，系统重启进入正常状态。

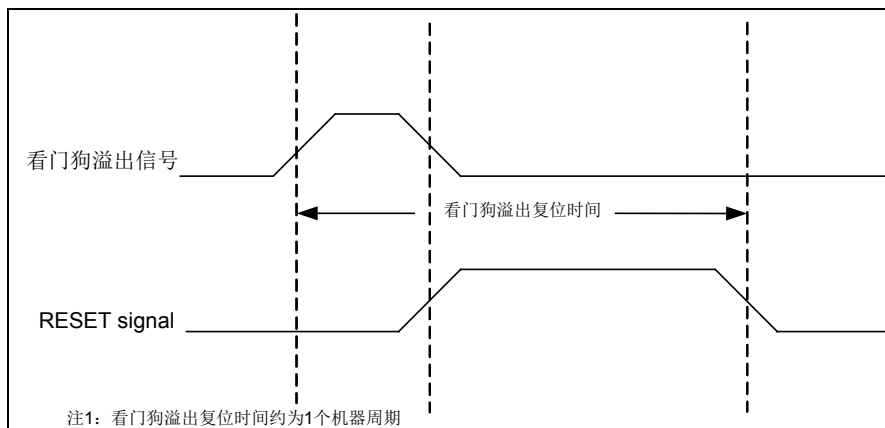


图 5-11 看门狗溢出复位

5.3.6 RST指令复位

整个芯片可通过执行 RST 指令复位，复位后，全部寄存器状态位都将被影响。

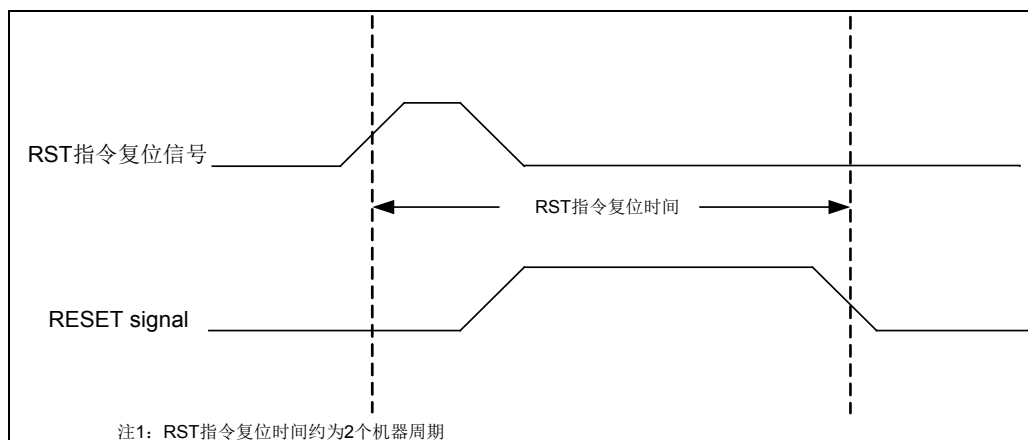


图 5-12 RST 指令复位

5.3.7 特殊功能寄存器

PWRCWP: 电源控制写保护寄存器

Bit	7	6	5	4	3	2	1	0
Name	PWRCWP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	1	1	1	0	0

Bit 7~0 PWRCWP<7:0>: PWRC 寄存器写保护寄存器

当 PWRCWP 写入 0xA5 时, PWRC 的 SBOREN, SMRSTEN 控制位的写保护解除。

PWRCWP 写入其它值无效, 保持写保护状态。当 SBOREN, SMRSTEN 控制位被写入后, 自动重新进入写保护状态。下一次写操作前必须重新解除写保护。

PWRC 寄存器的其它位不受 PWRCWP 写保护寄存器的影响。

PWRC: 电源控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	SBOREN	SMRSTEN	—	IRSTB	TOB	PDB	PORB	BORB
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
POR	1	1	0	1	1	1	0	x

Bit 7 SBOREN: 软件 BOR 使能位 (该位使能或配置字中的 BOREN 均可以开启 BOR)

0: 软件 BOR 禁能

1: 软件 BOR 使能 (缺省值)

Bit 6 SMRSTEN: MRSTN/PA3 管脚复用软件配置位 (仅当配置字 MRSTEN =1 时有效)

0: 管脚配置为 GPIO PA3 功能

1: 管脚配置为 MRSTN 功能 (缺省值)

Bit 5 保留

Bit 4 IRSTB: 指令复位标志位

0: 执行复位指令 (必须用软件置位)

1: 未执行复位指令

Bit 3 TOB: WDT 溢出标志位

0: WDT 计数溢出时被清零

1: 上电复位或执行 CWDT、IDLE 指令后被置 1

Bit 2 PDB: 低功耗标志位

0: 执行 IDLE 指令后清零

1: 上电复位或执行 CWDT 指令后置 1

Bit 1 PORB: 上电复位状态位

0: 上电复位发生 (上电复位后, 必须软件置位)

1: 无上电复位发生

Bit 0 BORB: 低电压复位状态位

0: 低电压复位发生 (低电压复位后, 必须软件置位)

1: 无低电压复位发生

注: 如果用户需要将 MRSTN/PA3 管脚复用为通用 I/O 端口, 但又希望屏蔽 128ms 上电定时时间, 则可以设置配置位 MRSTEN=1, 配置位 PWRTEB=1, 通过软件设置寄存器位 SMRSTEN=0, 使 MRSTN/PA3 管脚在芯片上电复位期间复用为外部复位端口 MRSTN 且屏蔽了 128ms 上电定时时间, 当复位结束后由软件设置复用为 PA3 端口。

5.4 低功耗操作

5.4.1 概述

用户可通过 IDLE 指令使 CPU 暂停执行，进入 IDLE 状态以降低芯片功耗。用户还可以在执行 IDLE 指令前，关闭部分或全部芯片模块，以进入更深程度的睡眠状态，最大限度的降低芯片功耗。芯片支持多种 IDLE 唤醒源，用于 IDLE 模式下的芯片唤醒。

5.4.2 IDLE 状态

IDLE 指令执行后，系统时钟 FOSC 暂停，CPU 停止运行，PC 保持当前值，采用系统时钟运行的同步功能模块均保持当前状态暂停执行，其它异步功能模块可根据 IDLE 前的设置继续运行或关闭。所有 I/O 端口将保持进入 IDLE 前的状态，若使能 WDT，则 WDT 将被清零并保持运行。PDB 标志位被清零，TOB 标志位被置 1。IDLE 状态下保持异步运行的外设可产生中断，并置相应的中断标志。

5.4.3 唤醒方式配置

序号	唤醒方式	唤醒使能	中断模式	备注
1	MRSTN	—	—	—
2	WDT	WDTIEN	—	—
3	KINT	KIE	默认/向量	—
4	PINTn	PIEn	默认/向量	—
5	LVD	LVDIE	默认/向量	—

5.4.4 低功耗下的功能模块

执行 IDLE 指令前，通过关闭各功能模块使能位，可使芯片在执行 IDLE 指令后进入更深程度的低功耗状态。同时应避免数字输入的 I/O 管脚处于浮空状态，需将这些管脚接固定电平，或在芯片外部进行上拉或下拉处理，否则会引起 I/O 端口漏电。

功能	类型	使能/关闭	唤醒使能	备注
WDT	异步	WDTEN	WDTIEN	—
KINT	异步	KMSKn	KIE	—
PINTn	异步	—	PIEn	—
LVD	异步	LV DEN	LVDIE	—

表 5-1 功能模块低功耗配置分类表

5.4.5 时钟源的关闭和唤醒

芯片进入 IDLE 状态后, HRC 时钟源自动关闭, LRC 时钟源始终保持运行。

当 IDLE 被唤醒时, 时钟源首先被唤醒, 每个时钟源从唤醒到进入正常工作状态都有 WARMUP 时间, WARMUP 时间根据时钟源的时钟频率不同, 时间长短也有不同。

配置字 VR_LP2HP 选择 3 个 WDT 时钟时, 系统唤醒时间为: $3T_{wdt} + 3T_{wdt} + 2 \sim 3T_{sys}$ 。
配置字 VR_LP2HP 选择 15 个 WDT 时钟时, 系统唤醒时间为: $15T_{wdt} + 0.5T_{wdt} + 6 \sim 7T_{sys}$ 。

在运行或 IDLE 状态下各个外设模块的时钟源也可以设置关停或打开, 由寄存器 CLKG 来控制。

5.4.6 特殊功能寄存器

CLKG: 模块时钟关停寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	ADCE	—	—	T8P2CE	T8P1CE	—
R/W	—	—	R/W	—	—	R/W	R/W	—
POR	0	0	1	0	0	1	1	0

Bit7-6 保留

Bit5 ADCE: ADC 模块时钟使能位
0: ADC 时钟关停
1: ADC 时钟使能

Bit4-3 保留

Bit2 T8P2CE: T8P2 模块时钟使能位
0: T8P2 时钟关停
1: T8P2 时钟使能

Bit1 T8P1CE: T8P1 模块时钟使能位
0: T8P1 时钟关停
1: T8P1 时钟使能

Bit0 保留

第6章 外设

6.1 定时器/计数器模块 (Timer/Counter)

本芯片包含 2 组 PWM 时基定时器 (T8P1/T8P2)。

6.1.1 8 位PWM时基定时器 (T8P1/T8P2)

6.1.1.1 概述

- T8Px 支持 2 种工作模式：定时器模式，PWM 输出模式
- 时钟源为系统时钟 2 分频 ($F_{osc}/2$)；PWM 输出模式下，时钟源可选择为系统时钟
- T8Px 支持 2 个独立的 PWM 输出端口，并且 PWM 输出端口可配置
- T8Px 支持一个可配置预分频器和一个可配置后分频器
- T8Px 包括 8 位计数器 (T8Px)，精度寄存器 (T8PxRL)，精度缓冲寄存器 (T8PxRH) 和周期寄存器 (T8PxP)
- T8Px 计数器的初值可任意配置
- T8Px 支持中断产生 T8PxIF (不同工作模式作用不同，必须软件清零)
- T8Px 在低功耗模式下不工作

6.1.1.2 内部结构图

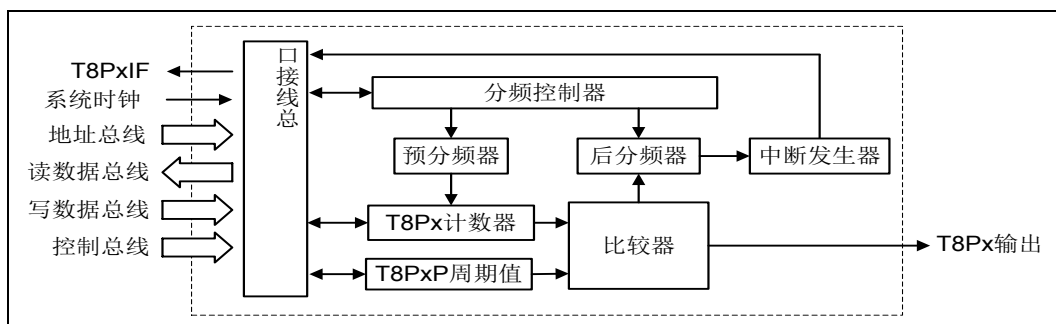


图 6-1 T8Px 内部结构图

6.1.1.3 预分频器和后分频器

T8Px 匹配中断	T8PxPOS<3:0>
计数器与周期寄存器匹配 1 次	0000
计数器与周期寄存器匹配 2 次	0001
计数器与周期寄存器匹配 3 次	0010
计数器与周期寄存器匹配 4 次	0011
计数器与周期寄存器匹配 5 次	0100
计数器与周期寄存器匹配 6 次	0101
计数器与周期寄存器匹配 7 次	0110
计数器与周期寄存器匹配 8 次	0111
计数器与周期寄存器匹配 9 次	1000
计数器与周期寄存器匹配 10 次	1001
计数器与周期寄存器匹配 11 次	1010
计数器与周期寄存器匹配 12 次	1011
计数器与周期寄存器匹配 13 次	1100
计数器与周期寄存器匹配 14 次	1101
计数器与周期寄存器匹配 15 次	1110
计数器与周期寄存器匹配 16 次	1111

表 6-1 T8Px 后分频器配置表

T8Px 定时器频率	T8PxPRS<1:0>
Fosc/2	00
Fosc/8	01
Fosc/32	1x

表 6-2 T8Px 预分频器配置表

注：T8Px 包括 1 个可配置预分频器和 1 个可配置后分频器。预分频器与后分频器的计数值都无法读写，修改 T8Px 控制寄存器或 T8Px 计数器都会把预分频器和后分频器清零。

工作模式	T8PxM
定时器模式	0
PWM 输出模式	1

表 6-3 T8Px 工作模式配置表

6.1.1.4 定时器模式

T8PxM=0 时, T8Px 为定时器模式。

T8Px 计数器的时钟源为系统时钟 2 分频 $F_{osc}/2$, 可选择预分频器对计数时钟进行分频。T8Px 在定时器模式下对计数时钟进行递增计数, 当 T8Px 的计数值与周期寄存器 T8PxP 相等时, T8Px 被自动清零并重新开始计数, 同时后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时, 复位后分频器, 并将中断标志 T8PxIF 置 1, 该中断标志需要软件清零。当 T8PxIF 置 1, 如果 T8PxIE 使能, 且全局中断 GIE 使能, 则产生 T8Px 中断, 否则中断不被响应。在重新使能这个中断之前, 为了避免误触发中断, T8PxIF 位必须软件清零。在 CPU 进入休眠模式后, T8Px 停止工作。

当 T8PxPMS=1 时, T8Px 计数值将与周期缓冲器 PRDBUF 进行匹配。

当 T8PxE 使能后, 周期寄存器 T8PxP 的值立即更新到周期缓冲器 PDRBUF 中; 之后 T8Px 从初始值开始计数, 直到与周期缓冲器 PDRBUF 相等, 再次将周期寄存器 T8PxP 的值更新到周期缓冲器 PDRBUF 中。

如果在之后的计数过程中, 修改 T8PxPMS=0, 则当 T8Px 与周期缓冲器 PRDBUF 相等后, 下一次 T8Px 的计数值才与周期寄存器 T8PxP 进行匹配。

6.1.1.5 标准PWM输出模式

T8PxM=1 时, T8Px 为 PWM 输出模式, 相应的 PWM 输出端口设置为输出状态。

使能 PWM 输出模式后, 首先从一个起始周期开始, 起始周期完成后不断循环 PWM 周期。

起始周期

T8Px 在起始周期内从初始值递增计数到与周期寄存器 T8PxP 相等, 此时将精度寄存器 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内, 并产生 T8PxIF 中断标志。起始周期内 PWM 输出始终为 0。

PWM 周期

起始周期完成后, T8Px 从零开始重新递增计数, 并保持 PWM 输出为 1, 当 T8Px 与 T8PxRH 的值相等时, PWM 输出改变为 0, 并继续递增计数。当 T8Px 的计数值与 T8PxP 再次相等时, PWM 输出恢复为 1, 同时将当前 T8PxRL 的数值载入精度缓冲寄存器 T8PxRH 内, 并产生 T8PxIF 中断标志。T8Px 清零并重新开始计数, 循环 PWM 周期。在 PWM 输出模式下, T8PxRH 寄存器只可读。

当 T8PxPMS=1 时, T8Px 计数值将与周期缓冲器 PRDBUF 进行匹配。

当 T8PxE 使能后, T8Px 从初始值开始计数, 直到与周期寄存器 T8PxP 相等, 此时将周期寄存器 T8PxP 的值更新到周期缓冲器 PDRBUF 中; 接下来 T8Px 的计数值会与周期缓冲器 PDRBUF 进行匹配。

如果在之后的计数过程中, 修改 T8PxPMS=0, 则当 T8Px 与周期缓冲器 PRDBUF 相等后, 下一次 T8Px 的计数值才与周期寄存器 T8PxP 进行匹配。

特别的, 若精度缓冲寄存器 T8PxRH 的值为 0, 则当前 PWM 周期内 PWM 输出始终为 0; 若精度缓冲寄存器 T8PxRH 的值大于 T8PxP, 则当前 PWM 周期内 PWM 输出始终

为 1。

PWM 输出模式下，计数时钟源可通过特殊功能寄存器 EPWMxC<4>选择为系统时钟二分频 Fosc/2 或系统时钟，同时支持预分频器。此模式下，后分频器的设置不影响 PWM 输出周期和占空比；只影响 T8PxIF 中断标志位的产生，详见表：《T8Px 后分频器配置表》。

对于 PWM 输出，波形如下图所示：

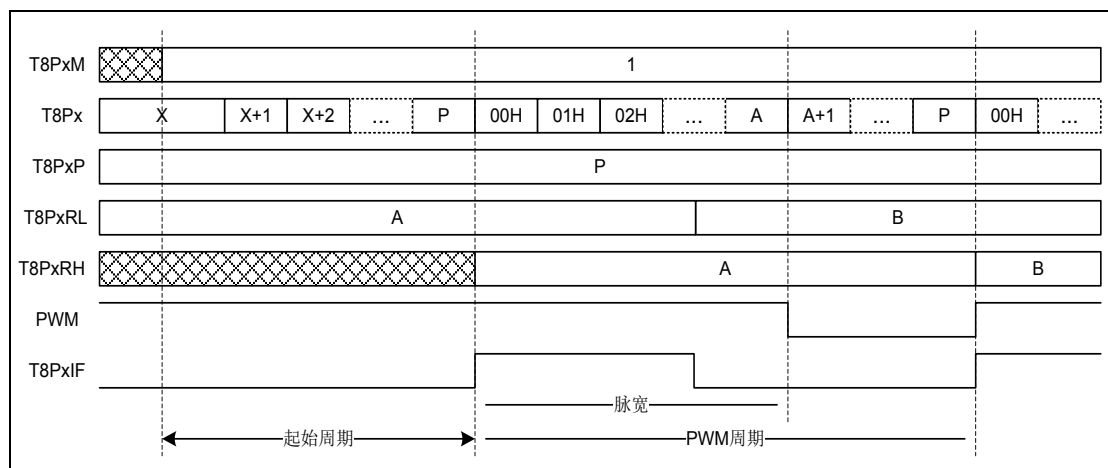


图 6-2 标准 PWM 输出示意图

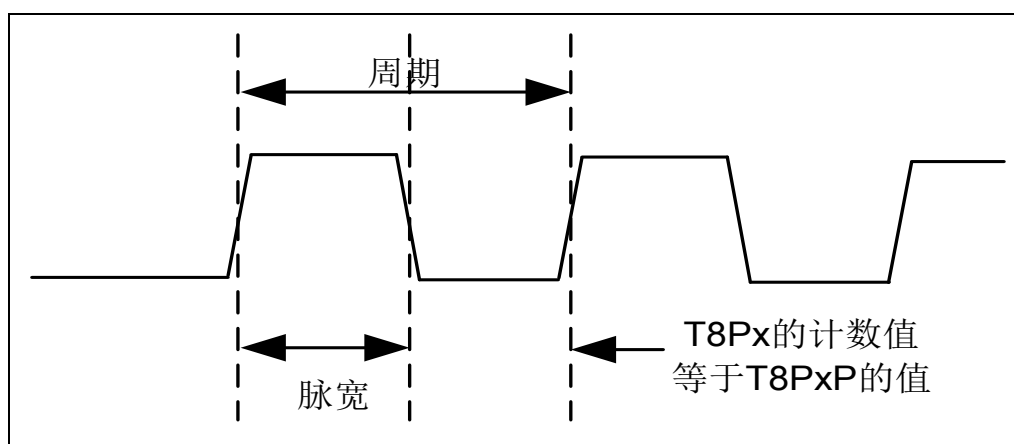


图 6-3 标准 PWM 输出示意图

PWM 计算公式（计数时钟源为 fosc/2）如下：

$$\text{PWM 周期} = [(T8PxP) + 1] \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 脉宽} = (T8PxR + 1) \times 2 \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

PWM 的分辨率计算公式：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}/2}{F_{pwm} * F_{ckps}}\right)}{\log 2} \text{位}$$

PWM 计算公式（计数时钟源为 fosc）如下：

$$\text{PWM 周期} = [(T8PxP) + 1] \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 脉宽} = (T8PxR + 1) \times T_{osc} \times (T8Px \text{ 预分频比})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

PWM 的分辨率计算公式：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2} \text{位}$$

注：Tosc = 1/Fosc, Fpwm = 1/（PWM 周期），Fckps 为 T8px 预分频比

6.1.1.6 增强型PWM输出模式

本芯片支持 2 组增强型 PWM 功能（即 EPWM），选择 T8Px 作为其时基。EPWM 输出包括单桥输出和半桥输出。

单桥输出

单桥输出就是标准 PWM 输出，5.1.2.6 节《标准 PWM 输出模式》已经详细介绍。

半桥输出

在半桥输出模式下，有两个端口作为驱动推拉式负载输出。调制波输出到 PWMx0 端口，和它的互补信号输出到 PWMx1 端口，用这两个端口来驱动负载。在这两个端口输出的调制波之间，可编程设置一个死区延时间 Tdelay，来防止半桥功率器件直通，引起瞬间大电流损坏半桥功率设备。死区时间的值由主时钟频率和寄存器 PDDxC 的值决定，在系统时钟频率固定的条件下，死区时间通过设置 PDDxC<6:0>来设置。Tdelay = 2 × Tosc × (PDDxC<6:0>)。如果死区时间设置大于或者等于 PWM 的工作周期，则 PWM 输出无效。

在半桥输出模式下，调制输出端口必须清零，将端口设置为输出状态。

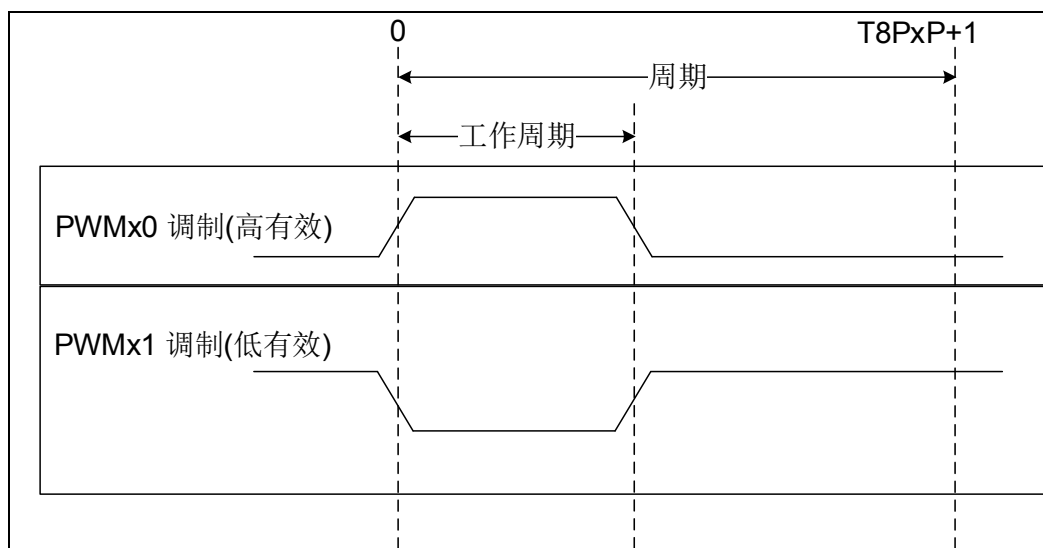


图 6-4 EPWM 单桥输出示意图

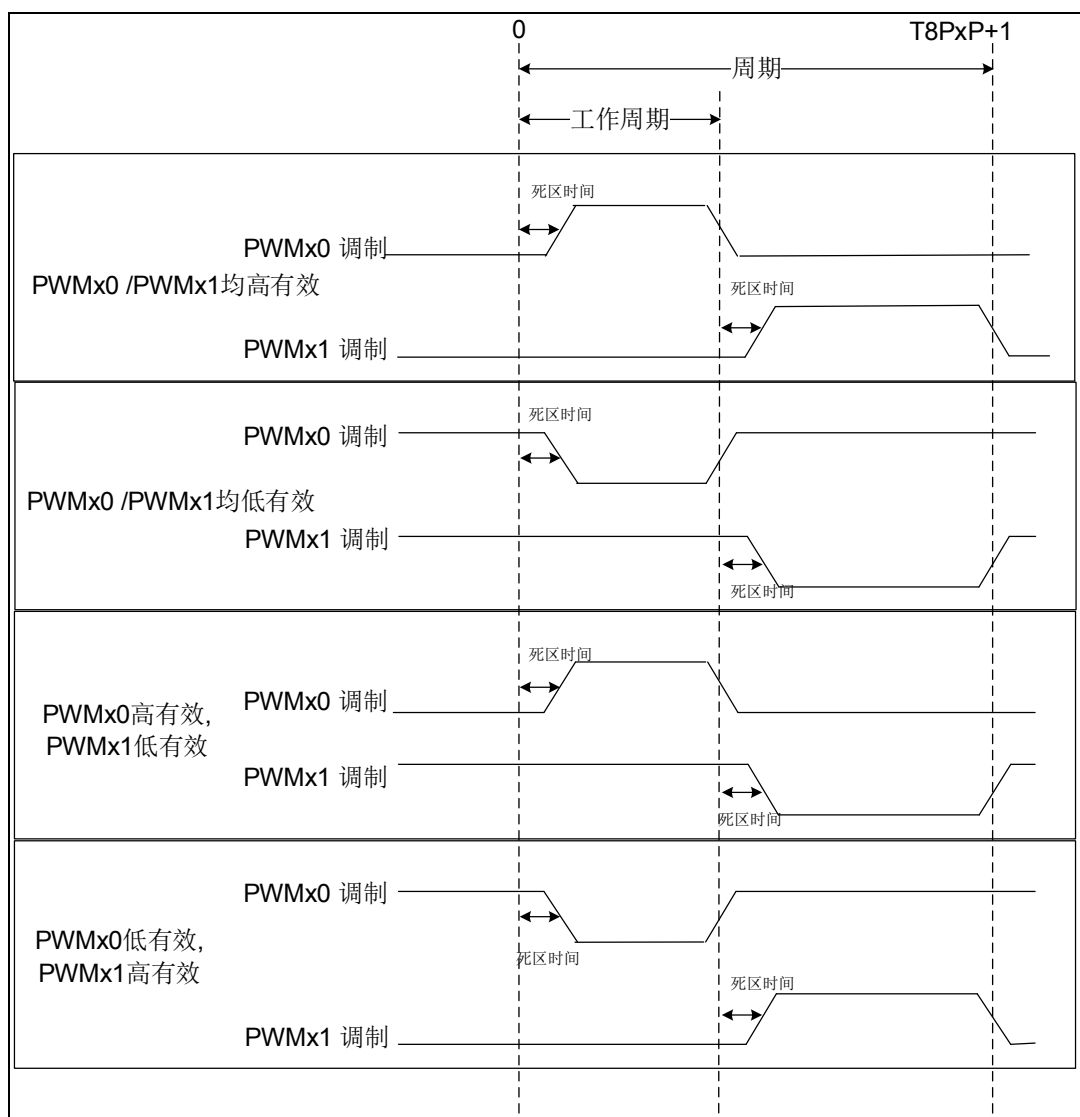


图 6-5 EPWM 半桥输出示意图

6.1.1.7 EPWM自动关断和重启

本芯片支持一种关断事件，为 PA2/N_EPAS 管脚输入关断事件。当自动关断位 EPWMxAS0 使能，PA2/N_EPAS 管脚输入为“0”时，会发生自动关断事件。

当关断事件发生后，EPWM 输出管脚处于关断状态，管脚的关断状态可通过设置 TExAS 寄存器的低四位来控制，可以被设置输出为“1”、“0”或者高阻（三态）。同时，在关断状态下，关断事件标志位 EPWMxASF (EPWMxAS<7>) 置 1。如果关断事件一直保持，关断事件标志位就不会被清零。详见 TExAS 自动关断寄存器控制位介绍。

EPWM 的重启，通过配置寄存器 PRSEN (PDDxC<7>) 位来决定在关断状态下的事件是否自动重启。如果 PRSEN 位为 1，当关断事件撤离后，硬件会自动清零关断事件标志位，并重启 EPWM 功能；如果 PRSEN 位为 0，当关断事件撤离后，需要用软件清零关断事件标志位，重启 EPWM 功能；EPWM 重启后，EPWM 的输出会在下一个 PWM 周期正常输出。可参考下图。

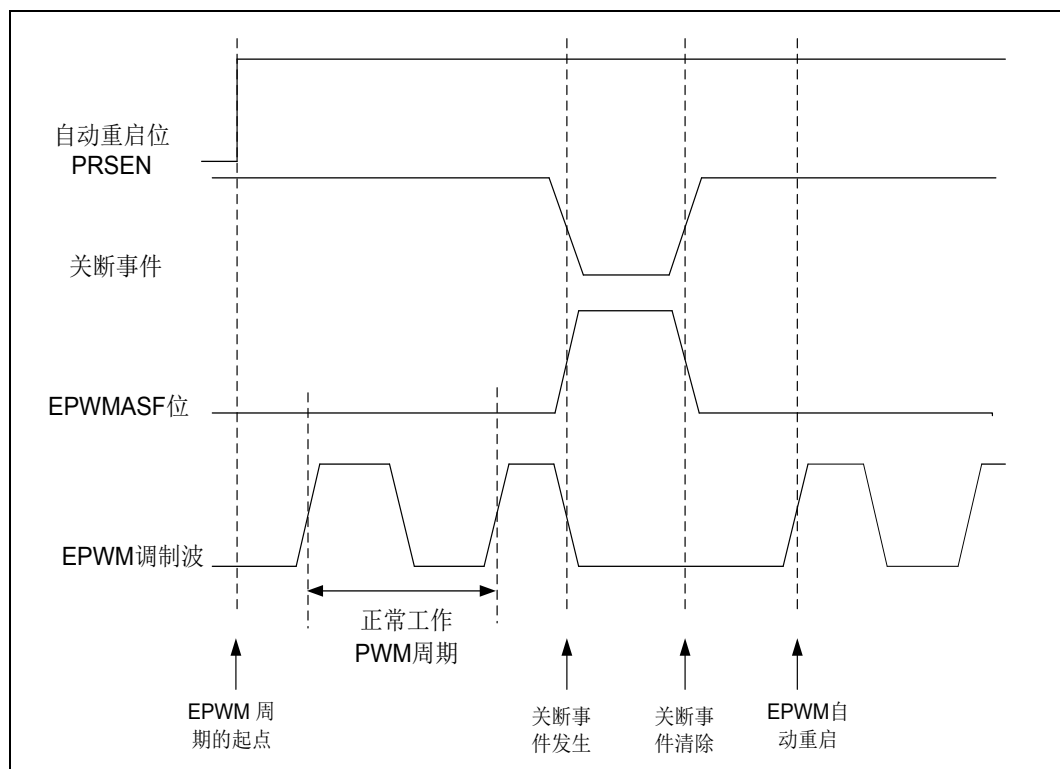


图 6-6 EPWM 关断与自动重启 (PRESN=1)

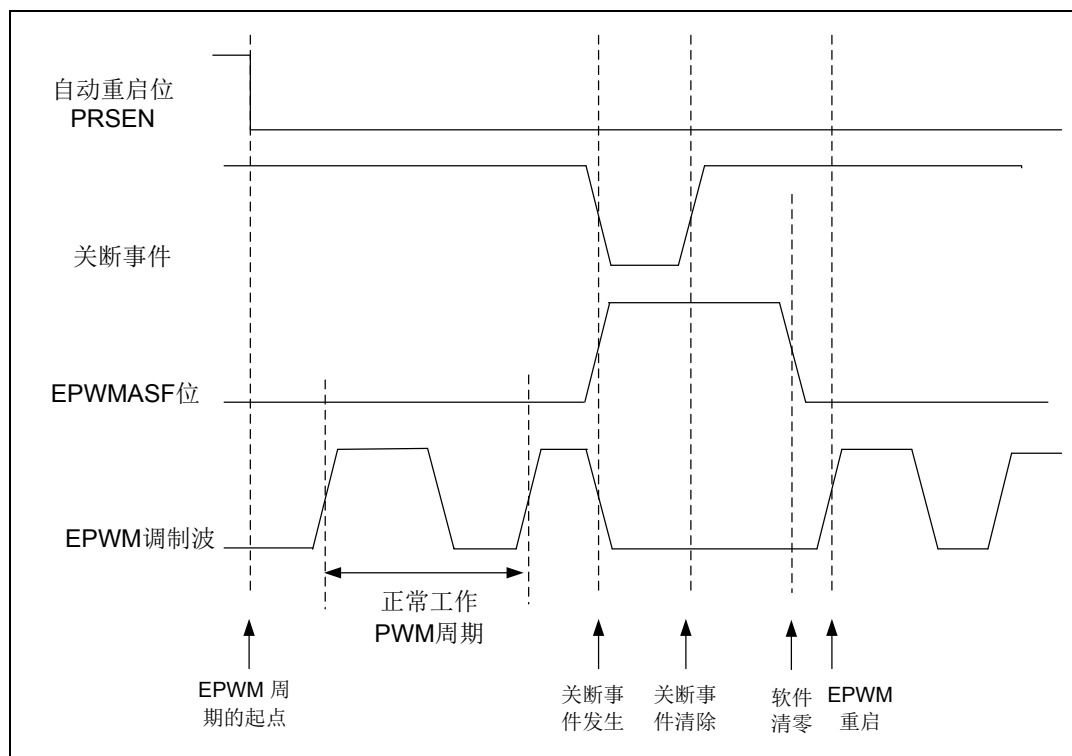


图 6-7 EPWM 关断与重启 (PRESN=0)

启动注意事项

EPWMxC<1:0>位允许用户为每一对 EPWM 输出引脚选择 EPWM 输出信号为高电平有效或低电平有效。EPWM 的输出极性，必须在 EPWM 引脚配置为输出之前选择。由于可能导致应用电路的损坏，因此不推荐在 EPWM 引脚为输出状态时，改变输出极性的配置。在 EPWM 功能扩展模块初始化时，需在初始化工作完成后，再将 PWMx0 和 PWMx1 所在的 EPWM 引脚设置为输出状态。

6.1.1.8 特殊功能寄存器

T8Px: T8Px 计数器								
Bit	7	6	5	4	3	2	1	0
Name	T8Px<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 T8Px<7:0>: T8Px 计数器

T8PxC: T8PxC 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8PxM	T8PxPOS<3:0>				T8PxE	T8PxPRS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T8PxM: T8Px 工作模式选择位

0: 定时器模式

1: PWM 输出模式

Bit 6-3 T8PxPOS<3:0>: T8Px 后分频器分频比选择位

0000: 分频比为 1:1

0001: 分频比为 1:2

0010: 分频比为 1:3

0011: 分频比为 1:4

0100: 分频比为 1:5

0101: 分频比为 1:6

0110: 分频比为 1:7

0111: 分频比为 1:8

1000: 分频比为 1:9

1001: 分频比为 1:10

1010: 分频比为 1:11

1011: 分频比为 1:12

1100: 分频比为 1:13

1101: 分频比为 1:14

1110: 分频比为 1:15

1111: 分频比为 1:16

Bit 2 T8PxE: T8Px 使能位

0: 关闭 T8P1

1: 使能 T8P1

Bit 1-0 T8PxPRS<1:0>: T8Px 预分频器分频比选择位

00: 分频比为 1:1

01: 分频比为 1:4

1x: 分频比为 1:16

T8PxP: T8PxP 周期寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8PxP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7-0 T8PxP<7:0>: T8Px 周期寄存器

T8PxRL: T8Px 精度寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T8PxRL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 T8PxRL<7:0>: 8 位精度寄存器

T8PxRH: T8Px 精度寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	T8PxRH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-0 T8PxRH<7:0>: 8 位精度寄存器

T8P1OC: EPWM0 输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	T8P1PEN<1:0>		T8P1NEN<1:0>		PWM11EN	PWM10EN
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7-6 保留

Bit 5-4 T8P1PEN<1:0>: T8P1 的 PWM 输出管脚选择位

00: PA1 输出 PWM10

01: PB0 输出 PWM10

10: PA6 输出 PWM10

11: PB2 输出 PWM10

Bit 3-2 T8P1NEN<1:0>: T8P1 的 PWM 互补输出管脚选择位

00: PWM11 输出关闭

01: PA2 输出 PWM11

10: PB1 输出 PWM11

11: PB3 输出 PWM11

Bit 1 PWM11EN: PWM11 端口使能位

0: 通用 I/O

1: EPWM 输出功能

Bit 0 PWM10EN: PWM10 端口使能位

0: 通用 I/O

1: EPWM 输出功能

T8P2OC: EPWM1 输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	T8P2PEN<1:0>		T8P2NEN<1:0>		PWM21EN	PWM20EN
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7-6 保留
- Bit 5-4 T8P2PEN<1:0>: T8P2 的 PWM 输出管脚选择位
 00: PA2 输出 PWM20
 01: PB1 输出 PWM20
 10: PB3 输出 PWM20
 11: PWM20 输出关闭
- Bit 3-2 T8P2NEN<1:0>: T8P2 的 PWM 互补输出管脚选择位
 00: PWM11 输出关闭
 01: PB0 输出 PWM21
 10: PA6 输出 PWM21
 11: PB2 输出 PWM21
- Bit 1 PWM21EN: PWM21 端口使能位
 0: 通用 I/O
 1: EPWM 输出功能
- Bit 0 PWM20EN: PWM20 端口使能位
 0: 通用 I/O
 1: EPWM 输出功能

EPWMxC: EPWM 配置寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8PxPMS	P1Mx	—	PWMx_CKS	—	—	EPWMxM<1:0>	
R/W	R/W	R/W	—	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T8PxPMS: 周期匹配选择位
 0: T8Px 计数值与周期寄存器 T8PxP 进行匹配 (默认)
 1: T8Px 计数值与周期缓冲器 PRDBUF 进行匹配
- Bit 6 P1Mx: T8PxM=1, EPWM 输出端口选择位
 0: 单桥输出, PWMx0、PWMx1 独立输出
 1: 半桥输出, PWMx0 与 PWMx1 互补输出, 并带有死区时间控制
- Bit 5 保留
- Bit 4 PWMx_CKS: PWM 输出模式下, 计数时钟源选择位
 (先选择 PWM 模式、计数时钟源, 最后再使能 T8P)
 0: 系统时钟 2 分频
 1: 系统时钟
- Bit 3-2 保留
- Bit 1-0 EPWMxM<1:0>: EPWM 工作模式选择位
 00: EPWM, PWMx0, PWMx1 高有效

01: EPWM, PWMx0 高有效, PWMx1 低有效

10: EPWM, PWMx0 低有效, PWMx1 高有效

11: EPWM, PWMx0, PWMx1 低有效

PDDxC: EPWM 死区控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PRSENx	PDDxC<6:0>						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 PRSENx: EPWM 重启控制位

0: 当自动关断事件撤离后, 自动关断事件标志位必须软件清零, 才能重启 EPWM。

1: 当自动关断事件撤离后, 自动关断事件标志位硬件自动清零, EPWM 自动重启。

Bit 6-0 PDDxC<6:0>: EPWM 死区延时计数位

TExAS: EPWM 自动关断寄存器								
Bit	7	6	5	4	3	2	1	0
Name	EPWMxASF	—	—	EPWMxAS0	—	—	PSSxBD<1:0>	
R/W	R/W	—	—	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 EPWMxASF: EPWM 自动关断事件标志位

0: 没有关断事件发生

1: 关断事件已经发生

Bit 6-5 保留

Bit 4 EPWMxAS0: EPWM 自动关断位 0

0: N_EPAS 端口不影响 EPWM

1: N_EPAS 端口为“0”引起关断

Bit 3-2 保留

Bit 1-0 PSSxBD<1:0>: 管脚 PWMx0 和 PWMx1 关断状态控制位

00: 端口输出“0”

01: 端口输出“1”

1x: 端口为三态

6.2 低电压检测模块（LVD）

6.2.1 概述

芯片支持低电压检测功能，即 LVD，用于监测电源电压 VDD。在供电电源不稳定的情况下，如外部电源噪声串扰或 EMC 测试条件下，会使电源剧烈波动。在目标电压未稳定时，可能会低于芯片工作电压。若检测到电压低于所设定的阈值，可提供一个警告信号。低电压检测也可产生中断信号。

6.2.2 LVD操作

LVD 功能的使能由 LVDC 寄存器中的 LVDEN 控制位设置。当 LVDEN 位清零时，LVD 功能禁能。当 LVDEN 位置高时，LVD 功能使能。LVD 模块将电源电压 VDD 与预先设定的阈值电压进行比较，比较结果通过 LVDO 位进行查询。预置电压的阈值由 LVDC 寄存器中的 LVDVS 配置，当检测电源电压 VDD 时，预置电压阈值范围为 2.1V~3.6V。当目标电压低于预置电压阈值时，LVDO 位被置高，表明检测到低电压产生。当 LVDO 变化时，产生 LVD 中断标志，触发 LVD 中断标志的条件可选择为 LVDO 上升沿产生、LVDO 下降沿产生和 LVDO 上升沿或下降沿都产生。当 LVD 中断使能开启时产生 LVD 中断请求。在睡眠模式下 LVD 中断可唤醒芯片。

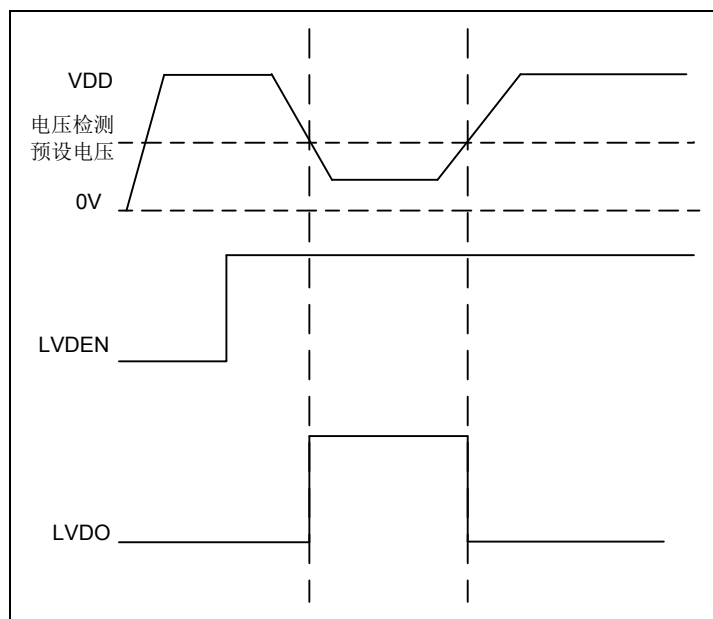


图 6-8 LVD 工作时序图

6.2.3 特殊功能寄存器

LVDC: LVD 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LVDS<1:0>		—	LVDFLTEN	LVDIFS<1:0>		LVDO	LV DEN
R/W	R/W	R/W	—	R/W	R/W	R/W	R	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 LVDS<1:0>: LVD 触发电压选择（电压为设计值）

11: 3.6V

10: 3.0V

01: 2.4V

00: 2.1V

Bit 5 保留

Bit 4 LVDFLTEN: LVD 滤波器使能

0: 禁止

1: 使能

Bit 3~2 LVDIFS <1:0>: LVD 中断标志产生模式选择位

00: LVDO 上升沿产生中断

01: LVDO 下降沿产生中断

10: LVDO 上升或下降沿都产生中断

11: 保留

Bit 1 LVDO: LVD 输出状态位

0: 被监测电压高于电压阈值

1: 被监测电压低于电压阈值

Bit 0 LV DEN: LVD 使能位

0: 禁止

1: 使能

注 1: 当 IAP 擦除或编程时, 为防止误擦或误编程, 建议使能 LVD, 在 LVD 有效时, 自动退出 IAP 操作;

注 2: 当 LVD 滤波器使能时, 约 200us 宽度的 LVD 低压信号被滤除。为防止误编程、误擦除, 建议禁止 LVD 滤波。

6.3 模/数转换器模块 (ADC)

6.3.1 概述

模拟数字转换器用于将模拟信号转化成一组二进制代码组成的数字信号。模拟信号经由多路复用输入脚输入，通过一个采样-保持电路连接至转换器的输入端。芯片支持 12-bit 6+2 通道的 A/D 转换器，可配置单端输入和差分输入，经过 A/D 转换器转换的 12-bit 二进制数据存入 ADC 数据寄存器 ADCRH、ADCRL 中。

◇ 模/数转换器特性

- 12 位 AD 采样精度
- 6 个模拟输入+2 个电源电压检测通道可选
- 可选单端或差分输入
- 12 位转换结果，支持高位对齐放置或低位对齐放置
- 支持外部或内部参考电压可选择
- 支持电源电压检测，电源分压比可选
- 可配置单次转换和连续转换
- 支持可配置 A/D 转换时钟
- 时钟源来自系统时钟 Fosc
- 支持内部 PWM 自动触发

◇ 主要功能组件

- ADC 转换值寄存器 (ADCRH, ADCRL)
- ADC 控制寄存器 (ADCTL0, ADCTL1, ADCTL2)

◇ 中断和暂停

- 支持 AD 转换中断

6.3.2 ADC 内部结构图

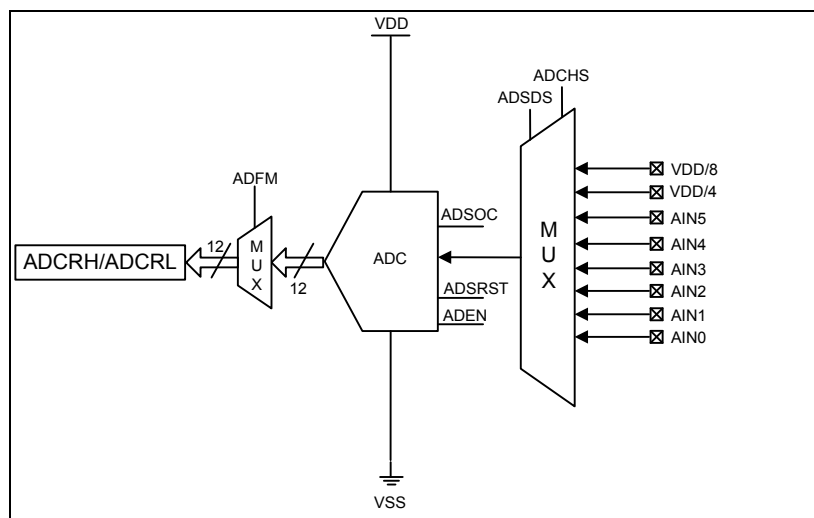


图 6-9 ADC 内部结构图

6.3.3 ADC配置

ADC 电路使用前，根据需要对以下几个方面进行正确的配置，才可得到正确转换结果。

时钟选择

ADC 转换时钟频率可选 F_{osc} 、 $F_{osc}/2$ 、 $F_{osc}/4$ 、 $F_{osc}/8$ 、 $F_{osc}/16$ 、 $F_{osc}/32$ 、 $F_{osc}/64$ ，可通过 $ADCKS<2:0>$ 寄存器选择所需要的时钟，建议正常工作时 ADC 时钟频率 $>300\text{KHz}$ ，否则会影响 ADC 精度。

参考电压选择

ADC 电路分别使用一个正参考电压和一个负参考电压，对应外部参考电压输入脚分别为 $VREFP$ 和 $VREFN$ 。由于该两个外部输入脚分别与 $PB1/AIN4$ 、 $PB0/AIN3$ 复用，在使用这两个外部参考电压输入时，需先通过 $ANS1$ 寄存器正确设置复用端口的类型。正参考电压可通过 $ADVREFS<2:0>$ 位选择 VDD 、 $4V$ 、 $3V$ 、 $2.1V$ 或者是 $VREFP$ 复用端口，负参考电压对应地选择 VSS 或者是 $VREFN$ 复用端口。

输入信号选择

本芯片中 ADC 输入可选择单端信号输入和差分信号输入，通过 $ADCTL0$ 寄存器中的 $ADSDIF$ 进行配置。

复用端口类型选择

本芯片中 ADC 电路的所有模拟输入通道 $AINx$ 和 PA 端口复用，在使用 ADC 电路转换前，须先将所使用的管脚通过 $ANS0/ANS1$ 寄存器设置为模拟类型。

模拟信号输入通道选择

ADC 电路使能前，需先选择 A/D 模拟通道。本芯片 ADC 电路支持 8 个单端输入或 4 组差分输入，对应通道为 $AIN0\sim AIN7$ 。由于通道 6 和通道 7 内部固定为电源电压检测通道，故外部输入通道只有 $AIN0\sim AIN5$ 。A/D 模拟通道选择哪个通道可通过 $ADCTL0$ 寄存器中的 $ADCHS<2:0>$ 位选择。

转换方式选择

触发 AD 转换前，需要先选择转换方式，通过 $ADCTL0$ 寄存器中的 $ADCMS$ 选择使用单次转换还是连续转换。

对齐方式选择

本芯片 ADC 电路转换的结果支持两种对齐方式，低位对齐和高位对齐，可通过 $ADCTL1$ 寄存器中的 $ADFM$ 位进行选择。

ADC 模块转换触发方式选择

本芯片 ADC 模块支持两种 A/D 转换触发方式：软件触发和 PWM 自动触发。

在 ADC 模块转换使能位 $ADEN$ 使能后，通过软件将 ADC 转换启动位 $ADSOC$ 置“1”，ADC 模块开始进行转换，此为软件触发 A/D 转换；在 ADC 模块转换使能位 $ADEN$ 和 PWM 自动触发 ADC 使能位 $TRIGEN$ 都使能后，由 PWM 边沿触发信号致使 $ADSOC$ 位自动置为“1”，ADC 模块开始进行转换，此种为 PWM 自动触发。

PWM 自动触发源可选择来自 $PWM00$ 或 $PWM10$ 信号，通过自动触发源选择位 $TRIGS$ 进

行选择，PWM 自动触发边沿可通过 TRIGPEG 位选择 PWM 上升沿或下降沿触发。

6.3.4 ADC转换步骤

下面概述实现 ADC 转换过程的各个步骤。

Step 1: 选择 ADC 转换时钟，通过 ADCTL1 寄存器中的 ADCKS <2:0>选择 ADC 转换时钟。

Step 2: 选择正负参考电压，通过 ADCTL2 寄存器中的 ADVREFS<2:0>进行选择。

Step 3: 选择输入信号类型为单端信号还是差分信号，通过 ADCTL0 寄存器中的输入信号选择位 ADSDIF 设置。

Step 4: 设置复用端口设为模拟类型，即选择哪些管脚作为 ADC 转换输入管脚，由端口类型选择寄存器 PAS 控制选择。

Step 5: 选择模拟信号输入通道 AINx，通过 ADCTL0 寄存器中的 ADCHS <2:0>选择 ADC 模拟通道。

Step 6: 设置转换方式，通过 ADCTL0 寄存器中的 ADCMS 位，选择是单次转换还是连续转换。

Step 7: 设置转换结果对齐方式，通过 ADCTL1 寄存器中的 ADFM 位，选择高位对齐放置还是低位对齐放置。

Step 8: 如果要使用中断，则中断控制寄存器需要正确地设置，以确保 ADC 中断功能被正确激活。需将全局中断使能位 GIE 置“1”，将 ADC 中断使能位置“1”。

Step 9: 使能 ADC 电路，将 ADCTL0 寄存器中的 ADC 使能位 ADEN 设置为“1”，使能前需确保 ADCTL1 寄存器中的 ADRSTST 位为“1”。

Step 10: 释放复位信号，若配置 ADCTL1.ADRSTMD 位为“0”，则等待硬件自动释放复位，轮询等待 ADCTL1.ADRSTST 位为“1”；若配置 ADCTL1.ADRSTMD 位为“1”，则需手动释放复位，将 ADCTL1.ADSRST 位设置为“0”，复位释放需在使能信号有效至少 3us 后产生。

Step 11: 若选择软件触发，则将 ADCTL0 寄存器中的 ADC 转换启动位 ADSOC 位设置为“1”，即开始 ADC 转换；若选择 PWM 自动触发，需先设置 TRIGS 位选择自动触发源和 TRIGPEG 位选择 PWM 自动触发边沿，设置 PWM 自动触发 ADC 使能位 TRIGEN 为“1”。在 PWM 自动触发 ADC 模块转换设置完成后，自动边沿触发信号会自动将 ADTRG 位置为“1”，开始进行 ADC 转换。

Step 12: 轮询 ADCTL0 寄存器中的转换状态位 ADEOC 位，确定此次 ADC 转换是否完成，若设置了中断，可通过中断的产生来判断 ADC 转换完成。

Step 13: 读取 ADCRH 和 ADCRL 寄存器中的转换结果。

Step 14: 连续转换模式下重复 Step11~Step12，以获取多次转换的结果，之后将 ADCTL0 寄存器中的 ADSOC 位设置为“0”来停止连续转换。

6.3.5 ADC时序特征示意图

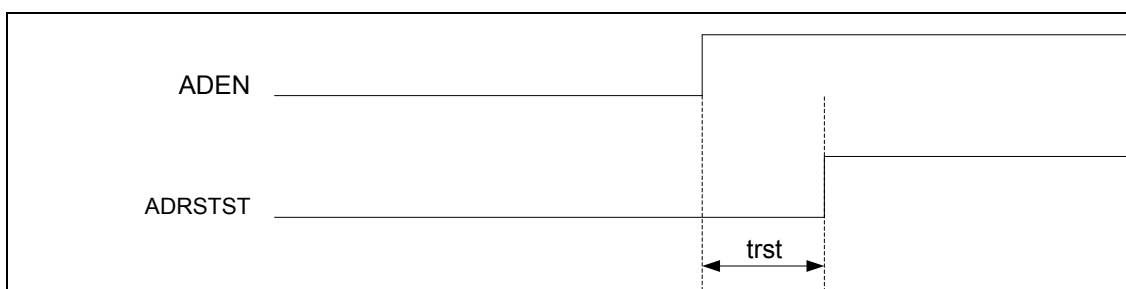


图 6-10 复位释放

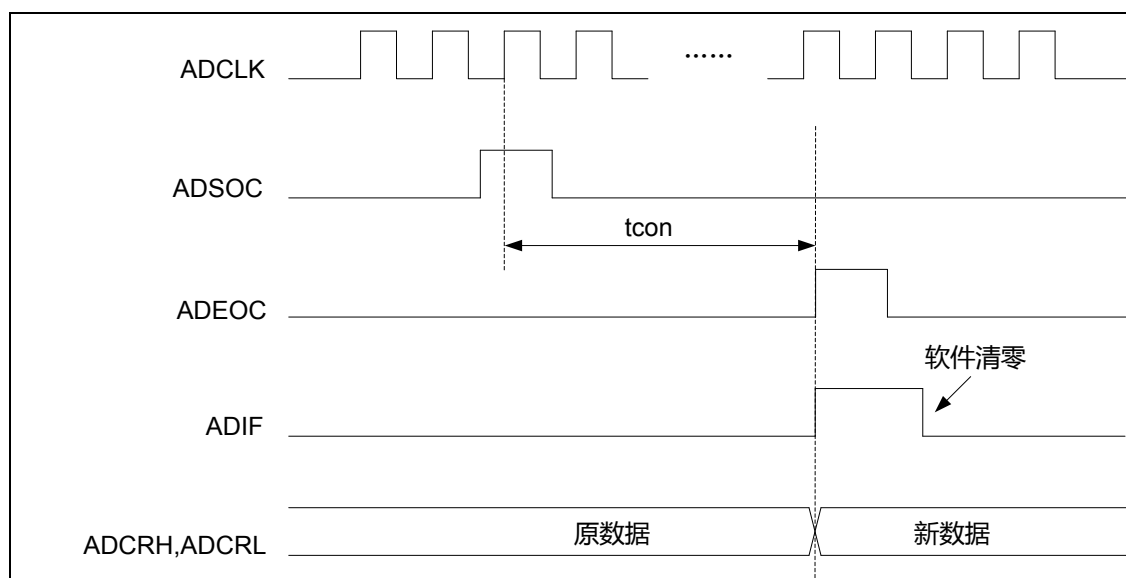


图 6-11 单次转换

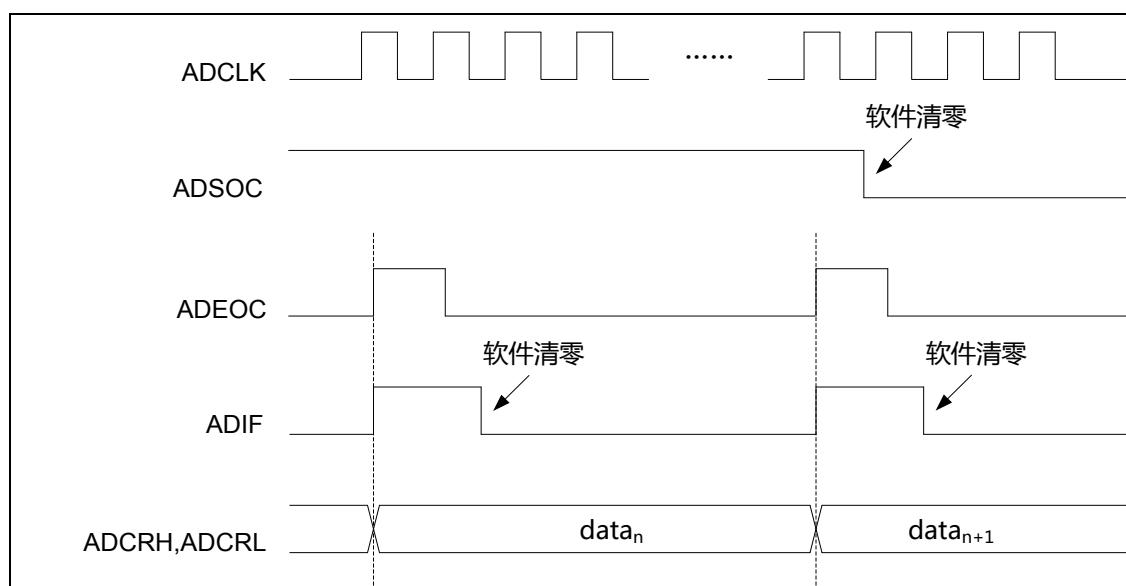


图 6-12 连续转换

注 1: 复位释放延时 $trst > 3\mu s$;

注 2: 采样转换时间 $tcon = 14 * T_{adclk}$;

注 3: AD 转换时钟周期 Tadcclk, 可通过 ADCKS<2:0>寄存器配置不同的频率。

6.3.6 特殊功能寄存器

ADFM	ADCRH								ADCRL							
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	—	—	—	—	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	—	—	—	—

Bit 11~0 D11~D0: ADC 转换结果

ADCTL0: ADC 控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	ADCHS<2:0>			ADSDIF	ADEOC	ADSOC	ADCMS	ADEN
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~5 ADCHS<2:0>: A/D 模拟通道选择位

当 ADSDIF=0 时:

000: 通道 0 (AIN0)

001: 通道 1 (AIN1)

010: 通道 2 (AIN2)

011: 通道 3 (AIN3)

100: 通道 4 (AIN4)

101: 通道 5 (AIN5)

110: VDD/4

111: VDD/8

当 ADSDIF=1 时:

x00: 通道 0 和通道 1 (P 端输入: AIN0, N 端输入: AIN1)

x01: 通道 2 和通道 3 (P 端输入: AIN2, N 端输入: AIN3)

x10: 通道 4 和通道 5 (P 端输入: AIN4, N 端输入: AIN5)

x11: 保留

Bit 4 ADSDIF: 输入信号类型选择位

0: 单端信号

1: 差分信号

Bit3 ADEOC: A/D 转换状态位

0: 转换进行中或未开始转换

1: 转换结束, 数据输出有效 (该位有效信号保持一个 ADC 时钟)

Bit 2 ADSOC: A/D 转换启动位

0: 停止 A/D 转换

1: 启动 A/D 转换

当 ADCMS=0 时, 该位自动清 0

当 ADCMS=1 时, 该位需要软件清 0 来停止 A/D 采样转换

Bit1 ADCMS: 转换方式选择位

0: 单次转换

1: 连续转换

Bit 0 ADEN: ADC 使能位
0: 关闭
1: 使能 ADC 模块

ADCTL1: ADC 控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	ADFM	ADCKS<2:0>			ADDISH	ADRSTST	ADRSTMD	ADSRST
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
POR	1	0	0	0	0	0	0	0

Bit 7 ADFM: 结果对齐方式选择位
0: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>)
1: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)

Bit 6~4 ADCKS<2:0>: A/D 转换时钟频率 (Tadclk) 选择位
000: Fosc
001: Fosc/2
010: Fosc/4
011: Fosc/8
100: Fosc/16
101: Fosc/32
110: Fosc/64
111: 保留

Bit 3 ADDISH: 偏置校准控制位
0: 无效
1: 启用, P 端输入和 N 端输入内部短接

Bit 2 ADRSTST: ADC 复位状态位
0: 复位状态
1: 工作状态

Bit 1 ADRSTMD: ADC 复位模式选择
0: 硬件自动复位
1: 软件复位

Bit 0 ADSRST: ADC 软件复位控制位
0: 释放
1: 复位

ADCTL2: ADC 控制寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	ADVREFS			TRIGS	TRIGPEG	TRIGEN	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—
POR	0	0	0	0	0	0	0	0

- Bit 7~5 ADVREFS <2:0>: 参考电压源选择位
 000: ADC 参考电压正端为 VDD, 负端为 VSS
 001: ADC 参考电压正端为 4.0V, 负端为 VSS
 010: ADC 参考电压正端为 3.0V, 负端为 VSS
 011: ADC 参考电压正端为 2.1V, 负端为 VSS
 100: ADC 参考电压正端为外部 VREFP, 负端为 VSS
 101: ADC 参考电压正端为外部 VREFP, 负端为 VREFN
 其他: 保留
- Bit 4 TRIGS: 自动触发源选择位
 0: PWM00
 1: PWM10
- Bit 3 TRIGPEG: PWM 自动触发 ADC 边沿选择位
 0: PWM 上升沿
 1: PWM 下降沿
- Bit 2 TRIGEN: PWM 自动触发 ADC 使能位
 0: 禁止
 1: 使能
- Bit 1~0 保留

第7章 中断处理

7.1 概述

中断是芯片的一个重要功能，它能将芯片从睡眠模式中唤醒，也可以使系统在正常运行过程中响应突发事件，中止并保存当前运行程序的信息，跳转到请求中断服务程序的入口地址，执行相对应的中断服务程序，处理突发事件。本系列芯片仅支持默认中断模式，最多可支持 11 个中断源：1 个软件中断和 10 个硬件中断。

型号	硬件中断源数	软件中断源数
ES7P7021	10	1

7.2 中断控制结构框图

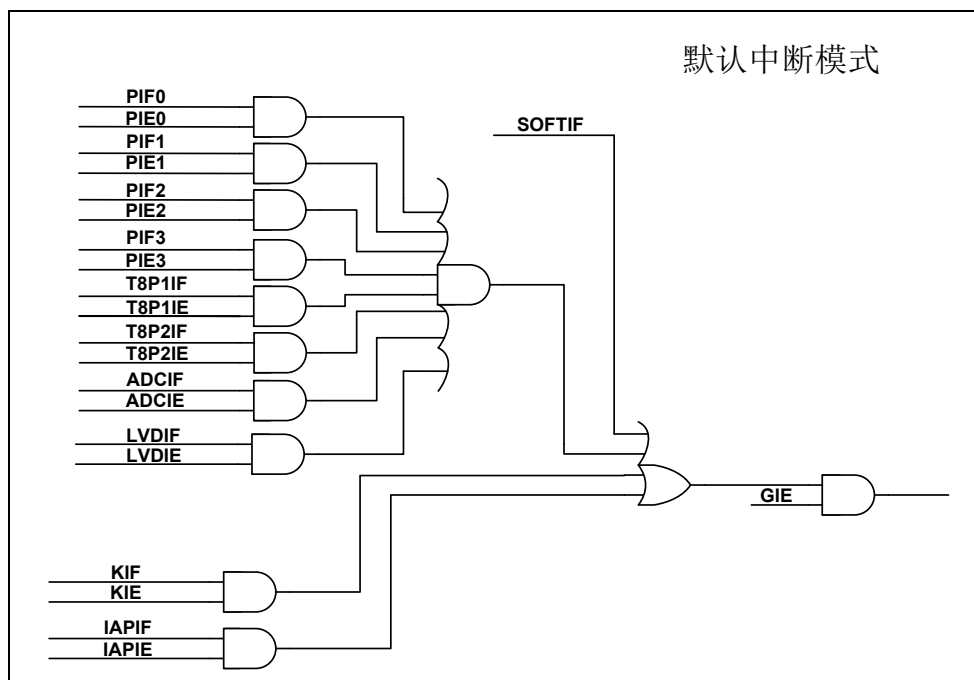


图 7-1 默认中断控制逻辑

7.3 默认中断模式

默认中断的中断入口地址位于 0004_H 。用户需通过中断服务程序对各中断标志及中断使能位进行判断，确认引起中断操作的中断源，从而执行相应的中断服务子程序。该模式不支持中断优先级配置。

序号	中断名	中断标志	中断使能	按键屏蔽	全局使能	备注
1	软中断	SOFTIF	—	—	GIE	—
2	KINT	KIF	KIE	KMSKx	GIE	—
3	IAPINT	IAPIF	IAPIE	—	GIE	—
4	PINT0	PIF0	PIE0	—	GIE	—
5	PINT1	PIF1	PIE1	—	GIE	—
6	PINT2	PIF2	PIE2	—	GIE	—
7	PINT3	PIF3	PIE3	—	GIE	—
8	LVDINT	LVDIF	LVDIE	—	GIE	—
9	T8P1INT	T8P1IF	T8P1IE	—	GIE	—
10	T8P2INT	T8P2IF	T8P2IE	—	GIE	—
11	ADINT	ADIF	ADIE	—	GIE	—

表 7-1 默认中断模式使能配置表

7.4 中断现场保护

中断现场保护是中断服务程序中一个很重要的组成部分。

指令系统中有 **PUSH**（压栈）和 **POP**（出栈）指令，可以方便的实现当前工作状态的保存和恢复。**A**、**PSW**、**PCRH** 和 **BKSR** 寄存器，分别有各自的两级镜像寄存器 **AS1**、**PSWS1**、**PCRHS1**、**BKSRS1** 和 **AS0**、**PSWS0**、**PCRHS0**、**BKSRS0**，用于对相应寄存器的保存和恢复。镜像寄存器无物理地址，他们只能通过 **PUSH** 和 **POP** 指令自动完成相应的保存与恢复动作，两级镜像寄存器采用堆栈的操作方式。

7.5 中断操作

若中断事件条件产生，相关中断标志将被置为“1”。中断标志产生后程序要跳转至相应的服务程序地址执行，需满足以下条件：

- 1) 对应中断使能位为“1”，继续判断中断标志是否为“1”；当对应中断使能位为“0”时，即使中断标志为“1”，中断也不会发生，程序也不会跳转至中断服务程序地址执行。
- 2) 当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”时，程序将跳至中断服务程序地址执行。

7.5.1 外部中断

当 PINTx 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINTx 外部端口中断，相应的中断标志 PIFx 被置“1”。当全局中断控制位 GIE、外部端口中断控制位 PIEx 都被置为“1”时，则向 CPU 发出 PINTx 外部端口中断请求。当中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

需要注意的是，相应中断标志位 PIFx 和中断使能位 PIEx 都需通过软件清除，INTC1 寄存器用于配置触发条件，可分别配置为上升沿触发、下降沿触发或双沿触发。

7.5.2 外部按键中断

当 KINx 复用端口被配置为数字输入端口，未被屏蔽的按键中任何一个端口输入信号发生电平变化时，将中断标志位 KIF 置为“1”，当外部按键中断控制位 KIE 为“1”，且全局中断控制位 GIE 使能时，则向 CPU 发出外部按键中断请求。当外部按键中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

使用外部按键中断时，须配置相应的控制寄存器，并且使能外部按键中断端口的内部弱上拉电阻。

在按键中断使能（KMSKx=1，KIE=1）前，先对端口寄存器进行读或者写的操作，清除中断标志位，以免误产生中断。

清除该中断标志位 KIF 的操作步骤如下：

- 1) 对端口寄存器进行读或者写操作，清除端口电平与锁存器值不匹配的条件；
- 2) 软件清除中断标志位 KIF。

中断使能位 KIE 也需要通过软件进行清除。

7.5.3 T8Px匹配中断

8 位时基定时器 T8Px 两种工作模式都可产生匹配中断。

◇ 定时器模式

T8Px 在定时器模式下对计数时钟进行递增计数，当 T8Px 的计数值与周期寄存器 T8PxP 相等时，T8Px 被自动清零并重新开始计数，同时后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，产生匹配中断。

◇ PWM 输出模式

T8Px 在 PWM 输出模式下进行递增计数,当 T8Px 的计数值与周期寄存器 T8PxP 相等时,产生匹配中断。

T8Px 匹配中断产生时,将中断标志 T8PxIF 位置“1”。当 T8Px 匹配中断使能位 T8PxIE 置为“1”,且全局中断控制位 GIE 使能时,则向 CPU 发出 T8Px 匹配中断请求。当 T8Px 匹配中断条件允许时,系统将进入相应中断的服务程序入口地址,进行中断程序处理。需要注意的是,T8Px 匹配中断标志位 T8PxIF 和中断使能位 T8PxIE 都需通过软件清除。

7.5.4 LVD中断

当 VDD 电压小于 LVDC 寄存器设置的阈值电压时,低电压中断产生,中断标志 LVDIF 位被置“1”。如果中断使能位 LVDIE 置为“1”,且全局中断控制位 GIE 使能时,则向 CPU 发出 LVD 中断请求。当 LVD 中断条件允许时,系统将进入相应中断的服务程序入口地址,进行中断程序处理。需要注意的是,LVD 中断标志位 LVDIF 和中断使能位 LVDIE 都需通过软件清除。

7.5.5 ADC中断

当 ADC 转换完成时,ADC 中断产生,中断标志 ADIF 位被置“1”。当 ADC 中断使能位 ADIE 置为“1”,且全局中断控制位 GIE 使能时,则向 CPU 发出 ADC 中断请求。当 ADC 中断条件允许时,系统将进入相应中断的服务程序入口地址,进行中断程序处理。需要注意的是,ADC 中断标志位 ADIF 和中断使能位 ADIE 都需通过软件清除。

7.5.6 中断操作注意事项

用户在使能中断前需先清除相应的中断标志,避免中断的误触发。

除只读的中断标志(由硬件清除)外,其余的中断标志必须通过软件清除。

为避免中断的发生与中断标志清除操作冲突时,清除中断标志不成功,建议用户在进行中断标志清除操作后,对中断标志清除成功与否进行软件判断。如果操作不成功则再次进行中断标志清除操作,直到中断标志清除成功为止。用户也可以连续执行两次中断标志清除操作达到相同目的。

7.5.7 特殊功能寄存器

中断功能由一系列的控制寄存器控制。

INTF0: 中断标志寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	ADIF	—	—	—	T8P2IF	T8P1IF	KIF	IAPIF
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 ADIF: ADC 中断标志位

0: ADC 未产生中断

1: ADC 产生中断(必须软件清零)

Bit 6-4 保留

Bit 3 T8P2IF: T8P2 中断标志位

0: T8P2 计数器计数未发生匹配

1: T8P2 计数器计数发生匹配(必须软件清零)

- Bit 2 T8P1IF: T8P1 中断标志位
0: T8P1 计数器计数未发生匹配
1: T8P1 计数器计数发生匹配 (必须软件清零)
- Bit 1 KIF: 外部按键中断标志位
0: 外部按键端口无电平变化
1: 外部按键端口有电平变化 (必须软件清零)
- Bit 0 IAPIF: IAP 中断标志位
0: IAP 未产生中断
1: IAP 产生中断 (必须用软件清零)

INTE0: 中断使能寄存器 0

Bit	7	6	5	4	3	2	1	0
Name	ADIE	—	—	—	T8P2IE	T8P1IE	KIE	IAPIE
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 ADIE: ADC 中断使能位
0: 禁止
1: 使能
- Bit 6-4 保留
- Bit 3 T8P2IE: T8P2 中断使能位
0: 禁止
1: 使能
- Bit 2 T8P1IE: T8P1 中断使能位
0: 禁止
1: 使能
- Bit 1 KIE: 外部按键中断使能位
0: 禁止
1: 使能
- Bit 0 IAPIE: IAP 中断使能位
0: 禁止
1: 使能

INTF1: 中断标志寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	LVDIF	PIF3	PIF2	PIF1	PIF0
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7-5 保留
- Bit 4 LVDIF: LVD 中断标志位
0: LVD 未检测到预设低电压
1: LVD 检测到预设低电压 (必须用软件清零)
- Bit 3 PIF3: PINT3 外部端口中断标志位
0: 外部端口上无中断信号

- 1: 外部端口上有中断信号（必须用软件清零）
- Bit 2 PIF2: PINT2 外部端口中断标志位
- 0: 外部端口上无中断信号
- 1: 外部端口上有中断信号（必须用软件清零）
- Bit 1 PIF1: PINT1 外部端口中断标志位
- 0: 外部端口上无中断信号
- 1: 外部端口上有中断信号（必须用软件清零）
- Bit 0 PIF0: PINT0 外部端口中断标志位
- 0: 外部端口上无中断信号
- 1: 外部端口上有中断信号（必须用软件清零）

INTE1: 中断使能寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	LVDIE	PIE3	PIE2	PIE1	PIE0
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7-5 保留
- Bit 4 LVDIE: LVD 中断使能位
- 0: 禁止
- 1: 使能
- Bit 3 PIE3: PINT3 外部端口中断使能位
- 0: 禁止
- 1: 使能
- Bit 2 PIE2: PINT2 外部端口中断使能位
- 0: 禁止
- 1: 使能
- Bit 1 PIE1: PINT1 外部端口中断使能位
- 0: 禁止
- 1: 使能
- Bit 0 PIE0: PINT0 外部端口中断使能位
- 0: 禁止
- 1: 使能

INTC0: 中断控制寄存器 0

Bit	7	6	5	4	3	2	1	0
Name	KMSK7	KMSK6	KMSK5	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 KMSK7: KIN7 按键输入屏蔽位
- 0: 屏蔽
- 1: 不屏蔽
- Bit 6 KMSK6: KIN6 按键输入屏蔽位
- 0: 屏蔽
- 1: 不屏蔽

Bit 5	KMSK5: KIN5 按键输入屏蔽位 0: 屏蔽 1: 不屏蔽
Bit 4	KMSK4: KIN4 按键输入屏蔽位 0: 屏蔽 1: 不屏蔽
Bit 3	KMSK3: KIN3 按键输入屏蔽位 0: 屏蔽 1: 不屏蔽
Bit 2	KMSK2: KIN2 按键输入屏蔽位 0: 屏蔽 1: 不屏蔽
Bit 1	KMSK1: KIN1 按键输入屏蔽位 0: 屏蔽 1: 不屏蔽
Bit 0	KMSK0: KIN0 按键输入屏蔽位 0: 屏蔽 1: 不屏蔽

INTC1: 中断控制寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PEG3	PEG2	PEG1	PEG0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4	保留
Bit 3	PEG3: PINT3 触发边沿选择位 0: PINT3 下降沿触发 1: PINT3 上升沿触发
Bit 2	PEG2: PINT2 触发边沿选择位 0: PINT2 下降沿触发 1: PINT2 上升沿触发
Bit 1	PEG1: PINT1 触发边沿选择位 0: PINT1 下降沿触发 1: PINT1 上升沿触发
Bit 0	PEG0: PINT0 触发边沿选择位 0: PINT0 下降沿触发 1: PINT0 上升沿触发

PINTS: 外部中断端口选择寄存器

Bit	7	6	5	4	3	2	1	0
Name	PINT3S<1:0>		PINT2S<1:0>		PINT1S<1:0>		PINT0S<1:0>	
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

Bit 7~6	PINT3S<1:0>: PINT3 中断源选择位
---------	---------------------------

	00: PA7
	01: PA5
	10: PB3
	11: 保留
Bit 5~4	PINT2S<1:0>: PINT2 中断源选择位
	00: PA6
	01: PA4
	10: PB2
	11: 保留
Bit 3~2	PINT1S<1:0>: PINT1 中断源选择位
	00: PA1
	01: PA3
	10: PB1
	11: PB5
Bit 1~0	PINT0S<1:0>: PINT0 中断源选择位
	00: PA0
	01: PA2
	10: PB0
	11: PB4

注：此寄存器只可写，不可读；因此，此寄存器赋值需使用 MOVA、MOVAR 指令。

INTG: 中断全局寄存器								
Bit	7	6	5	4	3	2	1	0
Name	GIE	—	—	—	—	—	SOFTIF	—
R/W	R/W	—	—	—	—	—	R/W	—
POR	0	0	0	0	0	0	0	0

Bit 7	GIE: 全局中断使能位，或高优先级中断使能位
	0: 禁止所有的中断
	1: 使能所有未屏蔽的中断
Bit 6-2	保留
Bit 1	SOFTIF: 软中断标志位
	0: 无软件中断
	1: 有软件中断
Bit 0	保留

第8章 芯片配置字

芯片的各种功能配置由芯片配置字和各功能相关寄存器共同设置完成。

名称	芯片配置字 (CFG_WORD0)	
Reserved	bit0	保留
CLKOEB	bit1	时钟信号输出使能 0: PA4 输出系统时钟 1: PA4 作为 GPIO
MRSTEN	bit2	MRSTN/PA3 管脚功能选择位 0: 管脚用于 GPIO PA3 1: 管脚用于外部复位 MRSTN, 带内部弱上拉。
WDTEN	bit3	硬件看门狗使能位 0: 禁止 1: 使能
PWRTEB	bit4	上电延时定时器使能位 0: 使能 1: 禁止
ICDEB	bit5	调试模式使能位 0: 使能 1: 禁止
DBGCEB	bit6	调试模式下计数器控制位 ICD 调试模式下, 系统 halt 时, 定时计数器的计数停止使能位, 该位仅影响 WDT、T20、T21 功能模块 0: 禁止, 系统 halt 时, 定时计数器的不会停止计数 1: 使能, 系统 halt 时, 定时计数器的停止计数
BOREN	bit7	掉电复位使能位 0: 禁止 1: 使能
Reserved	bit9-8	保留
IAPEN	bit10	IAP 操作使能位 0: 使能 1: 禁止
Reserved	bit11	保留
Reserved	bit13-12	保留
BORVS	Bit15-14	BOR 电压选择位 11 3.4v 10 2.7v 01 2.2v 00 禁止

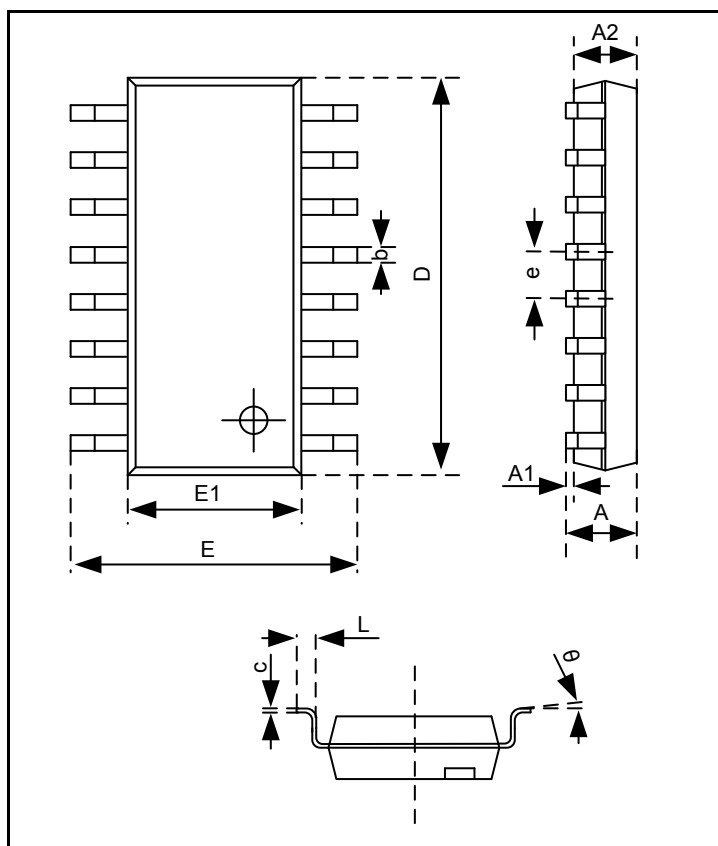
表 8-1 芯片配置字 CFG_WORD0

名称	芯片配置字 (CFG_WORD1)	
Reserved	bit0	保留为 0,该位禁止写 1, 否则芯片功耗异常
DFLT_CLK	Bit1	唤醒后时钟选择位 0: 进入睡眠前系统时钟 1: LRC (32KHz) 时钟 (缺省值)
VR_LP2HP	Bit2	唤醒时 VR 从 LP 模式切换到 HP 模式时 Flash 上电延时设定 0: LP 切换至 HP 时, Flash 电源打开等待时间为 3 个 WDT 时钟 1: LP 切换至 HP 时, Flash 电源打开等待时间为 15 个 WDT 时钟
Reserved	Bit3	保留
BORFLTSEL	Bit6-4	BOR 滤波时间长度选择位 (32KHz LRC 时钟个数) 3'b000: 7 (218.75us) 3'b001: 1 (31.25us) 3'b010: 2 (62.5us) ... 3'b110: 6 (187.5us) 3'b111: 7 (218.75us) (缺省值)
LVDIAPTEN	bit7	LVD 终止 IAP 编程或擦除使能位 0: 禁止 LVD 终止 IAP 编程或页擦 1: 使能 LVD 终止 IAP 编程或页擦

表 8-2 芯片配置字 CFG_WORD1

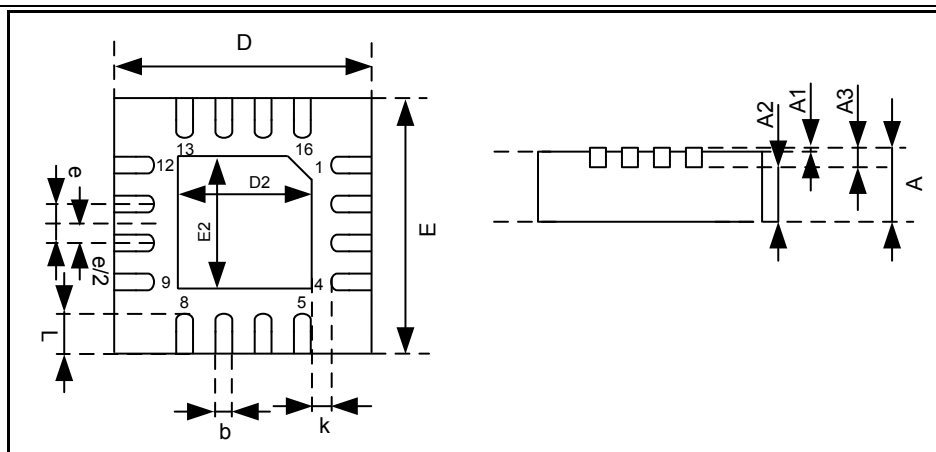
第9章 芯片封装图

9.1 SOP16 封装尺寸图



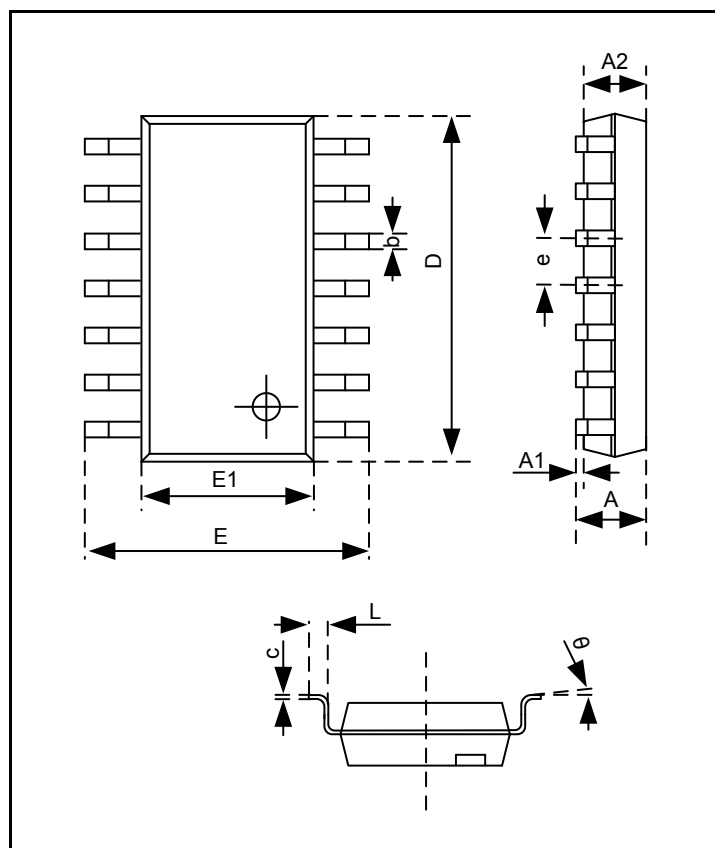
标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.77
A1	0.08	0.18	0.28
A2	1.20	1.40	1.60
b	0.39	—	0.48
c	0.21	—	0.26
D	9.70	9.90	10.10
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	1.27 (BSC)		
L	0.50	0.65	0.80
θ	0°	—	8°

9.2 QFN16 封装尺寸图



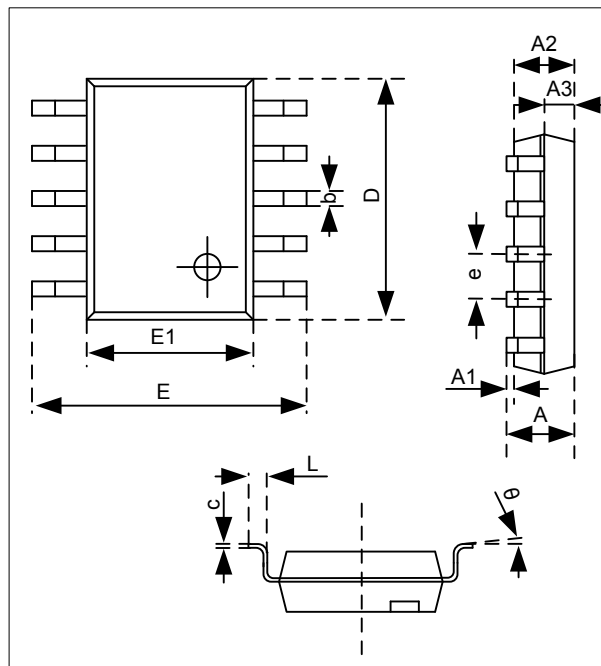
标号	公制 (mm)		
	MIN	NOM	MAX
A	0.7	0.75	0.8
A1	0	0.02	0.05
A2	---	0.55	---
A3	0.203 REF		
b	0.18	0.23	0.28
D	3 BSC		
E	3 BSC		
e	0.5 BSC		
D2	1.6	1.7	1.8
E2	1.6	1.7	1.8
L	0.25	0.35	0.45
K	0.3 REF		

9.3 SOP14 封装尺寸图



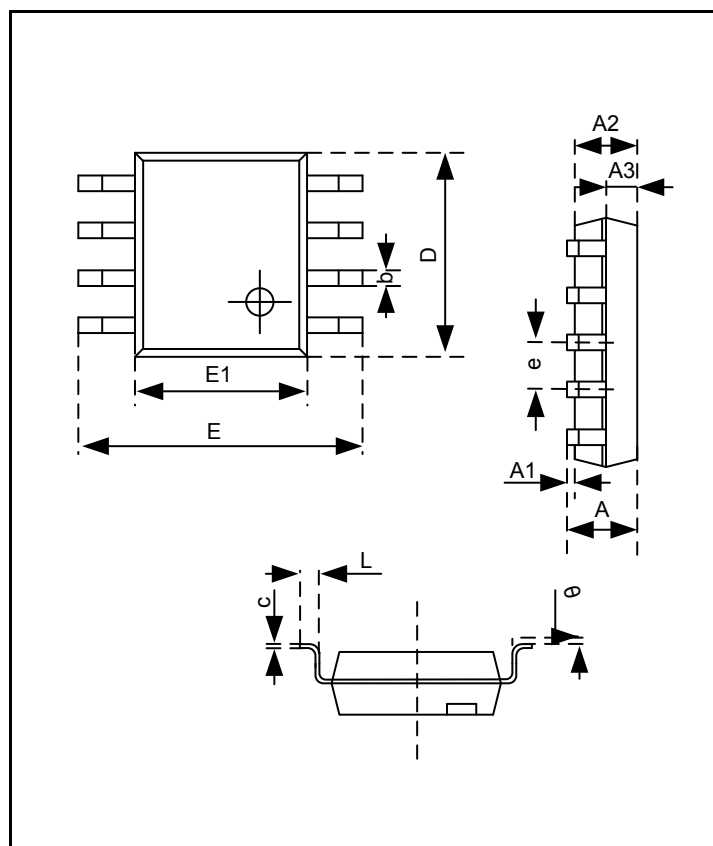
标号	公制 (mm)		
	MIN	NOM	MAX
A	1.35	1.55	1.75
A1	0.075	0.175	0.275
A2	1.18	1.38	1.58
b	0.406	—	0.496
c	0.178	—	0.278
D	8.45	8.65	8.85
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	—	1.27(BSC)	—
L	0.55	0.65	0.75
θ	0°	—	7°

9.4 MSOP10 封装尺寸图



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.10
A1	0.05	—	0.15
A2	0.75	0.85	0.95
A3	0.30	0.35	0.40
b	0.19	—	0.28
c	0.15	—	0.20
D	2.90	3.00	3.10
E	4.70	4.90	5.10
E1	2.90	3.00	3.10
e	0.50 (BSC)		
L	0.40	—	0.70
θ	0°	—	8°

9.5 SOP8 封装尺寸图



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.10	—	0.225
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.39	—	0.47
c	0.20	—	0.24
D	4.80	4.90	5.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27 (BSC)		
L	0.25	—	0.50
θ	0°	—	8°

附录1 指令集

附录1.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与链接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分，操作码部分对应到指令本身。

芯片运行在 4MHz 主系统时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、LCALL、RCALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 寄存器操作指令

序号	指令		影响状态位	机器周期	操作
1	SECTION	I<7:0>	—	1	I<7:0>->BKSR<7:0>
2	PAGE	I<8:0>	—	1	I<4:0>->PCRH<7:3>
3	ISTEP	I<7:0>	—	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	—	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	—	1	(A)->(R)
7	MOVAR	R<10:0>	—	1	(A)->(R<10:0>)
8	MOVRA	R<10:0>	—	1	(R<10:0>)->(A)

附录表 1-1 寄存器操作指令表

附录1.3 程序控制指令

序号	指令		影响状态位	机器周期	操作
9	JUMP	I<7:0>	—	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	—	2	I<13:0>->PC<13:0> I<13:8>->PCRH<5:0>
11	GOTO	I<10:0>	—	2	I<10:0>->PC<10:0>, PCRH<5:3>->PC<13:11>
12	CALL	I<10:0>	—	2	PC+1->TOS,I<10:0>->PC<10:0>, PCRH<5:3>->PC<13:11>
13	LCALL	I<19:0>	—	2	PC+1->TOS,I<13:0>->PC<13:0> I<13:8>->PCRH<5:0>
14	RCALL	R<7:0>	—	2	PC+1→TOS, (R)→PC<7:0>, PCRH<5:0>→PC<13:8>,
15	JBC	R<7:0>,B<2:0>	—	2	当 R = 0 时跳过下一条指令
16	JBS	R<7:0>,B<2:0>	—	2	当 R = 1 时跳过下一条指令
17	JCAIE	I<7:0>	—	2	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	—	2	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	—	2	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	—	2	当(R) = (A)时跳过下一条指令
21	JCRAG	R<7:0>	—	2	当(R) > (A)时跳过下一条指令
22	JCRAL	R<7:0>	—	2	当(R) < (A)时跳过下一条指令
23	JCCRE	R<7:0>,B<2:0>	—	2	当 C = R(B)时跳过下一条指令
24	JCCRG	R<7:0>,B<2:0>	—	2	当 C > R(B)时跳过下一条指令
25	JCCRL	R<7:0>,B<2:0>	—	2	当 C < R(B)时跳过下一条指令
26	JDEC	R<7:0>,F	—	2	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>,F	—	2	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	—	—	1	空操作
29	POP	—	—	1	AS->A,PSWS->PSW, BKSR->BKSRs,PCRHS->PCRH
30	PUSH	—	—	1	A->AS,PSW->PSWS, BKSR->BKSRs,PCRH->PCRHS
31	RET	—	—	2	TOS->PC
32	RETIA	I<7:0>	—	2	I->(A),TOS->PC
33	RETIE	—	—	2	TOS->PC,1->GIE
34	RST	—	全部状态位 均被影响	1	软件复位指令
35	CWDT	—	N_TO,N_PD	1	00H->WDT,0->WDTPrescaler, 1-> N_TO, 1-> N_PD
36	IDLE	—	N_TO,N_PD	1	00H->WDT,0->WDTPrescaler,

序号	指令	影响状态位	机器周期	操作
				1-> N_TO, 0-> N_PD

附录表 1-2 程序控制指令表

附录1.4 算术/逻辑运算指令

序号	指令		影响状态位	机器周期	操作
37	ADD	R<7:0>,F	C,DC, Z,OV,N	1	(R)+(A)->(目标)
38	ADDC	R<7:0>,F	C,DC,Z,OV,N	1	(R)+(A)+C->(目标)
39	ADDCI	I<7:0>	C,DC,Z,OV,N	1	I+(A)+C->(A)
40	ADDI	I<7:0>	C,DC,Z,OV,N	1	I+(A)->(A)
41	AND	R<7:0>,F	Z,N	1	(A).AND.(R)->(目标)
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	—	1	0->R
44	BSS	R<7:0>,B<2:0>	—	1	1->R
45	BTT	R<7:0>,B<2:0>	—	1	(~R)->R
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	—	1	FF _H ->(R)
48	NEG	R<7:0>	C,DC,Z,OV,N	1	~(R)+1->(R)
49	COM	R<7:0>,F	Z,N	1	(~R)->(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整->(目标)
51	DAA	—	C	1	对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C,DC,Z,OV,N	1	(R-1)->(目标)
53	INC	R<7:0>,F	C,DC,Z,OV,N	1	(R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	C<< R<7:0> <<C
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	R<7:0> << R<7>
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	C>> R<7:0> >>C
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	R<0> >> R<7:0>
60	SUB	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)->(目标)
61	SUBC	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C, DC, Z,OV,N	1	I-(A)- (~C)->(A)
63	SUBI	I<7:0>	C, DC, Z,OV,N	1	I-(A)->(A)
64	SSUB	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)- (~C)->(目标)
66	SSUBCI	I<7:0>	C, DC, Z,OV,N	1	(A)-I- (~C)->(A)
67	SSUBI	I<7:0>	C, DC, Z,OV,N	1	(A)-I->(A)
68	SWAP	R<7:0>,F	—	1	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR	—	—	2	Pmem(FRA)->ROMD
70	TBR#1	—	—	2	Pmem(FRA)-> ROMD,

序号	指令	影响状态位	机器周期	操作
				FRA+1->FRA
71	TBR_1	—	2	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#	—	2	FRA+1->FRA, Pmem(FRA)-> ROMD
73	TBW	—	2	ROMD->prog buffer
74	TBW#1	—	2	ROMD>prog buffer, FRA+1->FRA
75	TBW_1	—	2	ROMD->prog buffer, FRA-1->FRA
76	TBW1#	—	2	FRA+1->FRA, ROMD->prog buffer
77	XOR	R<7:0>, F	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	1	I.XOR.(A)->(A)

附录表 1-3 算术/逻辑运算指令表

注：指令集说明

- 1: i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位。
- 2: C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
- 3: TOS—顶级堆栈。
- 4: 如果 F = 0， 则目标寄存器为寄存器 A； 如果 F = 1， 则目标寄存器为寄存器 R。
- 5: 79 条指令中另有一条 NOP 指令未在上表中描述。
- 6: SECTION 指令中， N 的位数， 视实际芯片而定。对本芯片， 通用数据存储器 GPR 分为 12 个存储体组， 所以 N 的位数是 4 位。
- 7: PAGE 指令中， N 的位数， 视实际芯片而定。对本芯片， 没有 PCRU 寄存器， N 的位数是 3 位。
- 8: PC 的位数以及 PCRU 寄存器， 视实际芯片而定。对本芯片， PC 的位数是 14 位， 没有 PCRU 寄存器。

附录2 特殊功能寄存器总表

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FF80 _H	IAD	IAD<7:0>								0000 0000
FF81 _H	IAAL	IAAL<7:0>								0000 0000
FF82 _H	IAAH	IAAH<7:0>								0000 0000
FF84 _H	PSW	-	UF	OF	N	OV	Z	DC	C	000x xxxx
FF85 _H	AREG	A<7:0>								xxxx xxxx
FF86 _H	PCRL	PCRL<7:0>								0000 0000
FF87 _H	PCRH	-	-	-	-	PCRH<3:0>				0000 0000
FF8B _H	FRAL	FRAL<7:0>								0000 0000
FF8C _H	FRALN	FRALN<7:0>								0000 0000
FF8D _H	FRAH	FRAH<7:0>								0000 0000
FF8E _H	FRAHN	FRAHN<7:0>								0000 0000
FF8F _H	ROMDL	ROMDL<7:0>								xxxx xxxx
FF90 _H	ROMDH	ROMDH<7:0>								xxxx xxxx
FF91 _H	INTG	GIE	-	-	-	-	-	SOFTIF	-	0000 0000
FF93 _H	INTC0	KMSK7	KMSK6	KMSK5	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0	0000 0000
FF94 _H	INTE0	ADIE	-	-	-	T8P2IE	T8P1IE	KIE	IAPIE	0000 0000
FF95 _H	INTF0	ADIF	-	-	-	T8P2IF	T8P1IF	KIF	IAPIF	0000 0000
FF96 _H	INTC1	-	-	-	-	PEG3	PEG2	PEG1	PEG0	0000 0000
FF97 _H	INTE1	-	-	-	LVDIE	PIE3	PIE2	PIE1	PIE0	0000 0000
FF98 _H	INTF1	-	-	-	LVDIF	PIF3	PIF2	PIF1	PIF0	0000 0000
FF9D _H	PWRC	SBOREN	SMRSTEN	—	IRSTB	TOB	PDB	PORB	BORB	0001 1100
FF9F _H	PA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	xxxx xxxx
FFA0 _H	PB	-	-	PB5	PB4	PB3	PB2	PB1	PB0	xxxx xxxx
FFA1 _H	PAT	PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	PAT1	PAT0	1111 1111

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FFA2 _H	PBT	-	-	PBT5	PBT4	PBT3	PBT2	PBT1	PBT0	0011 1111
FFA3 _H	N_PAU	N_PAU<7:0>								1111 0111
FFA4 _H	N_PBU	-	-	N_PBU<5:0>						0011 1111
FFAD _H	ANS0	ANS0<7:0>								1111 0100
FFAE _H	ANS1	-	-	ANS1<5:0>						0000 1111
FFAF _H	N_PAD	N_PAD<7:0>								1111 1111
FFB0 _H	N_PBD	-	-	N_PBD<5:0>						0011 1111
FFB1 _H	PINTS	PINT3S<1:0>		PINT2S<1:0>		PINT1S<1:0>		PINT0S<1:0>		0000 0000
FFB4 _H	T8P1	T8P1<7:0>								0000 0000
FFB5 _H	T8P1C	T8P1M	T8P1POS<3:0>				T8P1E	T8P1PRS<1:0>		0000 0000
FFB6 _H	T8P1P	T8P1P<7:0>								1111 1111
FFB7 _H	T8P1RL	T8P1RL<7:0>								0000 0000
FFB8 _H	T8P1RH	T8P1RH<7:0>								0000 0000
FFB9 _H	T8P1OC	-	-	T8P1PEN<1:0>		T8P1NEN<1:0>		PWM11EN	PWM10EN	0000 0000
FFBA _H	EPWM1C	T8P1PMS	P1M1	-	PWM1_CKS	-	-	EPWM1M<1:0>		0000 0000
FFBB _H	PDD1C	PRSEN1	PDD1C<6:0>							0000 0000
FFBC _H	TE1AS	EPWM1ASF	-	-	EPWM1AS0	-	-	PSS1BD<1:0>		0000 0000
FFBD _H	T8P2	T8P2<7:0>								0000 0000
FFBE _H	T8P2C	T8P2M	T8P2POS<3:0>				T8P2E	T8P2PRS<1:0>		0000 0000
FFBF _H	T8P2P	T8P2P<7:0>								1111 1111
FFC0 _H	T8P2RL	T8P2RL<7:0>								0000 0000
FFC1 _H	T8P2RH	T8P2RH<7:0>								0000 0000
FFC2 _H	T8P2OC	-	-	T8P2PEN<1:0>		T8P2NEN<1:0>		PWM21EN	PWM20EN	0000 0000
FFC3 _H	EPWM2C	T8P2PMS	P1M2-	-	PWM2_CKS	-	-	EPWM2M<1:0>		0000 0000
FFC4 _H	PDD2C	PRSEN2	PDD2C<6:0>							0000 0000
FFC5 _H	TE2AS	EPWM2ASF	-	-	EPWM2AS0	-	-	PSS2BD<1:0>		0000 0000

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FFCF _H	ADCRL	ADCRL<7:0>								0000 0000
FFD0 _H	ADCRH	ADCRH<7:0>								0000 0000
FFD1 _H	ADCTL0	ADCH<2:0>			ADSDIF	ADEOC	ADSOC	ADCMS	ADEN	0000 0000
FFD2 _H	ADCTL1	ADFM	ADCKS<2:0>			ADDISH	ADRSTST	ADRSTMD	ADSRST	1000 0000
FFD3 _H	ADCTL2	ADVREFS<2:0>			TRIGS	TRIGPEG	TRIGEN	-	-	0000 0000
FFE0 _H	WDTC	-	-	-	SWDTEN	WDTIEN	WDTPRS<2:0>			0001 1111
FFE1 _H	WDTUL	WDTUL<7:0>								0000 0000
FFE2 _H	OSCC1	CHG	DIVS<2:0>			-	SST	-	SCKS	0000 0000
FFE3 _H	OSCC2	CLKOEN	-	HRCON	LRCON	CLKFLT_RDY	CLKFLT_EN	HRCEN	HFS	0010 1100
FFE4 _H	OSCWP	OSCWP<7:0>								0000 0000
FFE5 _H	CLKG	-	-	ADCE	-	-	T8P2CE	T8P1CE	-	0010 0110
FFE6 _H	PWRCWP	PWRCWP<7:0>								0000 0000
FFE7 _H	LVDC	LVDS<1:0>		—	LVDFLTEN	LVDIFS<1:0>		LVDO	LVDEN	0000 0000
FFE9 _H	IAPUL	IAPUL<7:0>								0000 0000
FFEA _H	IAPC	ERSTWT<3:0>				PRGTWT<1:0>		IAPCLR	-	0110 0000
FFEB _H	IAPERSS	IAPERSS<7:0>								0000 0000
FFEC _H	IAPPRGS	IAPPRGS<7:0>								0000 0000
FFED _H	IAPS	-	-	-	ERSS_ERR	PRGS_ERR	-	IAP_DONE	IAP_LVDIF	1100 0000
FFFE _H	USRCFG0	USRCFG0<7:0>								0001 1000
FFFF _H	USRCFG1	USRCFG1<7:0>								0010 0000

附录3 电气特性

附录3.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 5.5	V
输入电压	VIN	-	-0.3 ~ VDD + 0.3	V
输出电压	VOUT	-	-0.3 ~ VDD + 0.3	V
存储温度	TSTG	-	-55 ~ 125	°C
操作温度	TOPR	VDD: 2.1 ~ 5.5V	-40 ~ 85	°C

◆ 上电和下电工作条件

参数	符号	最小值	典型值	最大值	单位	测试条件
上电复位	V _{POR}	—	1.8	—	V	-40°C ~ 85°C 2.1V ≤ VDD ≤ 5.5V
VDD 上电初始电压	V _{start}	0	—	0.2	V	
VDD 上升速率	t _{VDD}	1000	—	—	us/V	
VDD 下降速率		—	20	—	us/V	

◆ ESD 特性参数

参数	符号	等级	最大值	单位	测试条件
ESD 电压（人体模型）	V _{ESDHBM}	3A	4000	V	25°C, MIL-STD-883J
ESD 电压（充电器件模型）	V _{ESDCDM}	C3	2000	V	25°C, JEDEC JS-002-2014
LatchUp 电流	I _{LAT}	I	±350	mA	25°C, JESD78

注：上述 ESD 特性参数值是基于理论设计值和被测样品的测试值，不是批量产品测试值，仅供芯片应用时参考。

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
正常运行程序时芯片供电电压	VDD	2.2		5.5	V	-40℃ ~ 85℃
Flash 编程时芯片供电电压	VDD	2.8		5.5	V	-40℃ ~ 85℃
芯片静态电流	IDD	-	500	-	μA	25℃, VDD = 5V, MRSTN = 0。
IDLE 休眠模式下芯片电流	IPD1					
		-	7.5	-	μA	25℃, VDD = 5V, BOR 和 WDT 使能, LVD 不使能。
		-	8	-	μA	25℃, VDD = 5V, BOR、WDT、LVD 使能。
正常运行模式芯片电流（高速时钟模式）	I _{OP1}	-	1.9	-	mA	25℃, VDD = 5V, 正常运行模式, 内部 16MHz RC 时钟, I/O 端口输出固定电平, 无负载。
正常运行模式芯片电流（高速时钟模式）	I _{OP2}	-	700	-	uA	25℃, VDD = 5V, 正常运行模式, 内部 2MHz RC 时钟（内部 16MHz RC 时钟的 8 分频）, I/O 端口输出固定电平, 无负载。
正常运行模式芯片电流（低速时钟模式）	I _{OP3}	-	500	-	uA	25℃, VDD = 5V, 正常运行模式, 内部 32KHz RC 时钟, BOR 使能, LVD 不使能, I/O 端口输出固定电平, 无负载。
VDD 管脚的最大输入电流	I _{MAXVDD}	-	-	55	mA	25℃, VDD = 5V
VSS 管脚的最大输出电流	I _{MAXVSS}	-	-	120	mA	25℃, VDD = 5V

◆ 芯片输入输出端口特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
IO 端口输入高电平 (有施密特输入特性)	V_{IH}	0.8VDD	-	VDD	V	-40℃ ~ 85℃ 2.1V ≤ VDD ≤ 5.5V
IO 端口输入低电平	V_{IL}	VSS		0.2VDD	V	
IO 端口输出高电平	V_{OH}	VDD-1	-	-	V	-40℃ ~ 85℃ 2.1V ≤ VDD ≤ 5.5V $I_{OH} = 16\text{mA}$
IO 端口输出低电平	V_{OL}	-	-	0.6	V	-40℃ ~ 85℃ 2.1V ≤ VDD ≤ 5.5V $I_{OL} = 9\text{mA}$
IO 端口输入漏电流	I_{IL}	-	-	±1	μA	-40℃ ~ 85℃ 2.1V ≤ VDD ≤ 5.5V VSS ≤ Vpin ≤ VDD (端口处于高阻状态)
IO 端口输入弱下拉电流	I_{WPD}	-	90	-	μA	-40℃ ~ 85℃ 2.1V ≤ VDD ≤ 5.5V Vpin = VDD
IO 端口输入弱上拉电流	I_{WPU}	-	95	-	μA	-40℃ ~ 85℃ 2.1V ≤ VDD ≤ 5.5V Vpin = VSS
IO 端口灌电流	I_{OL}	-	25	-	mA	25℃, VDD = 5V $V_{OL} = 0.6\text{V}$
IO 端口拉电流	I_{OH}	-	20	-	mA	25℃, VDD = 5V $V_{OH} = 4.4\text{V}$

◆ 内部 HRC 时钟特性表

目标值	工作条件	最小值	典型值	最大值	单位
HRC = 16MHz	25℃, VDD = 5V	-1	-	1	%
	-40℃ ~ 85℃, VDD = 2.1V ~ 5.5V	-	3	-	%
HRC = 2MHz	25℃, VDD = 5V	-	10	-	%
	-40℃ ~ 85℃, VDD = 2.1V ~ 5.5V	-	12	-	%

◆ 内部 LRC 时钟特性表

目标值	工作条件	最小值	典型值	最大值	单位
LRC = 32KHz	25℃, VDD = 5V	-2	-	2	%
	-40℃ ~ 85℃, VDD = 2.1V ~ 5.5V	-	10	-	%

◆ ADC 特性表

参数名	符号	说明	最小值	典型值	最大值	单位
分辨率	RR	25℃, VDD=5V, 内部 VDD 参考, f _{ADCCLK} =1MHz,	-	12	-	bit
差分线性度	DNL		-	±3	-	LSB
积分线性度	INL		-	±3	-	LSB
失调误差	Voffset error	25℃, VDD=5V, 内部 VDD 参考 f _{ADCCLK} =1MHz	-	±6	-	LSB
参考电压范围	Vref1	25℃, VDD=5V, 外部参考 VREFP	2	-	VDD	V
	Vref2	25℃, VDD=5V, 内部 VDD 参考	-	VDD	-	V
	Vref3	25℃, VDD=5V, 内部 4.0V 参考	3.92	4.0	4.08	V
	Vref4	25℃, VDD=5V, 内部 3.0V 参考	2.94	3.0	3.06	V
	Vref5	25℃, VDD=5V, 内部 2.1V 参考	2.05	2.1	2.15	V
ADC 工作时芯片供电电压	Vpow	内部 VDD 参考或外部 VREFP 参考	2.5 ^{*1}	-	-	V
		内部参考 2.1V	3 ^{*1}	-	-	V
		内部参考 3.0V	3.5 ^{*1}	-	-	V
		内部参考 4.0V	4.5 ^{*1}	-	-	V
模拟电压输入范围	VIN	-	0	-	Vref1 ~ Vref5	V
内部采样电容	CIN	-	-	5 ^{*1}	-	pF
采样开关电阻	RIN	-	-	4 ^{*1}	-	KΩ

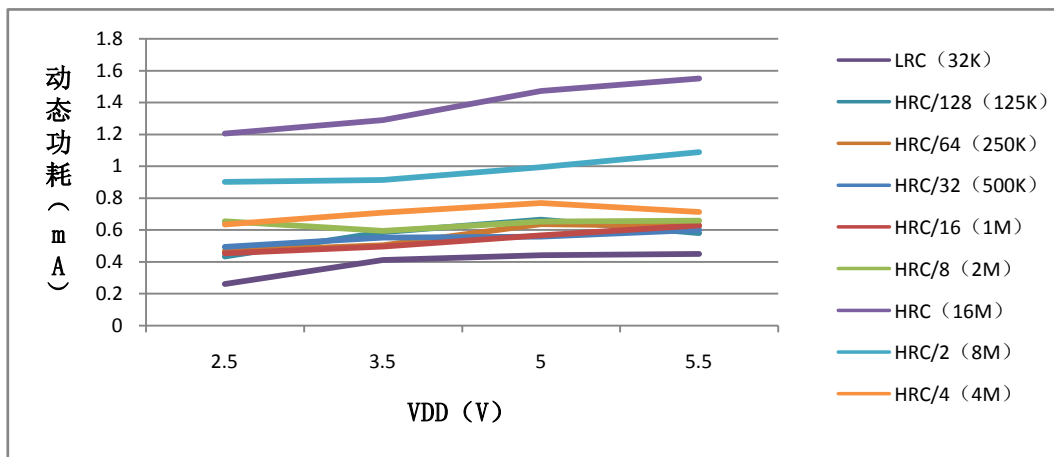
注*1: 此处参数为设计理论值;

附录3.2 参数特性图

本节中所列图示未经过量产测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

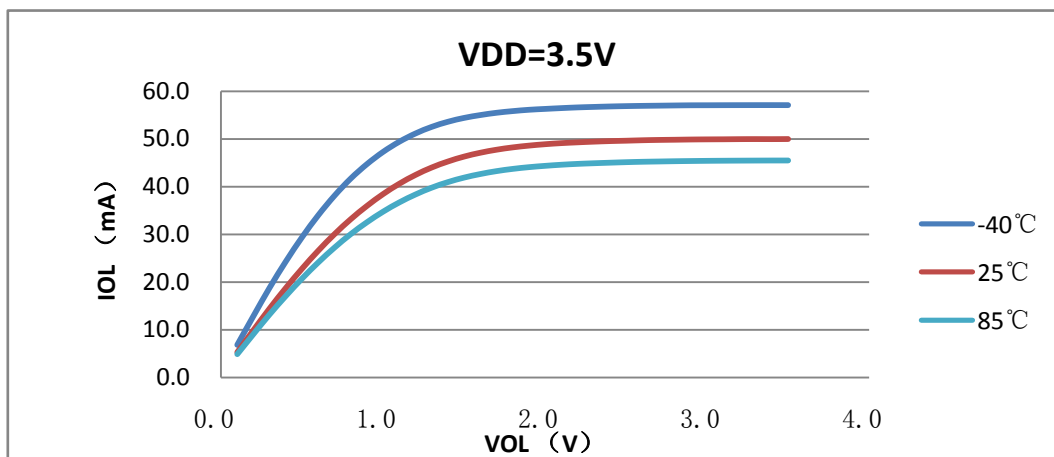
◆ 正常运行模式下芯片电流随时钟频率变化图

(Fosc 时钟源为内部 16MHz RC 时钟的不同分频，室温 25℃)

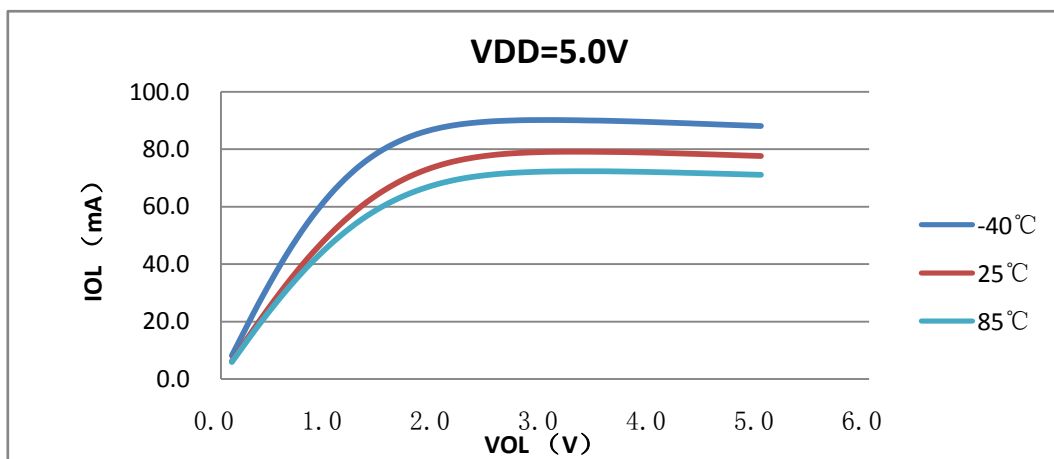


◆ I/O 端口特性图

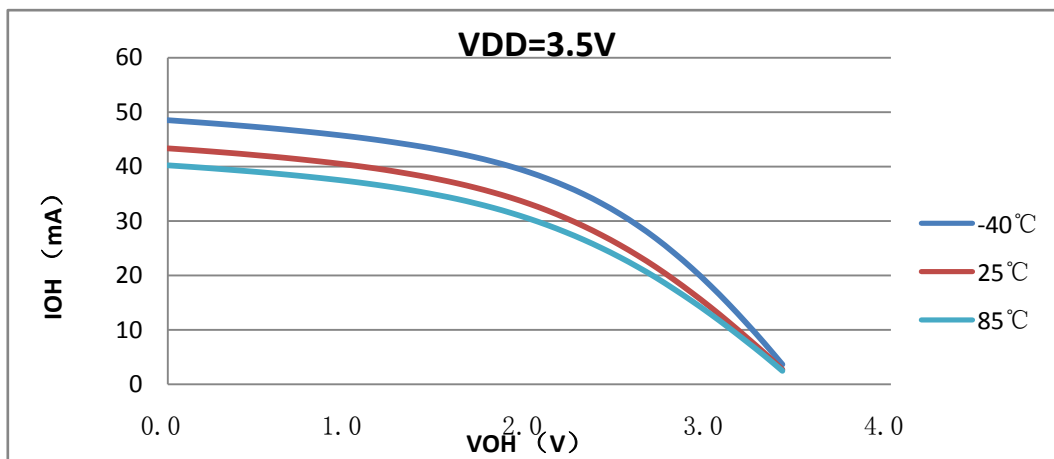
◇ I_{OL} vs V_{OL} @VDD=3.5V



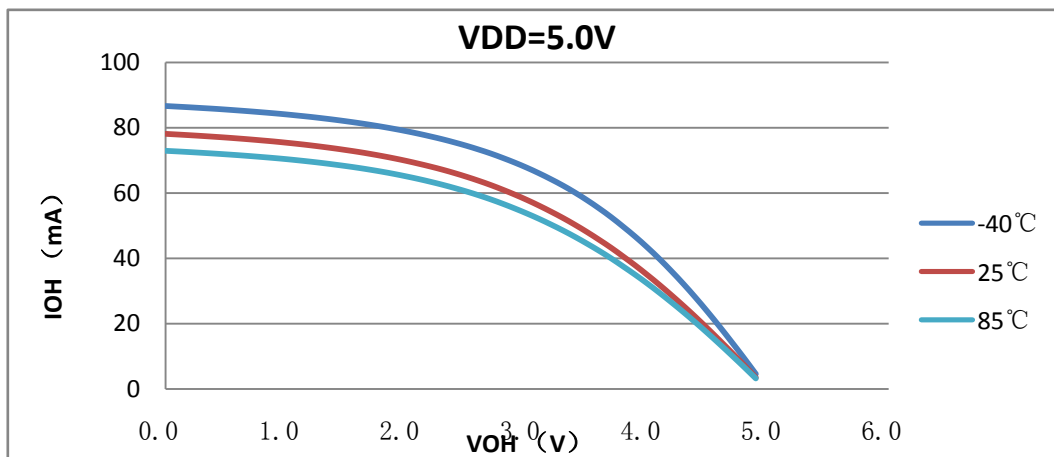
◇ I_{OL} vs V_{OL} @VDD=5.0V



◇ I_{OH} vs V_{OH} @VDD=3.5V



◇ I_{OH} vs V_{OH} @VDD=5.0V



◇ I/O 端口信号输入特性图（室温 25°C）

