SinoMCU 8 位单片机

MC30P6230

用户手册

V1.0

上海晟矽微电子股份有限公司

Shanghai SinoMCU Microelectronics Co., Ltd.

本公司保留对产品在可靠性、功能和设计方面的改进作进一步说明的权利

本文档的更改，恕不另行通知

目录

1 产品概要 4
1.1 产品特性 4
1.2 产品对比 5
1.3 订购信息 5
1.4 引脚排列 5
1.5 端口说明 6
2 电气特性 7
2.1 极限参数 7
2.2 直流电气特性 7
2.3 交流电气特性 8
3 CPU 及存储器 9
3.1 指令集 9
3.2 程序存储器 11
3.3 数据存储器 11
3.4 堆栈 12
3.5 控制寄存器 12
3.6 用户配置字 14
4 系统时钟 16
4.1 内置高频 RC 振荡器 16
4.2 内置低频 RC 振荡器 16
4.3 工作模式 16
4.4 低功耗模式 17
5 复位 18
5.1 复位条件 18
5.2 上电复位 18
5.3 低电压复位 19
5.4 看门狗复位 19
6 I/O 端口 20
6.1 I/O 工作模式 20
6.2 上/下拉电阻控制 20
6.3 端口模式控制 21
7 定时器 TIMER 22
7.1 看门狗定时器 WDT 22
7.2 定时器 T0 22
8 中断 25
8.1 外部中断 25
8.2 定时器中断 25
8.3 键盘中断 25
8.4 中断相关寄存器 26
9 特性曲线 27
9.1 I/O 端口特性曲线 27
9.2 功耗特性曲线 30

9.3 模拟模块特性曲线 33
10 封装尺寸 35
10.1 SOP8 35
10.2 DIP8 35
10.3 SOT23-6 36
11 修订记录 37

sinomcu

1 产品概要

1.1 产品特性

- 8 位 CPU 内核
  - ✧ 精简指令集，5 级深度硬件堆栈
  - ✧ CPU 单时钟，仅在系统高频时钟下工作
  - ✧ 高频时钟下 FCPU 固定为 2T
- 程序存储器
  - ✧ 1K×14 位 OTP 型程序存储器（烧录 1 次）
  - ✧ 0.5K×14 位 OTP 型程序存储器（烧录 2 次）
- 数据存储器
  - ✧ 50 字节 SRAM 通用数据存储器，支持直接寻址、间接寻址等多种寻址方式
- 1 组共 6 个 I/O
  - ✧ P1（P10~P15）
  - ✧ P13 为开漏输出，可复用为编程高压 VPP 输入；其余端口可选开漏或推挽输出
  - ✧ 所有端口均内置上拉电阻，P10~P12 内置下拉电阻，均可单独使能/禁用
- 时钟系统
  - ✧ 内置高频 RC 振荡器（8MHz/4MHz/2MHz/1MHz/455KHz），可用作系统高频时钟源
  - ✧ 内置低频 RC 振荡器（32KHz），可用作系统低频时钟源
- 2 种系统工作模式
  - ✧ 运行模式：CPU 在高频时钟下运行
  - ✧ 休眠模式：CPU 停止运行，高频时钟源停止工作
- 内部自振式看门狗计数器（WDT）
  - ✧ 溢出时间可配置：4.5ms/18ms/72ms/288ms（无预分频）
  - ✧ 工作模式可配置：开启 WDT、关闭 WDT；也可软件控制开启或关闭
  - ✧ 与定时器 T0 共用 3 位预分频器
- 定时器
  - ✧ 8 位定时器 T0，可实现外部计数功能，与 WDT 共用 3 位预分频器
- 中断
  - ✧ 外部中断（INT）：INT 可选两种触发方式
  - ✧ 定时器中断（T0）：溢出产生中断
  - ✧ 键盘中断：6 路端口共用 1 个中断源，并可分别使能或屏蔽
- 低电压复位 LVR：2.0V/2.7V/3.0V/3.6V，±15%
- 工作电压
  - ✧ VLVR27 ~ 5.5V @ Fcpu = 4MHz（FHIRC=8MHz）
  - ✧ VLVR20 ~ 5.5V @ Fcpu = 2MHz（FHIRC=4MHz）
  - ✧ VLVR20 ~ 5.5V @ Fcpu = 227.5KHz（FHIRC=455KHz）
- 封装形式：SOP8/DIP8/SOT23-6

1.2 产品对比

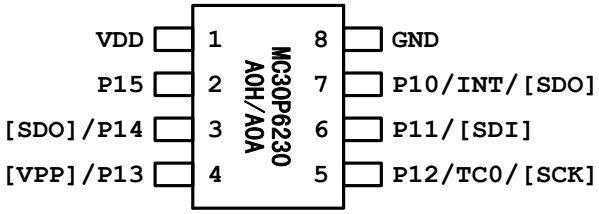
模块/功能	MC30P6070	MC30P6080	MC30P6220	MC30P6230
最大封装引脚数	8	14	8	8
SRAM 容量	50	49	50	50
CPU 低频模式	支持	支持	不支持	不支持
HIRC	最高 16MHz	最高 16MHz	最高 8MHz	最高 8MHz
LIRC	32KHz	32KHz	42KHz	32KHz
外部时钟源	支持	支持	不支持	不支持
POR 电压	1.2V	1.2V	1.5V	1.5V
LVR 电压	6 级	12 级	4 级	4 级
LVD	有	有	无	无
外部复位	有	有	无	无
定时器	2 个	2 个	1 个	1 个
定时器低频时钟源	外部	外部	内部	内部
PWM/BUZ	有	有	无	无
RTC	有	有	无	无
端口输出读回	寄存器和端口均可读	寄存器和端口均可读	仅端口可读	寄存器和端口均可读
上电延时	可选	可选	可选	固定
工作温度	-40℃~85℃	-40℃~85℃	-40℃~85℃	0℃~70℃

1.3 订购信息

产品名称	封装形式	备注
MC30P6230A0H	SOP8	
MC30P6230A0A	DIP8	
MC30P6230A1T	SOT23-6	

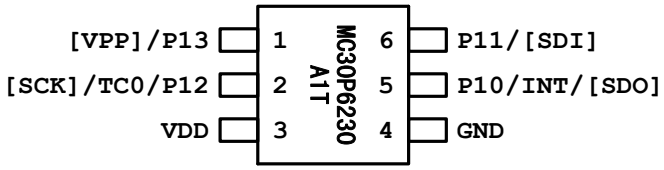
1.4 引脚排列

MC30P6230A0H/A0A



SOP8/DIP8

MC30P6230A1T



SOT23-6

1.5 端口说明

端口名称	类型	功能说明
VDD	P	电源
GND	P	地
P10~P12	D	GPIO，内部上/下拉
P13	D	开漏 IO，内部上拉
P14，P15	D	GPIO，内部上拉
INT	DI	外部中断输入
TC0	DI	定时器 T0 的外部计数输入
SCK，SDI，SDO	D	编程时钟/数据输入/数据输出
VPP	P	编程高压输入

注：P-电源，D-数字输入输出，DI-数字输入，DO-数字输出，A-模拟输入输出，AI-模拟输入，AO-模拟输出。

2 电气特性

2.1 极限参数

参数	符号	值	单位
工作电压	VDD	-0.3~6.0	V
输入电压	Vin	-0.3~VDD+0.3	V
工作温度	Ta	0~70	℃
储存温度	Tstg	-65~150	℃
流入 VDD 最大电流	IVDDmax	50	mA
流出 GND 最大电流	IGNDmax	50	mA

注：若芯片工作条件超过极限值，将会造成永久性损坏；若芯片长时间工作在极限条件下，将会影响其可靠性。

2.2 直流电气特性

VDD=5V，T=25℃

特性	符号	端口	条件	最小	典型	最大	单位
工作电压	VDD	VDD	Fcpu=4MHz@HIRC 8MHz	VLVR27		5.5	V
			Fcpu=2MHz@HIRC 4MHz	VLVR20		5.5	
			Fcpu=1MHz@HIRC 2MHz	VLVR20		5.5	
			Fcpu=500KHz@HIRC 1MHz	VLVR20		5.5	
			Fcpu=227.5KHz@HIRC 455KHz	VLVR20		5.5	
输入漏电流	Ileak	所有输入脚	VDD=5V	-1		1	uA
输入高电平	Vih	所有输入脚	施密特开启	0.8VDD			V
			施密特关闭	2			V
输入低电平	Vil	所有输入脚	施密特开启			0.2VDD	V
			施密特关闭			1	V
输出拉电流	Ioh	推挽输出脚	Voh=4.3V	6			mA
输出灌电流	Iol	所有输出脚	Vol=0.7V	10			mA
上拉电阻	Rpu	P10-P15	VDD=5V, Vin=0	40	80	160	KΩ
下拉电阻	Rpd	P10-P12	Vin=VDD=5V	60	125	250	KΩ
动态功耗	Idd	VDD	Fcpu=4MHz@HIRC 8MHz		1.5		mA
			Fcpu=2MHz@HIRC 4MHz		1		mA
			Fcpu=1MHz@HIRC 2MHz		800		uA
			Fcpu=500KHz@HIRC 1MHz		700		uA
			Fcpu=227.5KHz@HIRC 455KHz		600		uA
休眠模式功耗	Istop	VDD	VDD=5V, LVR 关, WDT 关		0.2	1	uA
			VDD=5V, LVR 开, WDT 关		10	20	uA

			VDD=5V, LVR 关, WDT 开		2	4	uA
			VDD=3V, LVR 关, WDT 开		1	2	uA
上电复位电压	V_{POR}	VDD		-15%	1.5	+15%	V
低压复位电压	V_{LVR20}	VDD		-15%	2.0	+15%	V
	V_{LVR27}			-15%	2.7	+15%	V
	V_{LVR30}			-15%	3.0	+15%	V
	V_{LVR36}			-15%	3.6	+15%	V

注：功耗特性参数的条件说明中，诸如 HIRC/LIRC/WDT/LVR/LVD/ADC 等未注明的模块默认为关闭状态。

2.3 交流电气特性

T=25℃

特性	符号	条件	最小	典型	最大	单位
HIRC 振荡频率（RC8M）	F_{HIRC}	T=25℃, VDD=5V, 引脚 VDD 外接 0.1uF 对地电容	-3%	8	+3%	MHz
		T=0℃~70℃, VDD=2.0V~5.0V 引脚 VDD 外接 0.1uF 对地电容	-6%	8	+6%	MHz
LIRC 振荡频率	F_{LIRC}	T=25℃, VDD=5V	-50%	32	+50%	KHz

3 CPU 及存储器

3.1 指令集

本芯片指令集为精简指令集。除程序跳转类指令，其余指令均为单周期指令，即执行时间为 1 个指令周期；所有指令均为单字指令，即指令码只占用 1 个程序存储器地址空间。

指令汇总表

助记符	说明	操作	周期	长度	标志
ADDAR R	寄存器 R 和 ACC 相加，结果存到 ACC	R+ACC→ACC	1	1	C,DC,Z
ADDRA R	寄存器 R 和 ACC 相加，结果存到 R	R+ACC→R	1	1	C,DC,Z
ADCAR R	寄存器 R 和 ACC 相加（带 C 标志），结果存到 ACC	R+ACC+C→ACC	1	1	C,DC,Z
ADCRA R	寄存器 R 和 ACC 相加（带 C 标志），结果存到 R	R+ACC+C→R	1	1	C,DC,Z
RSUBAR R	寄存器 R 和 ACC 相减，结果存到 ACC	R-ACC→ACC	1	1	C,DC,Z
RSUBRA R	寄存器 R 和 ACC 相减，结果存到 R	R-ACC→R	1	1	C,DC,Z
RSBCAR R	寄存器 R 和 ACC 相减（带 C 标志），结果存到 ACC	R-ACC-/C→ACC	1	1	C,DC,Z
RSBCRA R	寄存器 R 和 ACC 相减（带 C 标志），结果存到 R	R-ACC-/C→R	1	1	C,DC,Z
ANDAR R	寄存器 R 和 ACC 与操作，结果存到 ACC	R and ACC→ACC	1	1	Z
ANDRA R	寄存器 R 和 ACC 与操作，结果存到 R	R and ACC→R	1	1	Z
ORAR R	寄存器 R 和 ACC 或操作，结果存到 ACC	R or ACC→ACC	1	1	Z
ORRA R	寄存器 R 和 ACC 或操作，结果存到 R	R or ACC→R	1	1	Z
XORAR R	寄存器 R 和 ACC 异或操作，结果存到 ACC	R xor ACC→ACC	1	1	Z
XORRA R	寄存器 R 和 ACC 异或操作，结果存到 R	R xor ACC→R	1	1	Z
COMAR R	对 R 取反，结果存到 ACC	R 取反→ACC	1	1	Z
COMR R	对 R 取反，结果存到 R	R 取反→R	1	1	Z
CLRA	对 ACC 清零	0→ACC	1	1	Z
CLRR R	对 R 清零	0→R	1	1	Z
RLAR R	寄存器 R 循环左移（带 C 标志），结果存到 ACC	R[7]→C R[6:0]→ACC[7:1] C→ACC[0]	1	1	C
RLR R	寄存器 R 循环左移（带 C 标志），结果存到 R	R[7]→C R[6:0]→R[7:1] C→R[0]	1	1	C
RRAR R	寄存器 R 循环右移（带 C 标志），结果存到 ACC	C→ACC[7] R[7:1]→ACC[6:0] R[0]→C	1	1	C
RRR R	寄存器 R 循环右移（带 C 标志），结果存到 R	C→R[7] R[7:1]→R[6:0] R[0]→C	1	1	C
SWAPAR R	交换 R 的高低半字节，结果存到 ACC	R[7:4]→ACC[3:0] R[3:0]→ACC[7:4]	1	1	-

SWAPR R	交换 R 的高低半字节，结果存到 R	R[7:4]→R[3:0] R[3:0]→R[7:4]	1	1	-
MOVAR R	将 R 存到 ACC	R→ACC	1	1	Z
MOVR R	将 R 存到 R	R→R	1	1	Z
MOVRA R	将 ACC 存到 R	ACC→R	1	1	-
INCAR R	R 加 1，结果存到 ACC	R+1→ACC	1	1	Z
INCR R	R 加 1，结果存到 R	R+1→R	1	1	Z
DECAR R	R 减 1，结果存到 ACC	R-1→ACC	1	1	Z
DECR R	R 减 1，结果存到 R	R-1→R	1	1	Z
JZAR R	R 加 1，结果存到 ACC；结果为 0 则跳过下一条指令	R+1→ACC；结果为 0 则 PC+2→PC	1/2	1	-
JZR R	R 加 1，结果存到 R；结果为 0 则跳过下一条指令	R+1→R；结果为 0 则 PC+2→PC	1/2	1	-
DJZAR R	R 减 1，结果存到 ACC；结果为 0 则跳过下一条指令	R-1→ACC；结果为 0 则 PC+2→PC	1/2	1	-
DJZR R	R 减 1，结果存到 R；结果为 0 则跳过下一条指令	R-1→R；结果为 0 则 PC+2→PC	1/2	1	-
BCLR R,b	对 R 的第 b 位清 0	0→R[b]	1	1	-
BSET R,b	对 R 的第 b 位置 1	1→R[b]	1	1	-
JBCLR R,b	若 R 的第 b 位为 0 则跳过下一条指令	若 R[b]=0，则 PC+2→PC	1/2	1	-
JBSET R,b	若 R 的第 b 位为 1 则跳过下一条指令	若 R[b]=1，则 PC+2→PC	1/2	1	-
ADDAI K	立即数 K 和 ACC 相加，结果存到 ACC	K+ACC→ACC	1	1	C,DC,Z
ISUBAI K	立即数 K 和 ACC 相减，结果存到 ACC	K-ACC→ACC	1	1	C,DC,Z
ANDAI K	立即数 K 和 ACC 与操作，结果存到 ACC	K and ACC→ACC	1	1	Z
ORAI K	立即数 K 和 ACC 或操作，结果存到 ACC	K or ACC→ACC	1	1	Z
XORAI K	立即数 K 和 ACC 异或操作，结果存到 ACC	K xor ACC→ACC	1	1	Z
MOVAI K	将立即数 K 存到 ACC	K→ACC	1	1	-
RETURN	从子程序返回	TOS→PC	2	1	-
RETAI K	从子程序返回，并将立即数 K 存到 ACC	TOS→PC K→ACC	2	1	-
RETIE	从中断返回	TOS→PC 1→GIE	2	1	-
CALL K	子程序调用	PC+1→TOS K→PC[9:0]	2	1	-
GOTO K	无条件跳转	K→PC[9:0]	2	1	-
NOP	空操作	空操作	1	1	-
DAA	BCD 码加法后，将 ACC 的值调整为 BCD 码	ACC(十六进制)→ACC(十进制)	1	1	C
DSA	BCD 码减法后，将 ACC 的值调整为 BCD 码	ACC(十六进制)→ACC(十进制)	1	1	-
CLRWDT	清看门狗定时器	0→WDT	1	1	TO,PD
STOP	进入低功耗模式	0→WDT；进入低功耗模式	1	1	TO,PD

注：对于条件跳转类指令，若跳转条件成立，则指令需 2 个周期，否则只需 1 个周期。

3.2 程序存储器

本芯片的程序存储器为 OTP 型存储器，可通过用户配置字选择存储器的地址空间范围。

1K×14 位的地址范围为 0000H~03FFH，只能烧录 1 次，地址分配如下图所示：



0.5K×14 位的地址范围为 0000H~01FFH，可以烧录 2 次，地址分配如下图所示：



3.3 数据存储器

数据存储器包括通用数据寄存器 GPR 和特殊功能寄存器 SFR，具体地址分配参照下表。GPR/SFR0 可直接寻址或通过 INDF 间接寻址，SFR1 仅支持直接寻址。

数据存储器区地址映射表

地址	类型	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F
00H–07H	SFR0	INDF	T0CNT	PCL	STATUS	FSR	GPR0	P1	GPR1
08H–0FH		MCR	KBIM	PCLATH	PDCON	ODCON	PUCON	INTE	INTF
10H–3FH	GPR	通用数据存储器区							
40H–47H	SFR1		T0CR					DDR1	
48H–4FH					TM0CR				
50H–7FH	保留	保留							

注：

1、 上表中灰色部分地址为系统保留区，读出数据不确定，写入操作可能会影响芯片正常工作；

2、 SFR0 中的 GPR0（05H）、GPR1（07H）可用作通用数据存储器 GPR；

数据存储器地址组成

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	寻址方式
/	/	0	0	0	0	0	0	0	来自指令的 7 位地址							直接寻址模式
/	/	0	0	0	0	0	0	0	0	FSR						间接寻址模式

直接寻址模式：以指令的低 7 位作为数据存储器地址。例：通过直接寻址模式把 55H 数据写入 10H 地址

```
MOVAI    55H
MOVRA    10H        ：把数据 55H 写入 10H 地址数据存储器中
```

间接寻址模式：当访问 INDF 时，FSR 作为数据存储器地址。例：通过 INDF 把 55H 数据写入 10H 地址

```
MOVAI    10H
MOVRA    FSR
MOVAI    55H
MOVRA    INDF       ：把数据 55H 写入 FSR 指向的数据存储器中
```

3.4 堆栈

5 级堆栈深度，当程序响应中断或执行子程序调用指令时 CPU 会将 PC 自动压栈；当执行中断返回指令或子程序返回指令时，栈顶数据赋予 PC。

3.5 控制寄存器

间接寻址寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INDF	INDF7	INDF6	INDF5	INDF4	INDF3	INDF2	INDF1	INDF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **INDF[7:0]** – 间接寻址寄存器

INDF：INDF 不是物理寄存器，对 INDF 寻址实际上是对 FSR 指向的数据存储器地址进行访问，从而实现间接寻址模式。

数据指针寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FSR	-	-	FSR5	FSR4	FSR3	FSR2	FSR1	FSR0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	0	0	0	0	0	0

BIT[5:0] **FSR[5:0]** – 数据指针寄存器

FSR：间接寻址模式的指针，仅低 6 位有效。

程序指针计数器低字节

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCL	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

BIT[7:0] **PC[7:0]** – 程序指针计数器低 8 位

程序指针计数器高位缓存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCLATH	-	-	-	-	-	-	PCH1	PCH0
R/W	-	-	-	-	-	-	R/W	R/W
初始值	-	-	-	-	-	-	0	0

BIT[1:0] **PCH[1:0]** – 程序指针计数器高 2 位缓存器

程序指针计数器（PC）有以下几种操作模式：

- ✧ 顺序运行指令：PC = PC + 1；
- ✧ 分支指令 GOTO/CALL：PC = 指令码低 10 位；
- ✧ 子程序返回指令 RETIE/RETURN/RETAI：PC = 堆栈栈顶（TOS）；
- ✧ 对 PCL 操作指令：PC = {PCLATH[1:0], ALU[7:0](ALU 运算结果)}；

CPU 状态寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STATUS	RST	-	-	TO	PD	Z	DC	C
R/W	R/W	-	-	R	R	R/W	R/W	R/W
初始值	0	-	-	1	1	X	X	X

BIT[7] **RST** – 唤醒源标志位

0： 芯片通过其他唤醒源唤醒；

1： 芯片通过 P1 变化唤醒；

BIT[4] **TO** – 看门狗溢出标志位

0： 发生 WDT 溢出；

1： 上电复位；执行 CLRWDT 或 STOP 指令；

BIT[3] **PD** – 进入低功耗模式标志位

0： 执行 STOP 指令；

1： 上电复位；执行 CLRWDT 指令；

BIT[2] **Z** – 零标志位

0： 算术或逻辑运算的结果不为零；

1： 算术或逻辑运算的结果为零；

BIT[1] **DC** – 半字节进/借位标志位

0： 加法运算时半字节无进位；减法运算时半字节有借位；

1： 加法运算时半字节有进位；减法运算时半字节无借位；

BIT[0] **C** – 进/借位标志位

0： 加法运算时无进位；减法运算时有借位；移位后移出逻辑 0；

1： 加法运算时有进位；减法运算时无借位；移位后移出逻辑 1；

3.6 用户配置字

芯片为保证系统正常工作，会将关键模块的配置信息预先存储于单独的存储器区域中，在上电或其他复位发生后将配置信息载入寄存器中，通过寄存器配置关键模块的工作状态。该部分存储器中用户可选的内容即为用户配置字，可在烧录用户程序代码时进行配置与烧录。

本芯片的用户配置字，定义如下：

符号	功能说明
PAGE	OTP 容量选择： 1K 字 OTP 模式； 0.5K 字 MTP 模式，第一次烧录； 0.5K 字 MTP 模式，第二次烧录；
HIRCS	内部高频 RC 频率选择： F_{HIRC}=8MHz，F_{CPU}=4MHz； F_{HIRC}=4MHz，F_{CPU}=2MHz； F_{HIRC}=2MHz，F_{CPU}=1MHz； F_{HIRC}=1MHz，F_{CPU}=500KHz； F_{HIRC}=455KHz，F_{CPU}=277.5KHz；
VLVRS	LVR 电压选择： 2.0V；2.5V；3.0V；3.6V；
LVRSLP	低功耗模式 LVR 控制： 低功耗模式关闭 LVR；　　低功耗模式不关闭 LVR；
WDTE	WDT 使能控制： 关闭 WDT；　　开启 WDT；
WDTT	WDT 溢出时间选择（无预分频）： 4.5ms；18ms；72ms；288ms；
ENCR	代码加密选择： 使能代码加密；　　不使能代码加密；
RDPORT	IO 作为输出口时，读端口方式选择： 从寄存器读；　　从端口读；
SMTEN	端口施密特使能控制： 屏蔽端口施密特功能；　　使能端口施密特功能；
MCUSEL	芯片模式选择： 兼容义隆模式；兼容菲林模式；晟矽模式；

芯片模式差异表

功能	晟矽模式	义隆模式	菲林模式
复位地址	000H	000H	存储空间最后地址
键盘中断允许位(KBIM)	有	无	有
外部中断触发沿	上升沿或下降沿	下降沿	上升沿或下降沿
指令操作 GIE	无指令限制	只能用 BSET/BCLR 指令	无指令限制
PC 高位缓存器 PCLATH	无	无	有
指令操作 PCL	ADDRA 指令：PC={PC[9:0]+ALU[7:0]}； 其它指令：PC={PC[9:8], ALU[7:0]}；(ALU 运算结果)		PC={PCLATH[1:0], ALU[7:0]}； (ALU 运算结果)

4 系统时钟

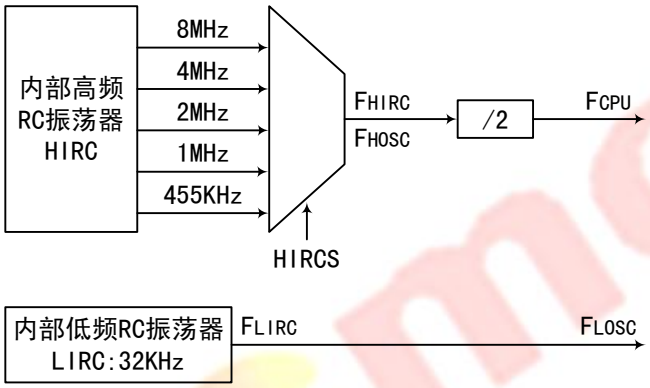
本芯片为双时钟系统，内部电路均在系统高频时钟 FHOSC 或系统低频时钟 FLOSC 下工作，部分模块还可在 FHOSC 和 FLOSC 之间切换。

本芯片系统高频时钟源固定为内部 8MHz/4MHz/2MHz/1MHz/455KHz 高频 RC 振荡器；系统低频时钟源固定为内部 32KHz 低频 RC 振荡器。

CPU 的时钟源固定为系统高频时钟 FHOSC。选择 FHOSC 时，CPU 时钟 FCPU 固定为 FHOSC 的 2 分频。

WDT（看门狗）电路的时钟源固定为内部低频 RC 振荡器。

系统时钟示意图



4.1 内置高频 RC 振荡器

本芯片内置一个高精度 8MHz/4MHz/2MHz/1MHz/455KHz 的 HIRC 振荡器，该振荡器可用作系统高频时钟源。

4.2 内置低频 RC 振荡器

本芯片内置一个典型值为 32KHz 的 LIRC 振荡器，该振荡器可用作系统低频时钟源，同时用于上电延时定时器、WDT 定时器等电路。

4.3 工作模式

本芯片支持运行模式和休眠模式 2 种系统工作模式。

工作模式	切换条件	系统状态
运行模式	复位；或休眠模式下唤醒	CPU 高速运行，高/低频时钟源均工作
休眠模式	运行模式下，执行 STOP	CPU 暂停，高频时钟源停止

	运行模式	休眠模式
高频时钟源	工作	停止
WDT 时钟源	WDTE/WDTEN 决定	

注：若低频时钟源为 LIRC，则低频时钟源和 WDT 时钟源共用 LIRC，WDT 工作时 LIRC 继续工作。

4.4 低功耗模式

本芯片的低功耗模式即为休眠模式。

STOP 指令可使系统进入低功耗模式，同时对系统会产生以下影响：

- ✧ CPU 停止运行；
- ✧ 根据不同模式停止相应时钟源的振荡；
- ✧ RAM 内容保持不变；
- ✧ 所有的输入输出端口保持原态不变；
- ✧ 定时器若其时钟源未停止，则可以保持继续工作；

以下情况可使系统退出低功耗模式：

- ✧ 有外部中断请求发生（若有外部中断功能）；
- ✧ 定时器溢出中断发生（若低功耗模式下定时器保持继续工作）；
- ✧ 有键盘中断请求发生（若有键盘中断功能）；
- ✧ 键盘扫描端口有电平变化发生（若有键盘扫描功能）；
- ✧ 有 WDT 溢出（若低功耗模式下 WDT 保持继续工作）；
- ✧ 外部复位（若有外部复位功能）；
- ✧ 上电复位；

注：低功耗模式下产生中断请求时，若相应中断使能位关闭，则不会退出低功耗模式；若仅中断使能位打开而总中断使能位关闭，则仅唤醒 CPU 执行下一条指令；若中断使能位和总中断使能位均打开，则唤醒 CPU 后执行中断服务程序。

5 复位

5.1 复位条件

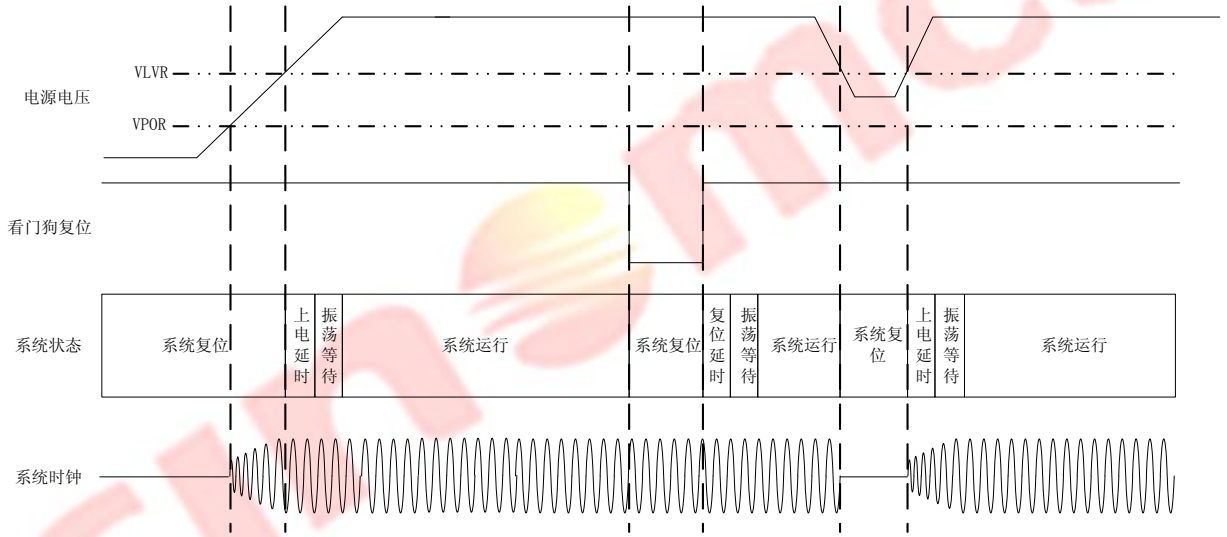
本芯片有如下几种复位方式：

- ✧ 上电复位 POR；
- ✧ 低电压复位 LVR；
- ✧ WDT 看门狗复位；

任何一种复位发生时，系统将会重新从 0000H 地址处开始执行指令；另外系统还会将所有特殊功能寄存器 SFR 重置为默认初始值。

上电复位和 LVR 复位会关闭系统主时钟的振荡器，复位解除后才重新打开振荡器，由于振荡器起振和稳定需要一定的时间，所以系统会在上电延时经过振荡等待后开始工作；WDT 复位不会关闭系统主时钟振荡器，所以复位解除后 2 个时钟周期后即开始工作。

下图是复位产生和系统工作状态之间的关系示意图：



5.2 上电复位

本芯片的上电复位电路可以适应快速、慢速上电的情况，并且当芯片上电过程中出现电源电压抖动时都能保证系统可靠的复位。

上电复位过程可以概括为以下几个步骤：

(1) 检测系统工作电压，等待电压高于 V_{POR} 并保持稳定；
(2) 若有 LVR 功能，则需等待电压高于 V_{LVR} 并保持稳定；
(3) 若有外部复位功能，则需等待复位引脚电压高于 Vih；
(4) 初始化所有寄存器；
(5) 开启主时钟振荡器，并等待一段时间以待振荡器稳定；
(6) 上电结束，系统开始执行指令。

5.3 低电压复位

本芯片的 LVR 电压通过 VLVRS 位进行配置，详见用户配置字。电压检测电路有一定的回滞特性，通常回滞电压为 0.1V 左右，当电源电压下降到 LVR 电压时 LVR 复位有效，而电压需要上升到 LVR 电压+0.1V 时 LVR 复位才会解除。

5.4 看门狗复位

看门狗（WDT）复位是一种对程序正常运行的保护机制。正常情况下，用户软件需要按时对 WDT 定时器进行清零操作，保证 WDT 不溢出。若出现异常状况，程序未按时对 WDT 定时器清零，WDT 会溢出从而产生看门狗复位，系统重新初始化，返回受控状态。

注：在低功耗模式下，CPU 停止工作，若此时有 WDT 溢出，则仅唤醒 CPU，而不产生复位。

6 I/O 端口

6.1 I/O 工作模式

芯片共有一组 6 位端口 P1。除用作通用输入/输出端口外，部分端口还可复用为外部中断输入端口、键盘中断输入端口等工作模式。

端口数据寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	-	-	P15D	P14D	P13D	P12D	P11D	P10D
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初始值	-	-	X	X	X	X	X	X

BIT[5:0] **P1nD** – P1 口数据位（n=5-0）

端口方向寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DDR1	-	-	DDR15	DDR14	DDR13	DDR12	DDR11	DDR10
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初始值	-	-	1	1	1	1	1	1

BIT[5:0] **DDR1n** – P1 口方向控制位（n=5-0）

0： 端口作为输出口，读端口操作可选择读取数据寄存器值或读取端口状态；

1： 端口作为输入口，读端口操作将读取端口状态；

6.2 上/下拉电阻控制

所有端口都有内部上拉电阻，P10~P12 具有内部下拉电阻，均有独立的上/下拉电阻寄存器控制位，控制其上/下拉电阻在端口作为输入状态时是否有效，端口处于输出状态时，上/下拉电阻控制位无效。

上拉电阻控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PUCON	-	-	P15PU	P14PU	P13PU	P12PU	P11PU	P10PU
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初始值	-	-	1	1	1	1	1	1

BIT[5:0] **P1nPU** – P1 口上拉电阻控制位（n=5-0）

0： 端口内部上拉电阻有效；

1： 端口内部上拉电阻无效；

下拉电阻控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDCON	-	P12PD	P11PD	P10PD	-	-	-	-
R/W	-	R/W	R/W	R/W	-	-	-	-
初始值	-	1	1	1	-	-	-	-

BIT[6:4] **P1nPD** – P1 口下拉电阻控制位（n=2-0）

0： 端口内部下拉电阻有效；

1： 端口内部下拉电阻无效；

6.3 端口模式控制

除 P13 外的其余端口作为输出口时，可选择开漏输出或推挽输出。

端口模式设置寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ODCON	-	-	P15OD	P14OD	-	P12OD	P11OD	P10OD
R/W	-	-	R/W	R/W	-	R/W	R/W	R/W
初始值	-	-	0	0	-	0	0	0

BIT[5,4,2:0] **P1nOD** – P1 口输出模式选择位（n=5,4,2-0）

0： 端口为推挽输出；

1： 端口为开漏输出；

7 定时器 TIMER

7.1 看门狗定时器 WDT

看门狗定时器 WDT 的时钟源为内部低频 RC 振荡器，并可通过预分频器选择不同的时钟频率。

WDT 可产生 WDT 复位或唤醒休眠模式。WDT 是否开启由配置字 WDTE 和寄存器控制位 WDTEN 共同决定：当 WDTE 或 WDTEN 为 0 时 WDT 定时器被禁止；当 WDTE 和 WDTEN 均为 1 时 WDT 定时器才开启。

若 WDT 开启，则在休眠模式下 WDT 依然运行，WDT 溢出时将唤醒 CPU，CPU 恢复运行；若在 CPU 运行时产生 WDT 溢出，WDT 溢出时将复位芯片。

WDT 的基本溢出时间（即无预分频的时间）由配置字 WDTT 决定。WDT 和定时器 T0 共用预分频器，通过寄存器控制位决定预分频器的分配，当预分频器给 T0 时，WDT 为 1 分频（不分频）；反之当预分频器给 WDT 时，T0 为 1 分频（不分频）。

注：WDT 溢出时间为典型值，实际值偏差大，必须保证清 WDT 时间小于典型值的 1/4。

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MCR	WDTEN	EIS	-	-	-	-	-	-
R/W	R/W	R/W	-	-	-	-	-	-
初始值	1	0	-	-	-	-	-	-

BIT[7] **WDTEN** – 看门狗使能位

0： 关闭 WDT；

1： 开启 WDT；

BIT[6] **EIS** – 外部中断使能位

0： 外部中断源无效；

1： 外部中断源有效；

7.2 定时器 T0

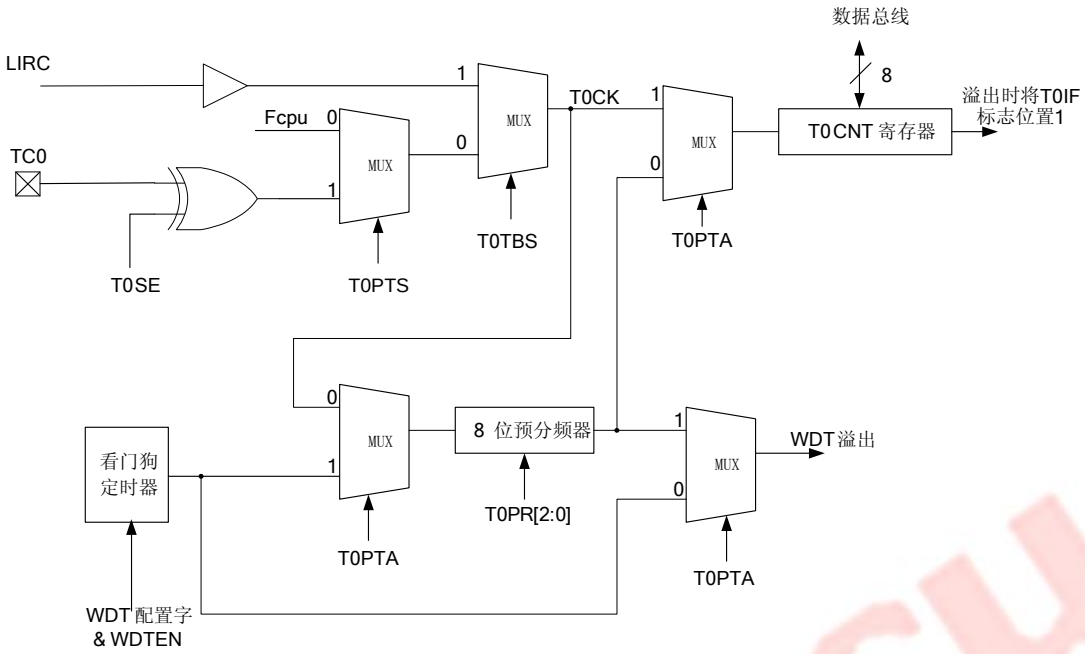
定时器 T0 为 8 位定时/计数器，包含 1 个 8 位递增计数器、可编程预分频器、控制寄存器。

- ✧ 可通过预分频比设置计数频率；
- ✧ 时钟源可选：LIRC、F_{CPU}、TC0 外部输入时钟
- ✧ 支持溢出中断和溢出唤醒功能；

T0CNT 为可读写的递增计数器，计数溢出到 0 时产生溢出信号，中断标志位 T0IF 将被置 1。

预分频器为 T0 与 WDT 共用，当 T0PTA=0 时，预分频器分配给 T0 使用；T0PTA=1 时，预分频器分配给 WDT 使用。T0 计数周期 = 预分频数 / T0 时钟源频率；

当寄存器位 T0TBS 置 1 选择 LIRC 作为 T0 的时钟源时，T0 在休眠模式下仍继续工作，计数溢出将唤醒 CPU。



定时器 T0 控制寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T0CR	-	INTM	T0PTS	T0SE	T0PTA	T0PRS2	T0PRS1	T0PRS0
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	-	0	1	1	1	1	1	1

BIT[6] **INTM** – 外部中断 INT 触发方式选择位

0： 下降沿触发；

1： 上升沿触发；

BIT[5] **T0PTS** – T0 时钟源选择位

0： T0 时钟源为 FCPU；

1： T0 时钟源为 TC0 输入的外部时钟；

BIT[4] **T0SE** – 外部时钟 TC0 有效沿选择位

0： 外部时钟上升沿计数；

1： 外部时钟下降沿计数；

BIT[3] **T0PTA** – 预分频器分配控制位

0： 预分频器分配给 T0；

1： 预分频器分配给 WDT；

BIT[2:0] **T0PRS[2:0]** – 预分频比选择位

T0PRS[2:0]	T0 时钟预分频比 (T0PTA=0)	WDT 时钟预分频比 (T0PTA=1)
000	1:2	1:1
001	1:4	1:2

010	1:8	1:4
011	1:16	1:8
100	1:32	1:16
101	1:64	1:32
110	1:128	1:64
111	1:256	1:128

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TM0CR	-	T0TBS	-	-	-	-	-	-
R/W	-	R/W	-	-	-	-	-	-
初始值	-	0	-	-	-	-	-	-

BIT[6] **T0TBS** – T0 时钟源选择位

0： T0 时钟源由 T0PTS 决定；

1： T0 时钟源为内部低频振荡器 LIRC；

定时器 T0 计数器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T0CNT	T0CNT7	T0CNT6	T0CNT5	T0CNT4	T0CNT3	T0CNT2	T0CNT1	T0CNT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

BIT[7:0] **T0CNT[7:0]** – T0 计数器，为可读写的递增计数器

8 中断

中断有外部中断（INT）、定时器中断（T0）、键盘中断。可通过寄存器控制位 GIE 屏蔽所有中断。

中断响应过程如下：

- ✧ 当发生中断请求时，CPU 将相关下一条要执行的指令的地址压栈保存（累加器 A 和状态寄存器 STATUS 需要软件保护），对中断屏蔽位 GIE 清 0，禁止中断响应。与复位不同，硬件中断不停止当前指令的执行，而是暂时挂起中断直到当前指令执行完成。
- ✧ CPU 执行中断时，程序跳到中断向量地址开始执行中断服务程序，中断服务程序应先保存累加器 A 和状态寄存器 STATUS，然后判断是哪一个中断响应。
- ✧ 中断服务程序执行完中断内容后应恢复累加器 A 和状态寄存器 STATUS，然后执行 RETIE 返回主程序。此时芯片将从堆栈取出 PC 值，然后从中断发生时当前指令的下一条指令继续执行。

本芯片的中断向量地址是 0008H。

8.1 外部中断

本芯片有 1 路外部中断源 INT，将端口设为输入状态，可设置为上升沿触发、下降沿触发等触发方式。当外部中断触发时，外部中断标志（INTIF）将被置 1，若中断总使能位 GIE 为 1 且外部中断使能位（INTIE）为 1，则产生外部中断。

8.2 定时器中断

定时器 T0 在计数溢出时中断标志（T0IF）将被置 1，若中断总使能位 GIE 为 1 且定时器中断使能位（T0IE）为 1，则产生定时器中断。

8.3 键盘中断

本芯片有 6 路键盘中断源，可通过 KBIM 寄存器单独屏蔽，任意一路未被屏蔽的中断源的电平发生变化时，触发键盘中断，键盘中断标志（KBIF）将被置 1，若中断总使能位 GIE 为 1 且键盘中断使能位（KBIE）为 1 ，则产生键盘中断。

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
KBIM	-	-	KBIM5	KBIM4	KBIM3	KBIM2	KBIM1	KBIM0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初始值	-	-	0	0	0	0	0	0

BIT[5:0] **KBIMn** – P1n 口键盘中断使能位（n=5-0）

0： 屏蔽端口键盘中断功能；

1： 使能端口键盘中断功能；

8.4 中断相关寄存器

中断使能寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE	GIE	-	-	-	-	INTIE	KBIE	T0IE
R/W	R/W	-	-	-	-	R/W	R/W	R/W
初始值	0	-	-	-	-	0	0	0

BIT[7] **GIE** – 总中断使能位
0： 屏蔽所有中断；
1： 中断源是否产生中断由相应的中断控制位决定；

BIT[2] **INTIE** – INT 中断使能位
0： 屏蔽 INT 中断；
1： 使能 INT 中断；

BIT[1] **KBIE** – 键盘中断使能位
0： 屏蔽键盘中断；
1： 使能键盘中断；

BIT[0] **T0IE** – 定时器 T0 中断使能位
0： 屏蔽定时器 T0 中断；
1： 使能定时器 T0 中断；

中断标志寄存器

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTF	-	-	-	-	-	INTIF	KBIF	T0IF
R/W	-	-	-	-	-	R/W	R/W	R/W
初始值	-	-	-	-	-	0	0	0

BIT[2] **INTIF** – INT 中断标志位
0： 未发生 INT 中断；
1： 发生 INT 中断，需软件清零；

BIT[1] **KBIF** – 键盘中断标志位
0： 未发生键盘中断；
1： 发生键盘中断，需软件清零；

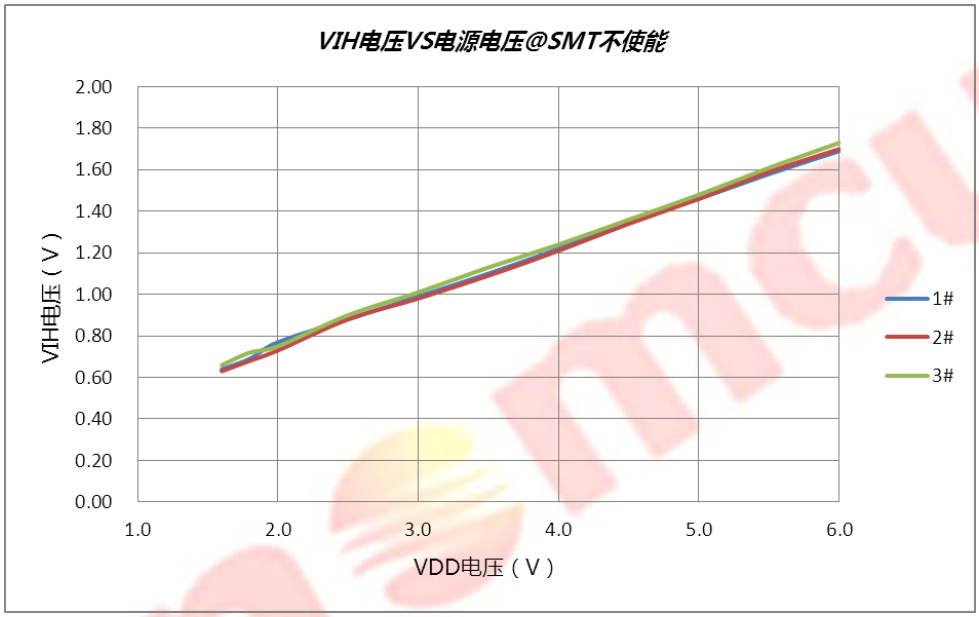
BIT[0] **T0IF** – 定时器 T0 中断标志位
0： 未发生定时器 T0 中断；
1： 发生定时器 T0 中断，需软件清零；

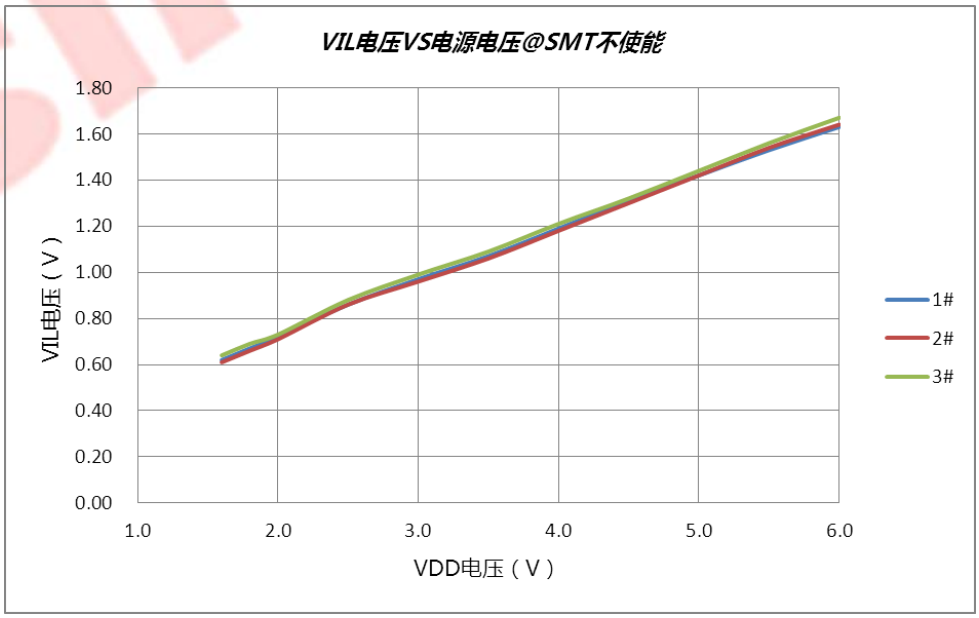
9 特性曲线

注：本章节所列特性曲线图为抽样实测数据，仅作为应用参考，部分数据因生产工艺偏差，可能与实际芯片不符；为保证芯片能正常工作，请确保其工作条件符合电气特性参数说明。

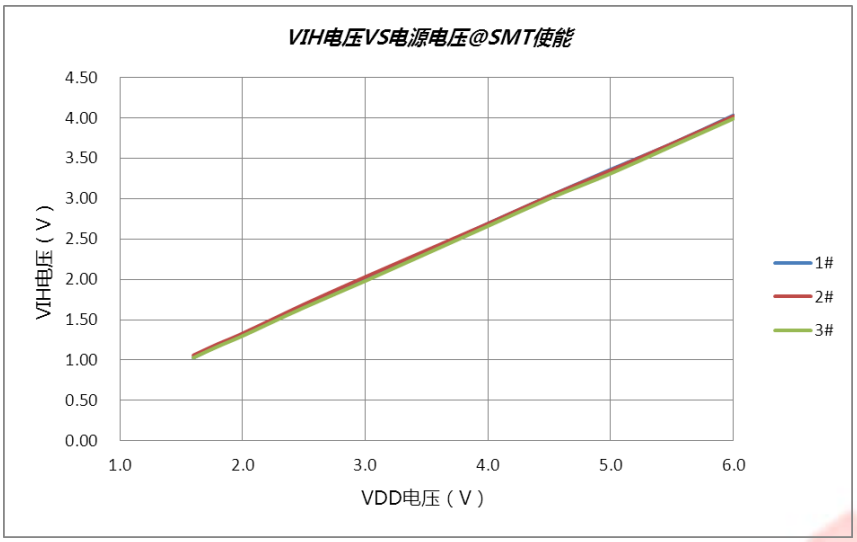
9.1 I/O 端口特性曲线

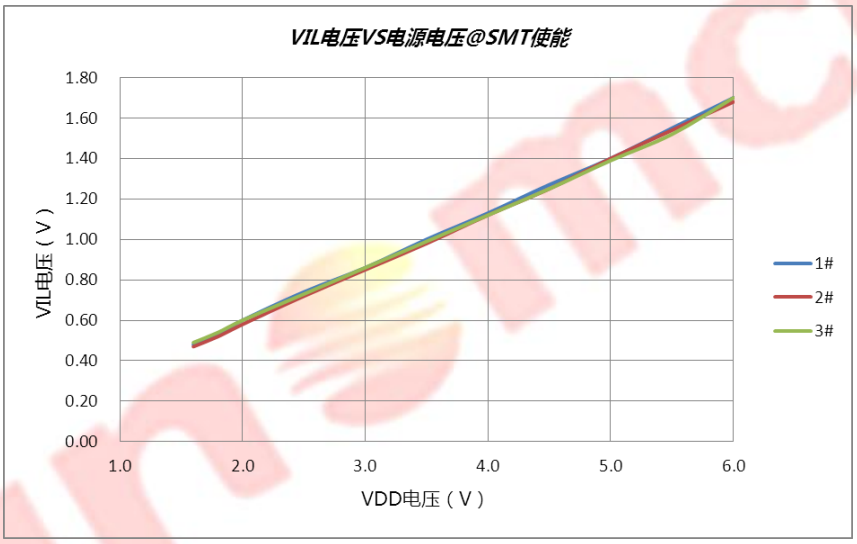
I/O 输入电压（无施密特）VS 电源电压



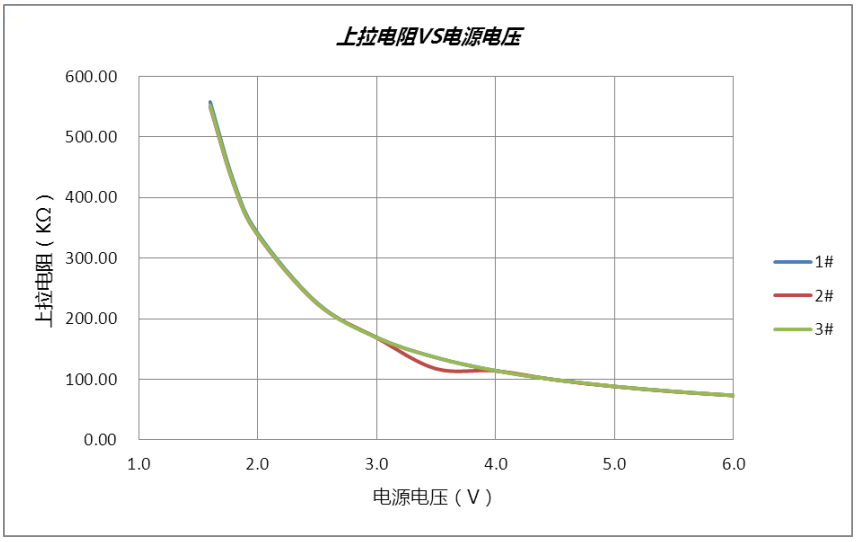


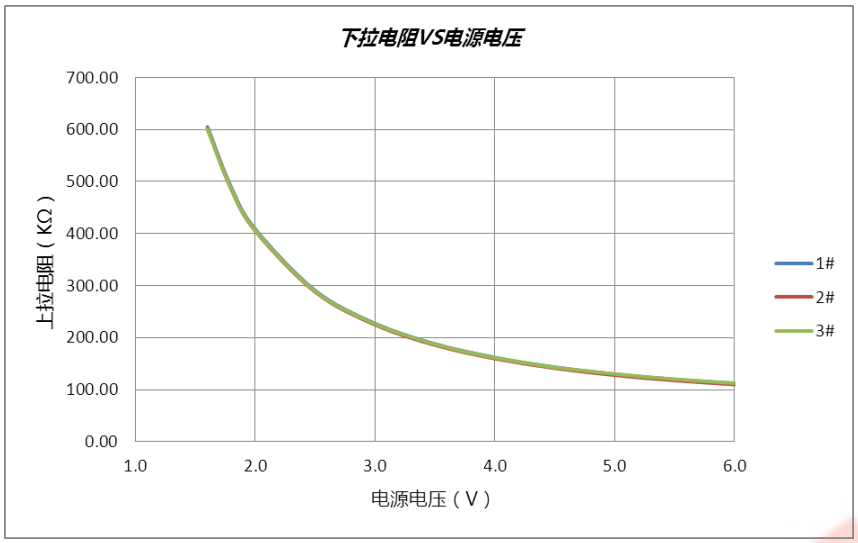
I/O 输入电压（有施密特）VS 电源电压



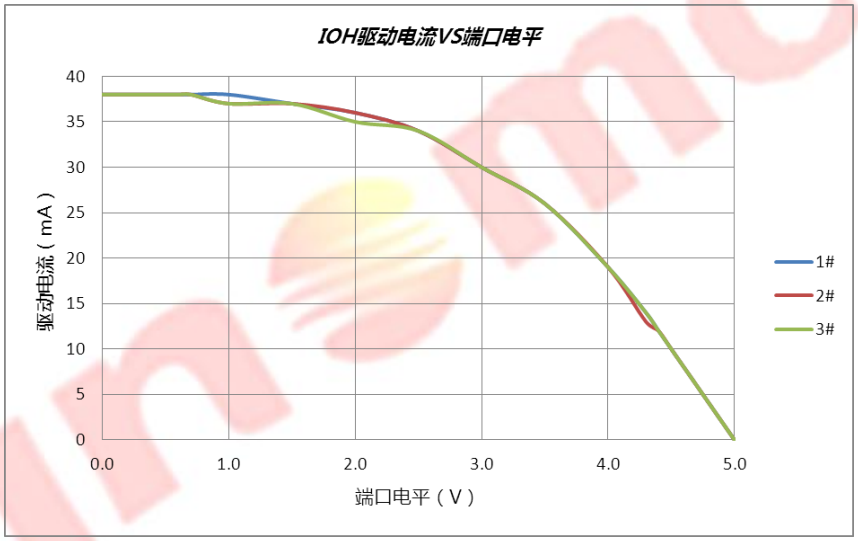


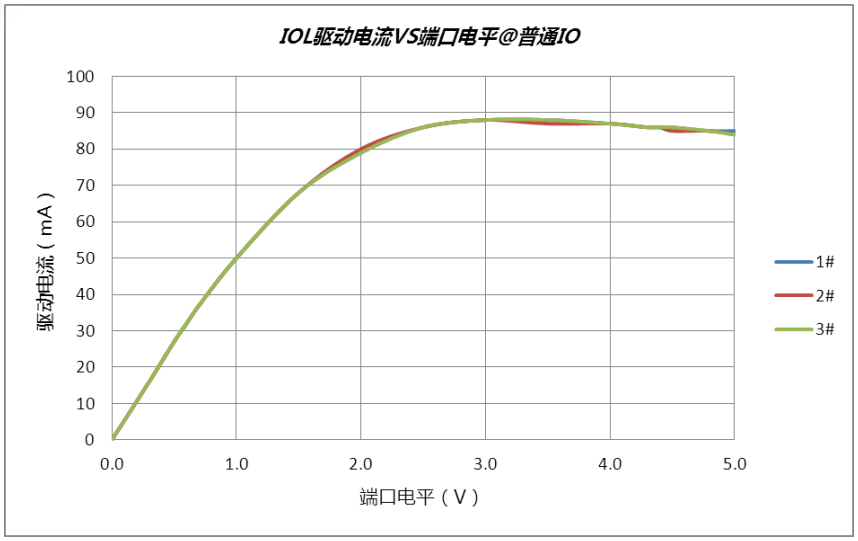
上/下拉电阻 VS 电源电压

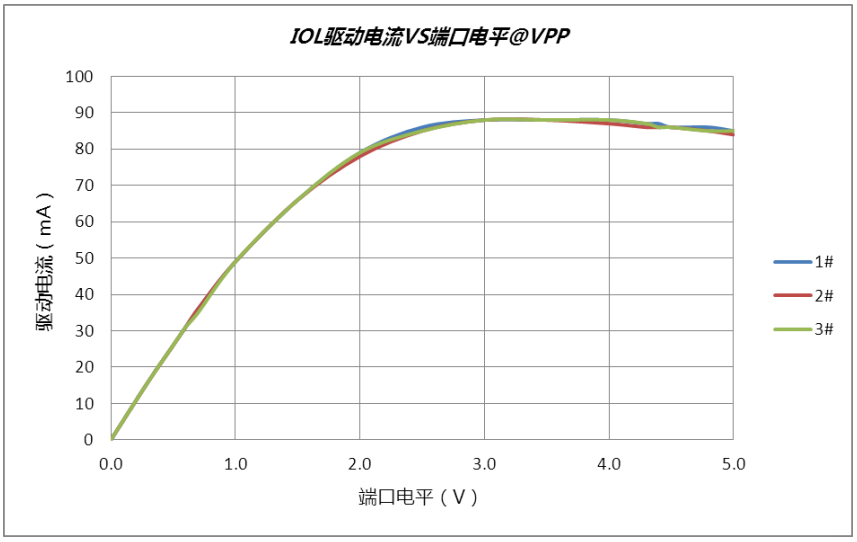



下拉电阻VS电源电压
700.00
600.00
500.00
400.00
300.00
200.00
100.00
0.00
上拉电阻（KΩ）
1.0
2.0
3.0
4.0
5.0
6.0
电源电压（V）
1#
2#
3#

驱动电流 VS 端口电压

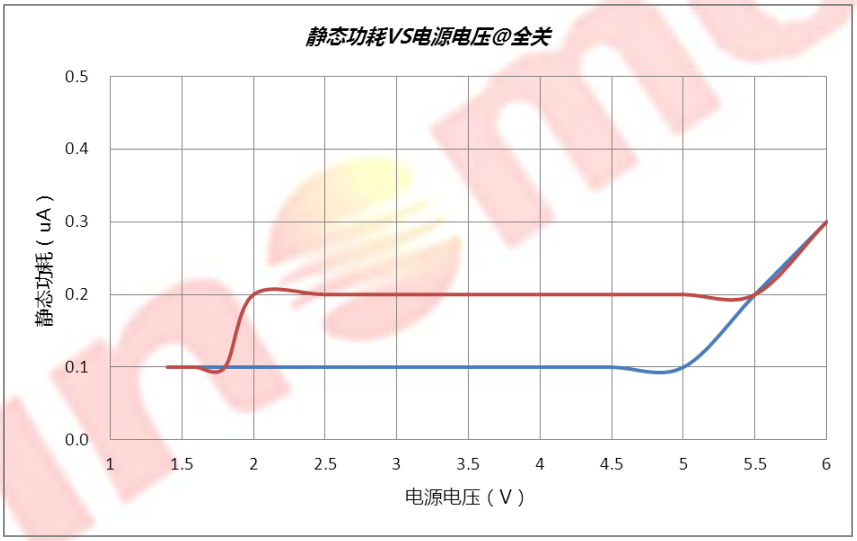

IOH驱动电流VS端口电平
40
35
30
25
20
15
10
5
0
驱动电流（mA）
0.0
1.0
2.0
3.0
4.0
5.0
端口电平（V）
1#
2#
3#

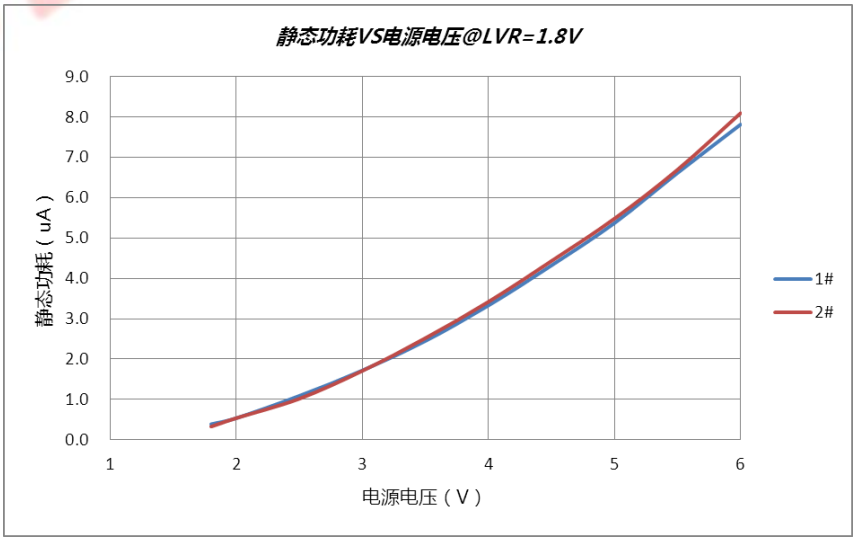

IOL驱动电流VS端口电平@普通IO
100
90
80
70
60
50
40
30
20
10
0
驱动电流（mA）
0.0
1.0
2.0
3.0
4.0
5.0
端口电平（V）
1#
2#
3#

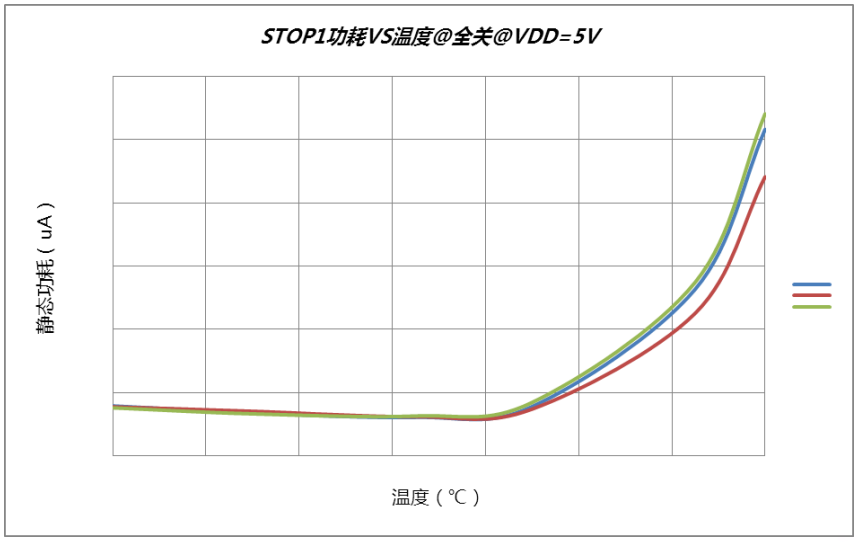


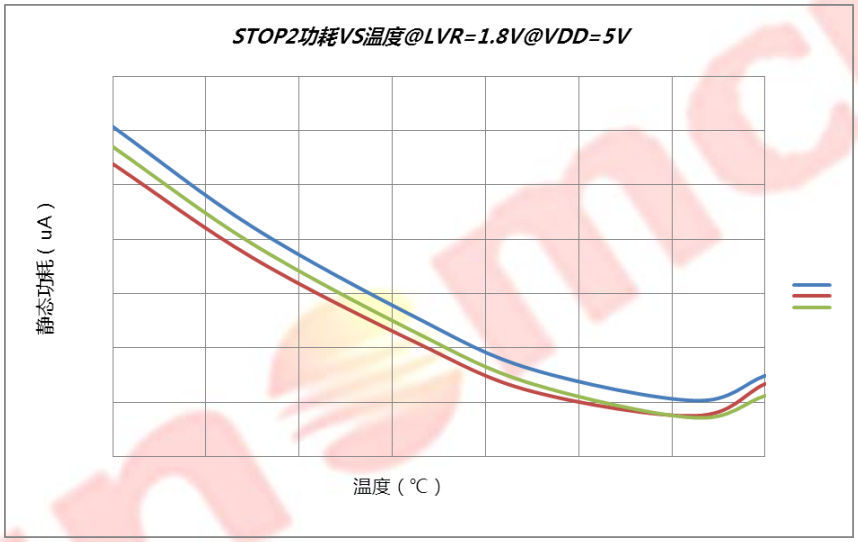
9.2 功耗特性曲线

休眠功耗 VS 电源电压/温度

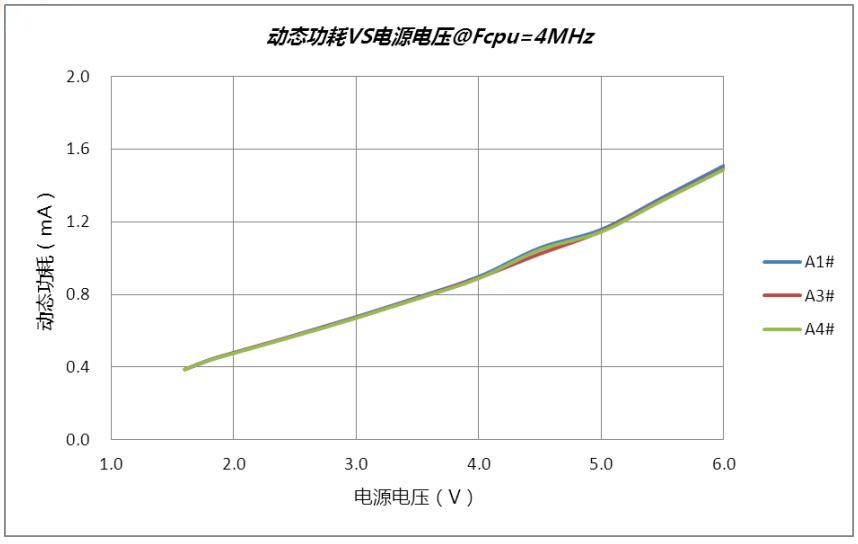


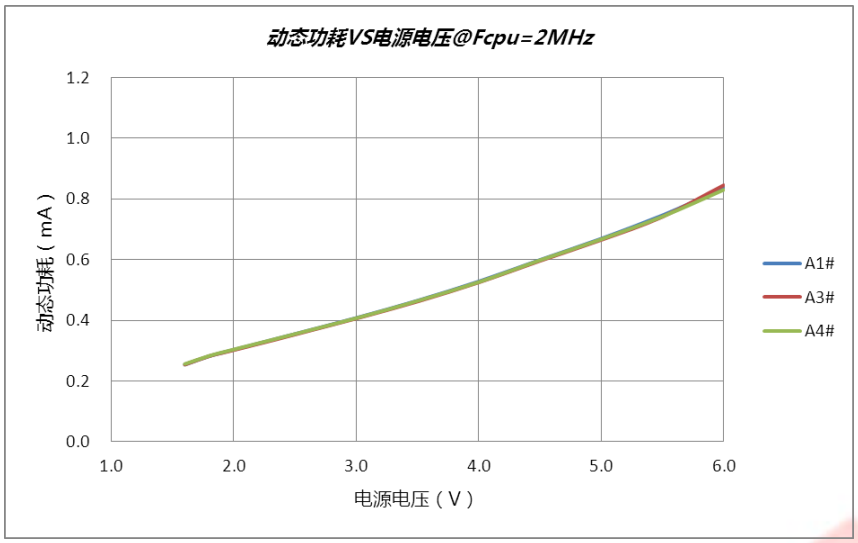



STOP1功耗VS温度@全关@VDD=5V
静态功耗（uA）
温度（℃）

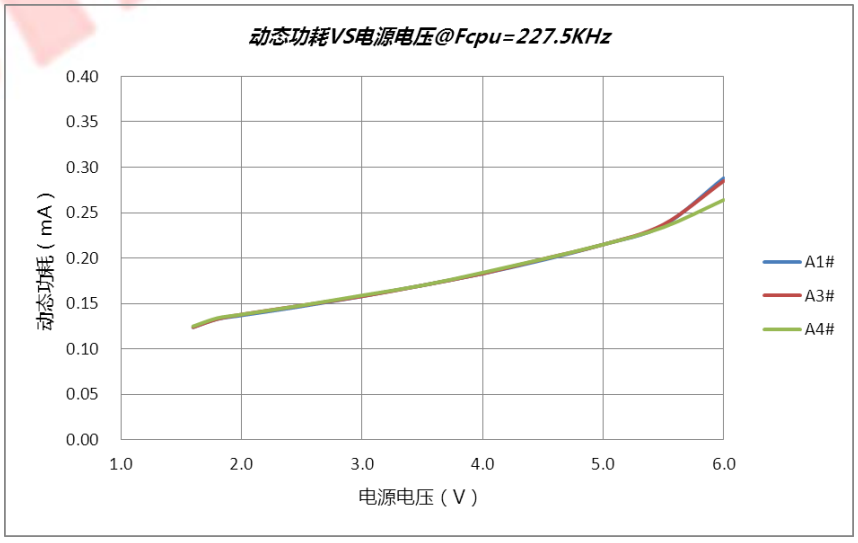

STOP2功耗VS温度@LVR=1.8V@VDD=5V
静态功耗（uA）
温度（℃）

动态功耗 VS 电源电压


动态功耗VS电源电压@Fcpu=4MHz
动态功耗（mA）
2.0
1.6
1.2
0.8
0.4
0.0
1.0
2.0
3.0
4.0
5.0
6.0
电源电压（V）
A1#
A3#
A4#

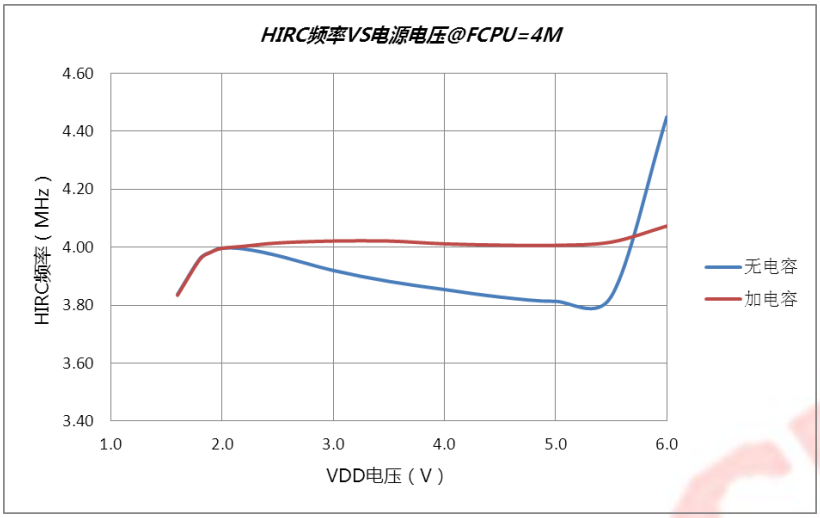

动态功耗VS电源电压@Fcpu=2MHz
动态功耗（mA）
1.2
1.0
0.8
0.6
0.4
0.2
0.0
1.0
2.0
3.0
4.0
5.0
6.0
电源电压（V）
A1#
A3#
A4#

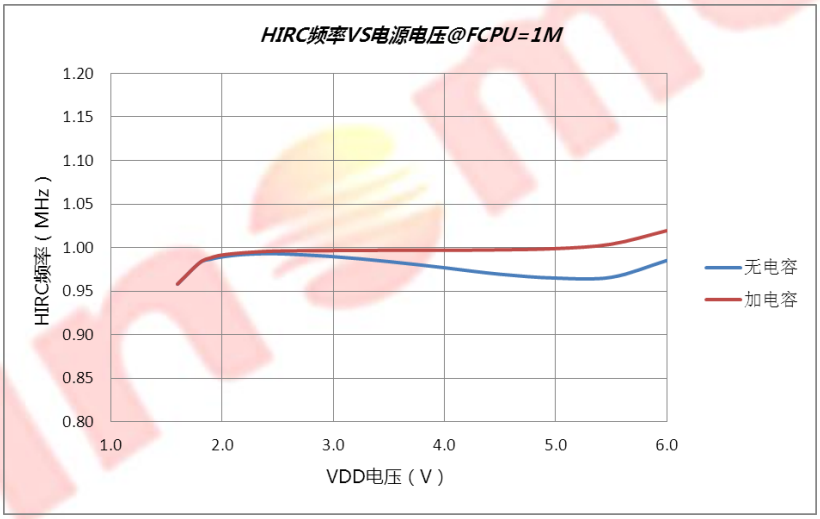

动态功耗VS电源电压@Fcpu=1MHz
动态功耗（mA）
0.6
0.5
0.4
0.3
0.2
0.1
0.0
1.0
2.0
3.0
4.0
5.0
6.0
电源电压（V）
A1#
A3#
A4#

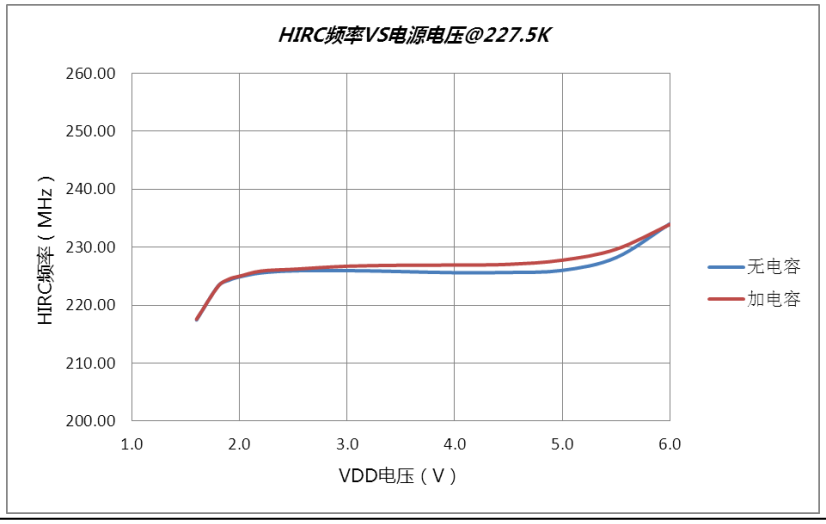

动态功耗VS电源电压@Fcpu=227.5KHz
动态功耗（mA）
0.40
0.35
0.30
0.25
0.20
0.15
0.10
0.05
0.00
1.0
2.0
3.0
4.0
5.0
6.0
电源电压（V）
A1#
A3#
A4#

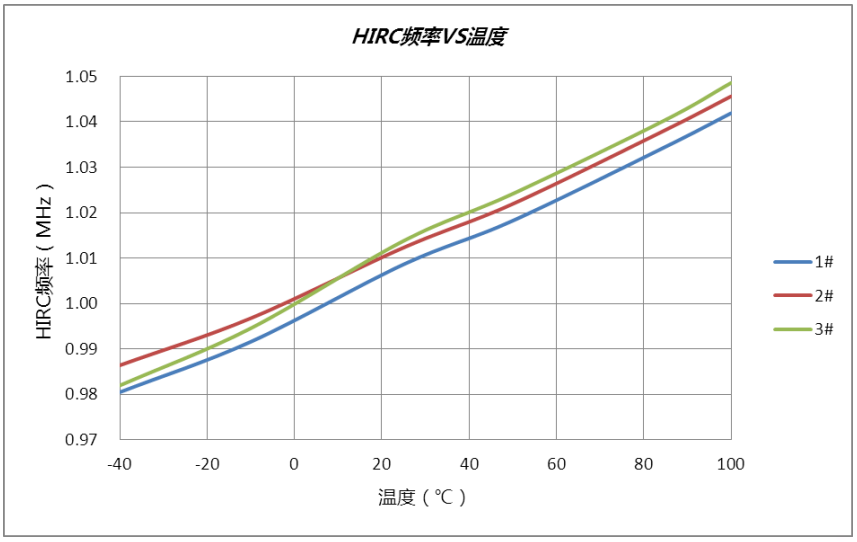
9.3 模拟模块特性曲线

HIRC 频率 VS 电源电压/温度

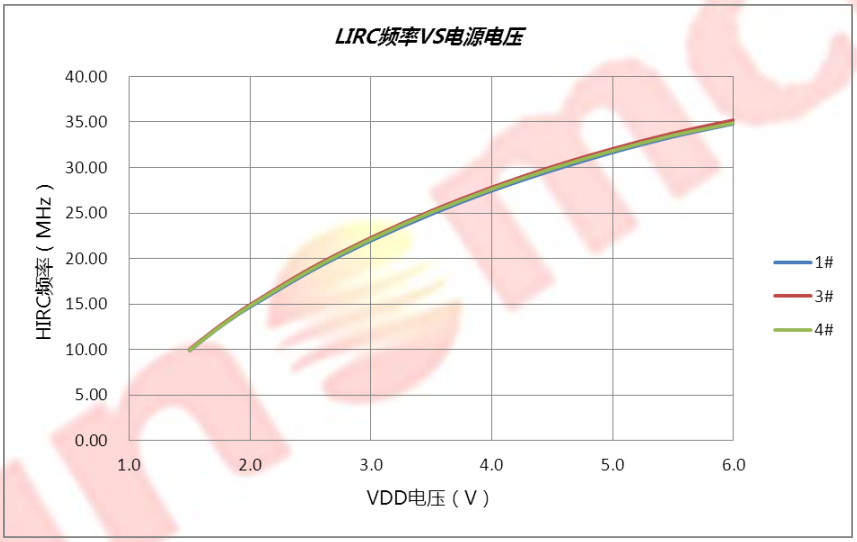


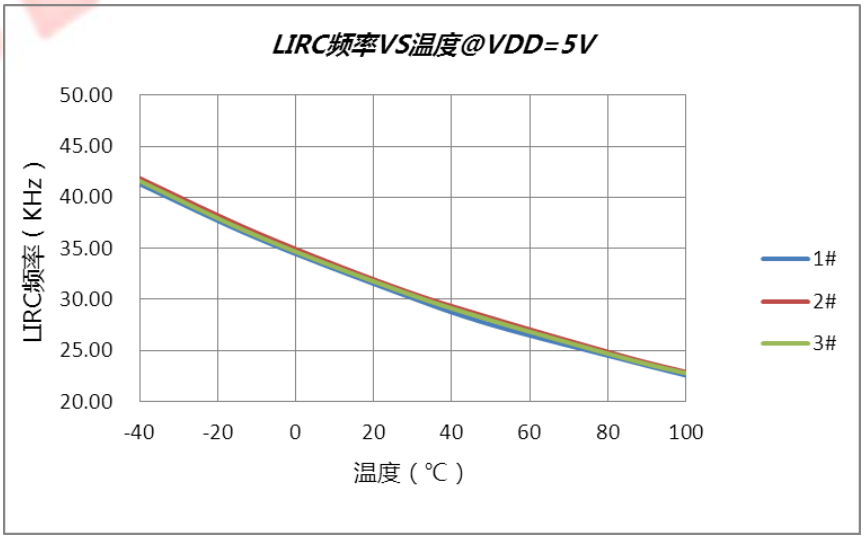






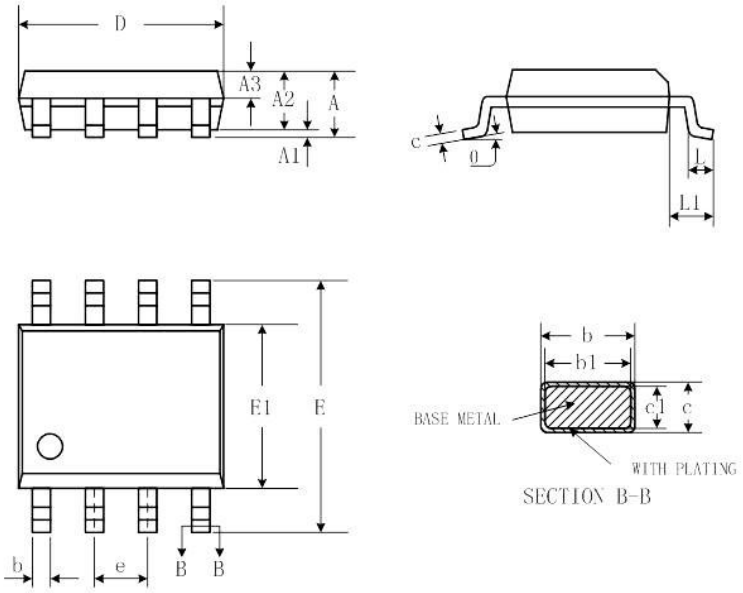
LIRC 频率 VS 电源电压/温度





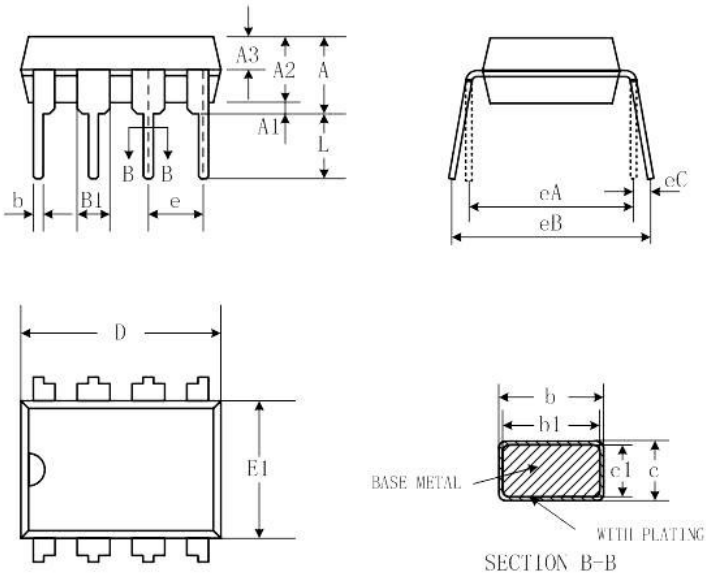
10 封装尺寸

10.1 SOP8



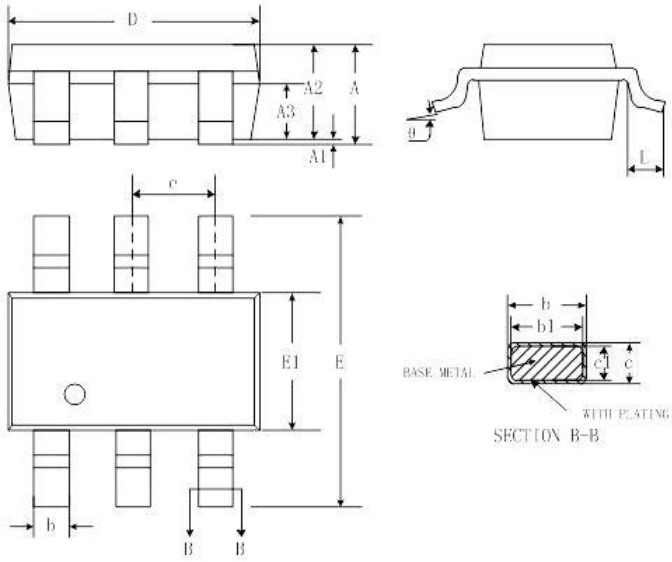
SYMBOL	MILLIMETER		
	MIN	TYP	MAX
A	-	-	1.77
A1	0.08	0.18	0.28
A2	1.20	1.40	1.60
A3	0.55	0.65	0.75
b	0.39	-	0.48
b1	0.38	0.41	0.43
c	0.21	-	0.26
c1	0.19	0.20	0.21
D	4.70	4.90	5.10
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	1.27BSC		
L	0.50	0.65	0.80
L1	1.05BSC		
θ	0	-	8°

10.2 DIP8



SYMBOL	MILLIMETER		
	MIN	TYP	MAX
A	3.60	3.80	4.00
A1	0.51	-	-
A2	3.10	3.30	3.50
A3	1.50	1.60	1.70
b	0.44	-	0.53
b1	0.43	0.46	0.48
B1	1.52BSC		
c	0.25	-	0.31
c1	0.24	0.25	0.26
D	9.05	9.25	9.45
E1	6.15	6.35	6.55
e	2.54BSC		
eA	7.62BSC		
eB	7.62	-	9.50
eC	0	-	0.94
L	3.00	-	-

10.3 SOT23-6



SYMBOL	MILLIMETER		
	MIN	TYP	MAX
A	-	-	1.35
A1	0.04	-	0.15
A2	1.00	1.10	1.20
A3	0.55	0.65	0.75
b	0.30	-	0.50
b1	0.30	0.40	0.45
c	0.08	-	0.22
c1	0.08	0.13	0.20
D	2.72	2.92	3.12
E	2.60	2.80	3.00
E1	1.40	1.60	1.80
e	0.95BSC		
L	0.30	-	0.60
θ	0	-	8°

11 修订记录

版本	修订日期	修订内容
V1.0	2018-03-26	初版发布

sinomcu