

HT560 30W立体声D类I2S输入音频功放

■ 特点

- 输出功率
BTL, $2 \times 30\text{W}$, 24V/8 Ω , 连续
BTL, $2 \times 25\text{W}$, 16V/4 Ω , 连续
BTL, $2 \times 40\text{W}$, 18V/4 Ω , 峰值
PBTTL, 75W, 24V/4 Ω , 连续
- 4.5V-26V宽电压输入范围
- 超过90%效率, 无需散热片
- 立体声I2S输入
- 32, 44.1, 48, 88.2, 96kHz采样率
- 可选硬件或软件控制
- 可编程功率限制, 以及AGC功能
- 过温限幅功能
- 输出短路、过流关断功能
- 欠压异常保护功能
- 无铅无卤封装, OFN36-P

■ 应用

- 蓝牙音箱
- 2.1声道音箱
- 拉杆音箱
- 便携式音箱
- 扩音器
- LCD电视/监视器

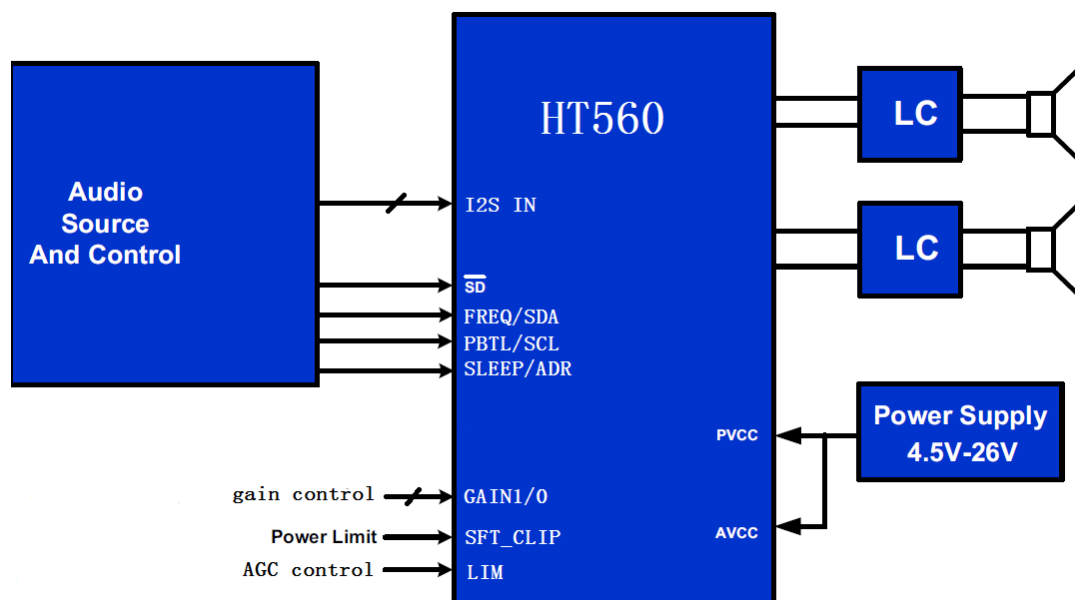
■ 概述

HT560是一款高效I2S输入D类立体声音频功率放大器。HT560可选硬件或者软件I2C控制。在BTL模式，能够提供2*30W/8Ω功率输出；在PBTL模式，能够提供75W/4Ω功率输出。

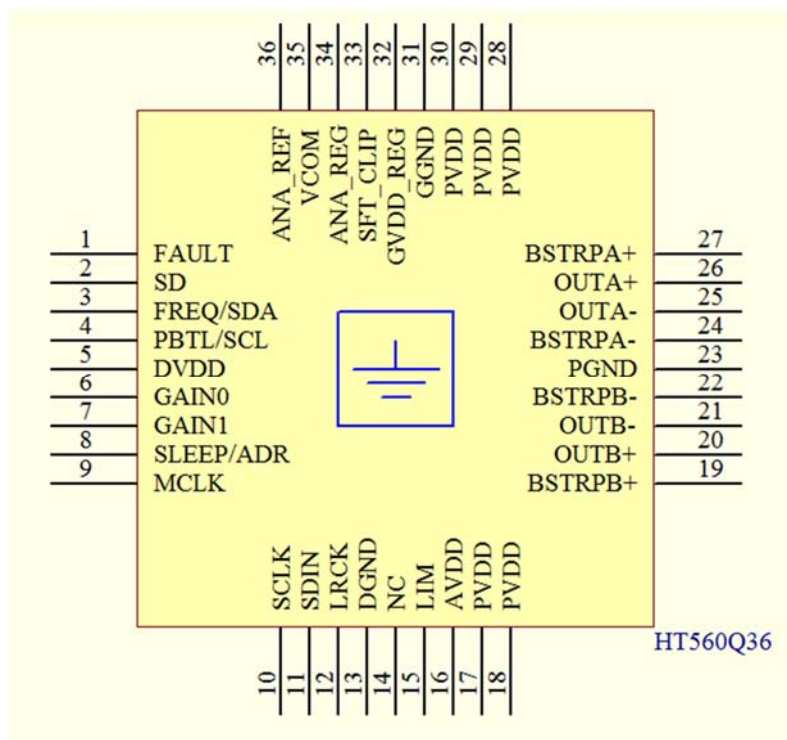
HT560具有过温限幅功能,当芯片内部温度达到过温限幅点,HT560自动降低增益,使其IC能够连续播放而不间断。另外,HT560具有功率限制功能,一种是限幅功能,在输出端限制一定的输出幅度,使其不损坏喇叭。另一种为AGC防削顶失真功能,开启后,可有效改善因输入幅度过大或者电源电压降低造成的破音失真。

此外，HT560内置关断功能使待机电流最小化，还集成了输出端过流保护、片内过温保护和电源欠压异常保护等功能。

■ 典型应用图



■ 引脚信息



■ 引脚定义

引脚号	引脚名称	I/O	功能
1	FAULT	O	功放错误检测输出，当芯片内部检测到错误，输出低电平
2	SD	I	关断控制输入，低电平芯片处于低功耗状态；高电平芯片正常工作
3	FREQ/SDA	I	硬件模式，调制频率设置控制输入；软件I2C模式，SDA数据输入
4	PBTL/SCL	I	硬件模式，PBTL设置控制输入；软件I2C模式，SCL时钟输入
5	DVDD	P	数字模块电路供电输入，做好电源滤波
6	GAIN0	I	功放增益设置输入低位
7	GAIN1	I	功放增益设置输入高位
8	SLEEP/ADR	I	硬件模式，功放SLEEP设置控制输入；软件I2C模式，I2C地址设置控制输入
9	MCLK	I	I2S主时钟输入
10	SCLK	I	I2S采样时钟输入
11	SDIN	I	I2S数据输入
12	LRCK	I	I2S帧时钟输入
13	DGND	G	数字电路地
14	NC	-	悬空
15	LIM	I	AGC功能设置
16	AVDD	P	模拟电源供电
17	PVDD	P	功率电源供电
18	PVDD	P	
19	BSB+	BST	Boot Strap端，接220nF电容到OUTB+
20	OUTB+	O	B通道输出正端
21	OUTB-	O	B通道输出负端

22	BSB-	BST	Boot Strap端，接220nF电容到OUTB-
23	PGND	G	功率地
24	BSA-	BST	Boot Strap端，接220nF电容到OUTA-
25	OUTA-	O	A通道输出负端
26	OUTA+	O	A通道输出正端
27	BSA+	BST	Boot Strap端，接220nF电容到OUTA+
28	PVDD	P	功率电源供电
29	PVDD	P	
30	PVDD	P	
31	GGND	G	逻辑地
32	GVDD	O	内部整流输出，接1uF电容到地
33	SFT_CLIP	I	功率限制设置
34	ANA_REG	P	内部整流输出
35	VCOM	P	偏置电压输出
36	ANA_REF	P	内部整流参考地
	PAD	G	芯片底部裸焊盘，请接电源地

注 I: 输入端 O: 输出端 G: 地 P: 功率电源 BST: BOOT Strap

■ 订购信息

H	T	5	6	0	xx
---	---	---	---	---	----

封装形式

产品型号	封装形式	顶面标记	工作温度范围	包装和供货形式
HT560	QFN36-P	HT560sq UVWXYZ *1	-40℃~85℃ (扩展工业级)	编带 3000片/卷

注1: UVWXYZ为内部生产跟踪随机编码。

■ 版本信息

日期	版本号	备注
2018.2	V0.1	初始简版

■ 电气特性

● 极限工作条件*1

参数	符号	最小值	最大值	单位
电源电压范围(PVDD,AVDD)	V _{DD}	-0.3	30	V
数字信号电压范围(I2S等)	V _I	-0.3	GVDD+0.3	V
模拟信号电压范围 (SFT_CLIP、LIM)	V _I	-0.3	GVDD	V
工作环境温度范围	T _A	-40	85	°C
工作结温范围	T _J	-40	150	°C
储存温度	T _{STG}	-50	150	°C

● 推荐工作条件

参数	符号	条件	最小值	典型值	最大值	单位
电源电压	PVDD		4.5		26	V
数字电源	DVDD		2.8	3.3	3.63	V
工作环境温度	T _a		-40	25	85	°C
扬声器阻抗 BTL	R _L	输出滤波: 10uH 680nF	3.2	4		
扬声器阻抗 PBTl	R _L	输出滤波: 10uH 1uF	1.6	2		Ω

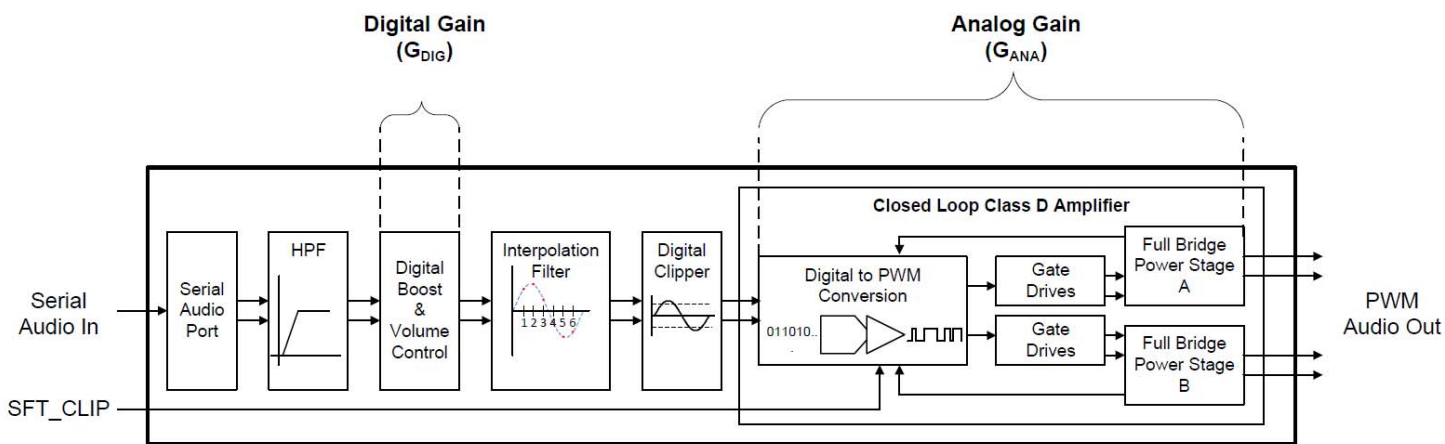
■ 功能描述及应用信息

HT560是一款灵活易用的I2S输入立体声D类音频功放。HT560通过两种速度模式，可以支持多种音频采样率应用。在硬件模式，HT560只支持单倍速度模式。在软件模式，HT560支持双倍速度模式来支持更高采样率应用，比如88.2kHz和96kHz采样率。HT560的输出支持立体声BTL模式和单声道PBTTL模式。

HT560正常工作需要两组电源，3.3V（DVDD）供给内部小信号电路和数字电路，高压PVDD供给功放输出极。功率电源PVDD和AVDD电压范围支持4.5V – 26V。AVDD为HT560提供模拟电源。PVDD为HT560提供功率电源，两个通道的PVDD应各自放置并联的滤波电容组，建议使用100nF//1uF//220uF的组合。

以上电容应关注其额定电压，特别是220uF的电解电容。建议电容的额定电压值大于最大供电电压的20%-50%。

功放信号通路



串行音频信号输入（SAP）

HT560支持标准I2S，左对齐，右对齐等串行音频信号输入。在硬件模式，HT560只支持32,48或者64*fs I2S 输入。在软件模式，HT560还支持左对齐和右对齐的串行音频信号输入。

I2S

I2S输入信号，由LRCK来定义何时传输左声道信号和何时传输右声道信号。当LRCK为低，传输左声道信号；当LRCK为高，传输右声道信号。位时钟（SCLK）以32,48或者64*fs运行，来输入数据信号（SDIN）。在LRCK电平变化后，有一位SCLK时钟的延迟，之后是有效的第一位数据传输。数据信号（SDIN）以补码形式传输，第一位为高位，SCLK上升沿有效。

左对齐信号

左对齐输入信号，也由LRCK来定义何时传输左声道信号和何时传输右声道信号。当LRCK为高，传输左声道信号；当LRCK为低，传输右声道信号。位时钟（SCLK）以32,48或者64*fs运行，来输入数据信号（SDIN）。在LRCK电平变化的同时，传输第一位有效数据（SDIN），第一位为高位，SCLK上升沿有效。HT560支持接收16-24位的数据，低位无效位自动添0。

右对齐信号

右对齐输入信号，也由LRCK来定义何时传输左声道信号和何时传输右声道信号。当LRCK为高，传输左声道信号；当LRCK为低，传输右声道信号。位时钟（SCLK）以32,48或者64*fs运行，来输入数据信号（SDIN）。在LRCK电平变化后，对于24位数据，经过8个SCLK周期后传输第一位有效数据（SDIN）。对于右对齐数据来说，最低位的数据是最后被传输在LRCK变化前。第一位为高位，SCLK上升沿有效。HT560支持接收16-24位的数据，高位无效位自动添0。

DC阻塞滤波

音频信号中过多的DC成分会对扬声器造成损伤，而且，一点点的DC失调，在MUTE时候，会造成POP声。出于这些原因，HT560的运放采样两个独立的DC阻塞方法。第一级是高通滤波器，来滤除最前级数据中的任何直流成分进入音频信号通路。在硬件模式，此DC阻塞滤波器是一直有效而且不能被关闭。在软件模式，此滤波器可以通过在0x02寄存器bit7写1来屏蔽。第二级是一个DC检测电路来关断输出级，并输出一个锁存的FAULT当在某一输出上检测到DC。

数字音量控制

在高通滤波器之后，是一个数字音量控制单元，为某些特定应用提供额外的数字增益;在硬件模式下，给定增益（GAIN[1:0]）输入，来设定合适的限幅点。在硬件模式，HT560的数字音量控制固定增益为+6dB。在软件模式，HT560提供足够的数字增益范围，对于大多数应用来说，其数字音量控制增益也是固定的。HT560提供从静音（MUTE）到+24dB增益范围，0.5dB一个步长。寄存器0x04/0x05来设定增益，见下公式：

$$DVC [\text{Hex Value}] = 0xCF + (DVC [\text{dB}] / 0.5 [\text{dB}])$$

每8个LRCK周期，变化一个0.5dB增益，来保证音量变化时候，无可闻噪声产生。音量渐变功能可通过音量控制寄存器（0x15）bit7来关闭。

功率限制功能 (Power Limit)

限幅值 (Limit Level)

限幅值即在功率限制功能下，输出摆幅被限制的最大值，该值可通过SFT_Clip引脚设置，如下图所示。

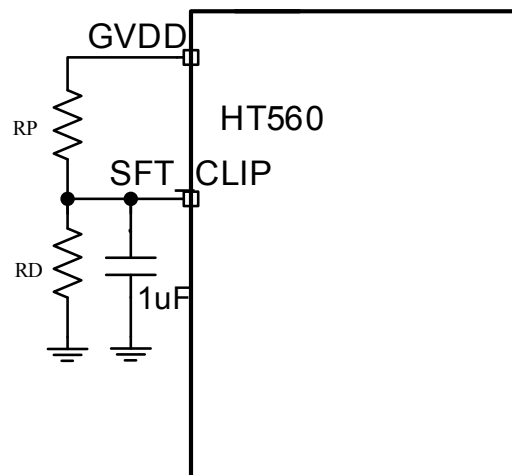


Fig. 1 PLIMIT Terminal Configuration

$$\text{限幅值 } V_{p_LIM} \approx 4 \times V_{PLIMIT}.$$

该限幅值对于以下两种功能均适用。

自动增益控制（AGC）功能

通过设置LIM引脚从GVDD的分压值，HT560可进入不同的自动增益控制模式或限幅功能，如下表所示。

Table. 1 LIM Terminal Settings

Voltage of LIM Terminal	Power Limit Mode	Attack Time T_A (us/dB)	Release Time T_R (ms/dB)
GVDD	AGC FAST	80	400
2/3 GVDD	AGC MEDIUM	160	800
1/3 GVDD	AGC SLOW	320	1600
GND	PLIMIT	/	

若自动增益控制功能（AGC）开启，当功放输出最大摆幅大于限幅值，功放增益将以启动时间 t_a 的速率自动降低，使功放输出最大摆幅限制在限幅值。随后，如果过功放输出最大摆幅小于限幅值，功放增益将以释放时间 t_r 的速率自动增加。增加或减小的每步增益为0.5dB。该过程示意图如下。

可以看到的是，该功能在限制输出功率的同时并不会使音乐削顶破音，即保护输出喇叭的同时可有效防止因音频输入幅度过大或者电源电压降低造成的破音。

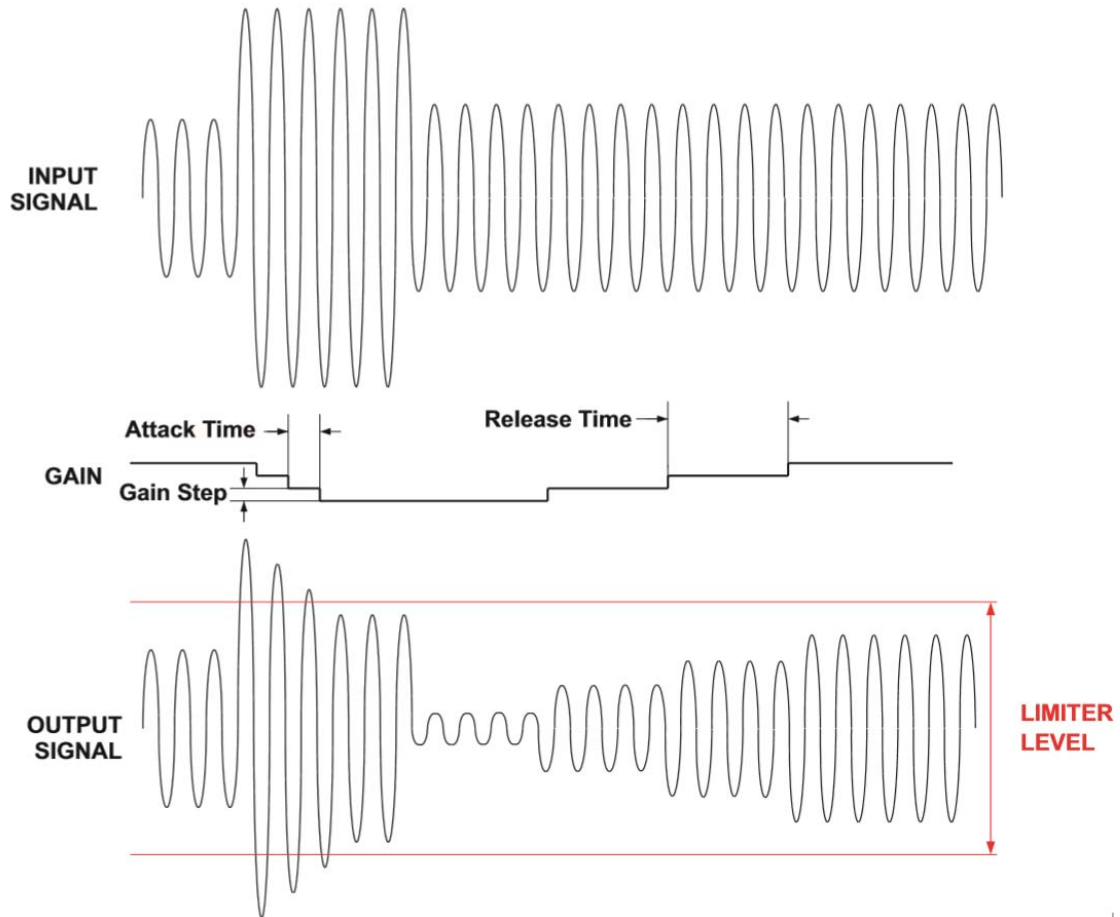


Fig. 2 AGC Function Description

限幅功能（PLIMIT）

如上表1，当LIM引脚接地时，HT560进入限幅功能。当功放输出最大摆幅增大达到限幅值，此时若输出功率继续增大，功放增益并不会减小，但功放输出最大摆幅仍会被限制在限幅值，如下图所示。这就类似于设定了一个小于PVDD的虚拟电源电压轨（即限幅值），输出最大摆幅永远不会超过该值。

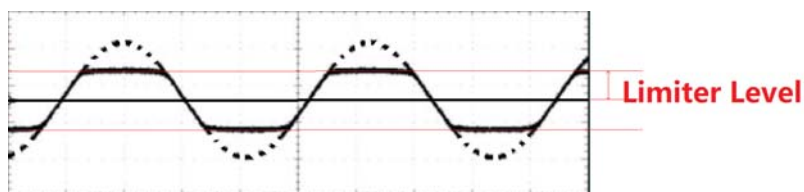


Fig. 3 PLIMIT Function Description

寄存器说明

Register Map

Table. 2 Register Map

Register	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Default Value
0x00	mslaver	AGC_mode	AGC_EN	TFB_EN	TFB Attack Time t _{A_TFB}		TFB Release Time t _{R_TFB}		1Ah
0x01	AGC Attack Time t _{A_AGC}				AGC Release Time t _{R_AGC}				97h
0x02	Reserved		Gain						26h
0x03	Modulation	CLOCK		OC threshold		OT flag	OC flag	DC flag	20h
0x04~0x0F	Reserved								
0x10	DigClip[19:12]								FFh
0x11	DigClip[11:4]								FFh
0x12	DigClip[3:0]				SLEEP	SD	MUTE_L	MUTE_R	F4h
0x13	Left channel volume control Vol_L								CFh
0x14	Right channel volume control Vol_R								CFh
0x15	Fade	HPF Byps	Dig Bst	SS/DS	Serial Audio Input Format				94h
0x16	PBTL_ch	Reserved							A0h

Register Address: 0x00 (default 1Ah)

Bit	R/W	Label	Default	Description
7	R/W	mslaver	0	0: Master; 1: Slave
6	R/W	AGC_mode	0	0: System gain changed immediately when setting a gain 1: System gain changed slowly in accord with AGC attack time and release time when setting a gain
5	R/W	AGC_EN	0	0: AGC function disabled; 1: AGC function enabled
4	R/W	TFB_EN	1	0: TFB function disabled; 1: TFB function enabled
3:2	R/W	t_{A_TFB}	10	Thermal Foldback (TFB) Attack Time Setting 00: 320ms/step 01: 640ms/step 10: 1280ms/step 11: 2560ms/step
1:0	R/W	t_{R_TFB}	10	Thermal Foldback (TFB) Release Time Setting 00: 640ms/step 01: 1280ms/step 10: 2560ms/step 11: 5120ms/step

Register Address: 0x01 (default 97h)

Bit	R/W	Label	Default	Description
7:4	R/W	t_{A_AGC}	1001	AGC Attack Time Setting 0000 20 μ s/step 1000 5.12ms/step 0001 40 μ s/step 1001 10ms/step 0010 80 μ s/step 1010 20ms/step 0011 160 μ s/step 1011 40ms/step 0100 320 μ s/step 1100 80ms/step 0101 640 μ s/step 1101 Reserved 0110 1.28ms/step 1110 Reserved 0111 2.56ms/step 1111 Reserved
3:0	R/W	t_{R_AGC}	0111	AGC Release Time Setting 0000 1.28ms/step 1000 1.28ms/step 0001 2.56ms/step 1001 2.56ms/step

				0010	5.12ms/step	1010	5.12ms/step
				0011	10ms/step	1011	10ms/step
				0100	20ms/step	1100	20ms/step
				0101	40ms/step	1101	Reserved
				0110	80ms/step	1110	Reserved
				0111	160ms/step	1111	Reserved

Note: Do make sure that the release time is longer than attack time.

Register Address: 0x02 (Default 26h)

Bit	R/W	Label	Default	Description
7:6	/	Reserved	00	Unused, make it always 00
5:0	R/W	Gain	26h	Set gain: 00,0000: 6dB 00,0001: 6.5dBGain increased by 0.5dB every step 10,0101: 25dB 10,0111: 25.5dBGain increased by 0.5dB every step 11,1100: 36dB

Register Address: 0x03 (default 20h)

Bit	R/W	Label	Default	Description
7	R/W	Modulation	0	0: BD mode; 1: 1SPW mode
6:5	R/W	CLOCK	01	CLOCK setting 00: 10: 01: 11:
4:3	R/W	OC Threshold	00	OC Threshold Setting 00: 10: 01: 11:
2	R/W	OT Flag	0	Changes to 1 when OTP happened; back to 0 when OTP evacuated;
1	R/W	OC Flag	0	Changes to 1 when OCP happened; back to 0 when OCP evacuated;
0	R/W	DC Flag	0	Changes to 1 when DCP happened; back to 0 when DCP evacuated;

Register Address: 0x10 (default FFh)

Bit	R/W	Label	Default	Description
7:0	R/W	DigClip[19:12]	FFh	The digital clipper level is decoded from 3 registers: DigClip[19:12], DigClip[11:4] and DigClip[3:0]. The default value is the highest value of the level.

Register Address: 0x11 (default FFh)

Bit	R/W	Label	Default	Description
7:0	R/W	DigClip[11:4]	FFh	The digital clipper level is decoded from 3 registers: DigClip[19:12], DigClip[11:4] and DigClip[3:0]. The default value is the highest value of the level.

Register Address: 0x12 (default F4h)

Bit	R/W	Label	Default	Description
7:4	R/W	DigClip[3:0]	1111	The digital clipper level is decoded from 3 registers: DigClip[19:12], DigClip[11:4] and DigClip[3:0]. The default value is the highest value of the level.

3	R/W	SLEEP	0	0: the device is not in the SLEEP mode; 1: the device is in the SLEEP mode.
2	R/W	SD	1	0: the device is shut down; 1: the device is not shut down;
1	R/W	MUTE_L	0	0: the left channel is not muted 1: the left channel is muted
0	R/W	MUTE_R	0	0: the right channel is not muted 1: the right channel is muted

Register Address: 0x13 (Default CFh)

Bit	R/W	Label	Default	Description
7:0	R/W	Vol_L	CFh	Left channel Volume control 1111,1111: +24dB; 1111,1110: 23.5dBGain decreased by 0.5dB every step 1100,1111: 0dBGain decreased by 0.5dB every step 0000,0111: -100dB Any setting less than 0000,0111 places the channel in MUTE

Register Address: 0x14 (Default CFh)

Bit	R/W	Label	Default	Description
7:0	R/W	Vol_R	CFh	Left channel Volume control 1111,1111: +24dB; 1111,1110: 23.5dBGain decreased by 0.5dB every step 1100,1111: 0dBGain decreased by 0.5dB every step 0000,0111: -100dB Any setting less than 0000,0111 places the channel in MUTE

Register Address: 0x15 (default 94h)

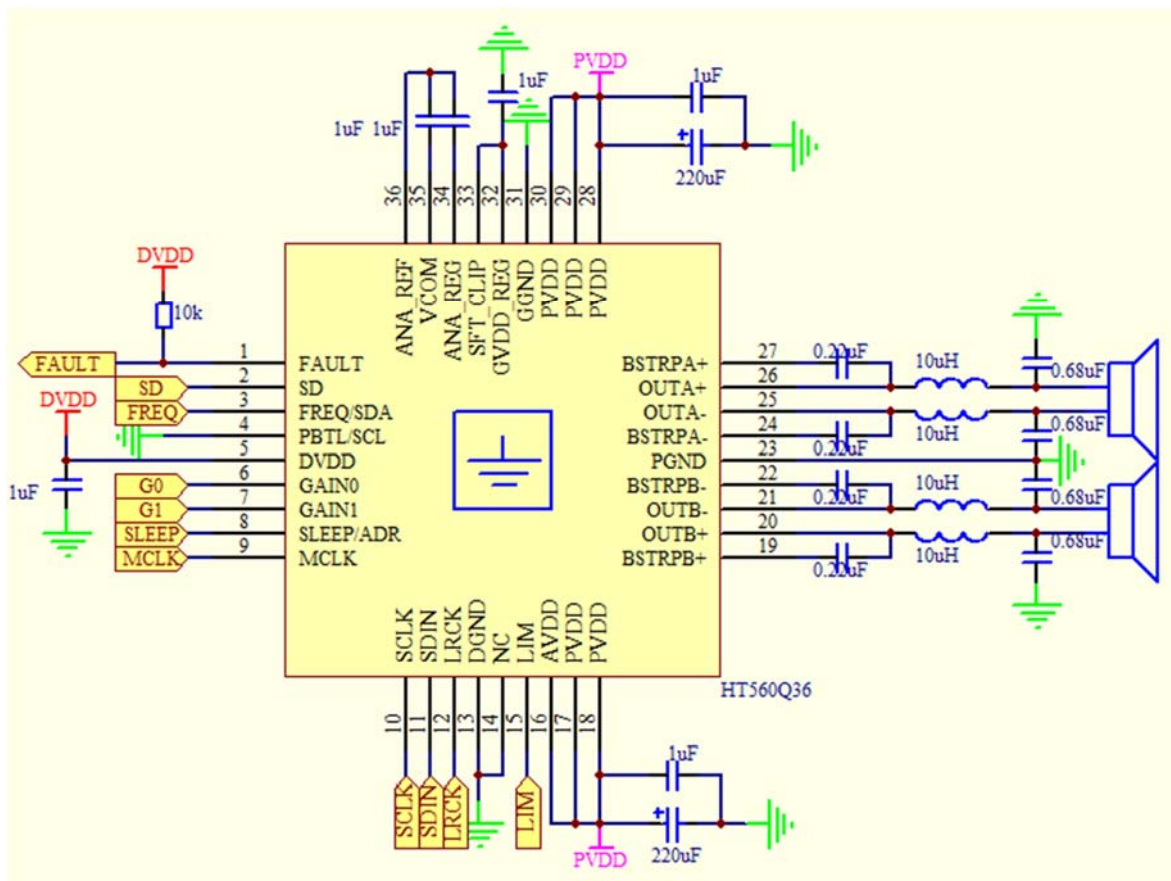
Bit	R/W	Label	Default	Description
7	R/W	Fade	1	0: Volume fading is disabled; 1: Volume fading is enabled
6	R/W	HPF Byps	0	0: The internal high-pass filter in the digital path is not bypassed 1: The internal high-pass filter in the digital path is bypassed
5:4	R/W	Dig Bst	01	Digital Boost setting 00: +0dB is added to the signal in the digital path 01: +6dB is added to the signal in the digital path 10: +12dB is added to the signal in the digital path 11: +18dB is added to the signal in the digital path
3	R/W	SS/DS	0	Single Speed / Double speed mode select 0: Serial Audio Port will accept single speed sample rates (that is 32kHz, 44.1kHz, 48kHz) 1: Serial Audio Port will accept double speed sample rates (that is 88.2kHz, 96kHz)
2:0	R/W	Format	100	Serial Audio Input Format 000: Serial audio input format is 24 bits, right justified 001: Serial audio input format is 20 bits, right justified

				010: Serial audio input format is 18 bits, right justified 011: Serial audio input format is 16 bits, right justified 100: Serial audio input format is IIS 101: Serial audio input format is 16-24 bits, left justified Settings above 101 are reserved and must not be used
--	--	--	--	--

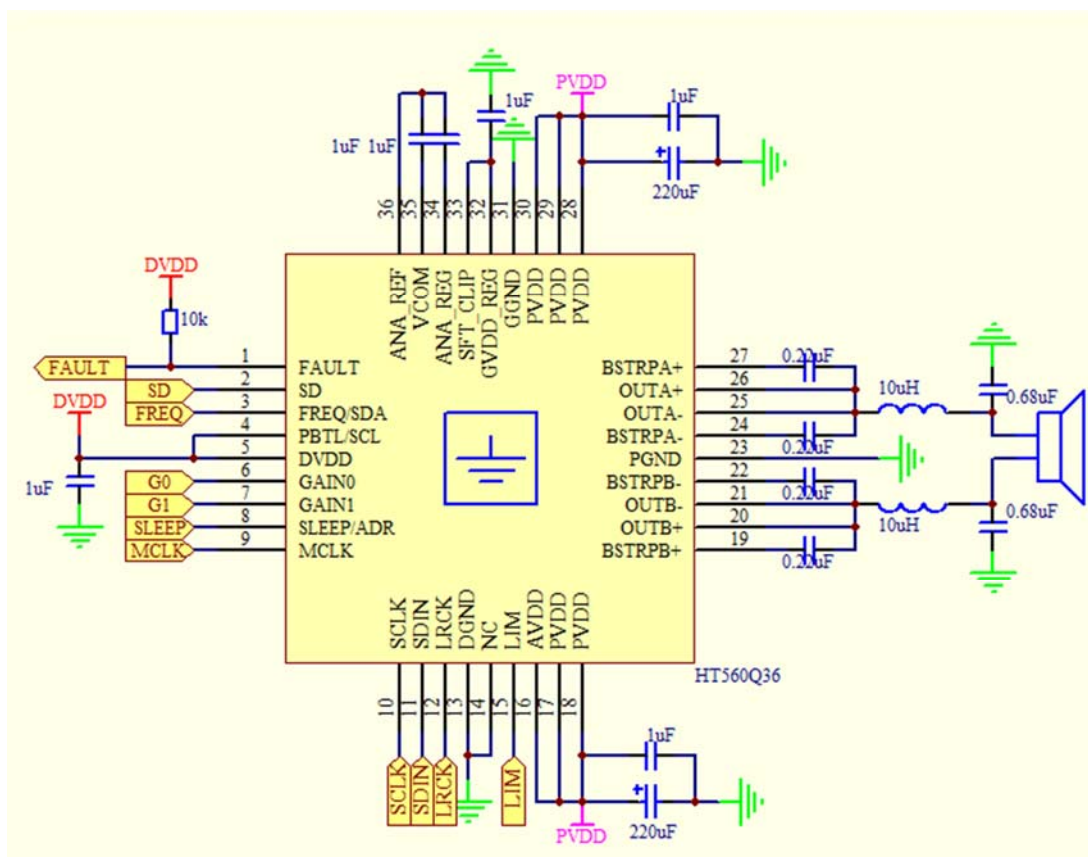
Register Address: 0x16 (Default A0h)

Bit	R/W	Label	Default	Description
7	R/W	PBTL_ch	1	Channel selection for PBTL mode 0: the audio information from the right channel of the serial audio input stream is used 1: the audio information from the left channel of the serial audio input stream is used
6:0	/	Reserved	20h	Unused, make it always 20h.

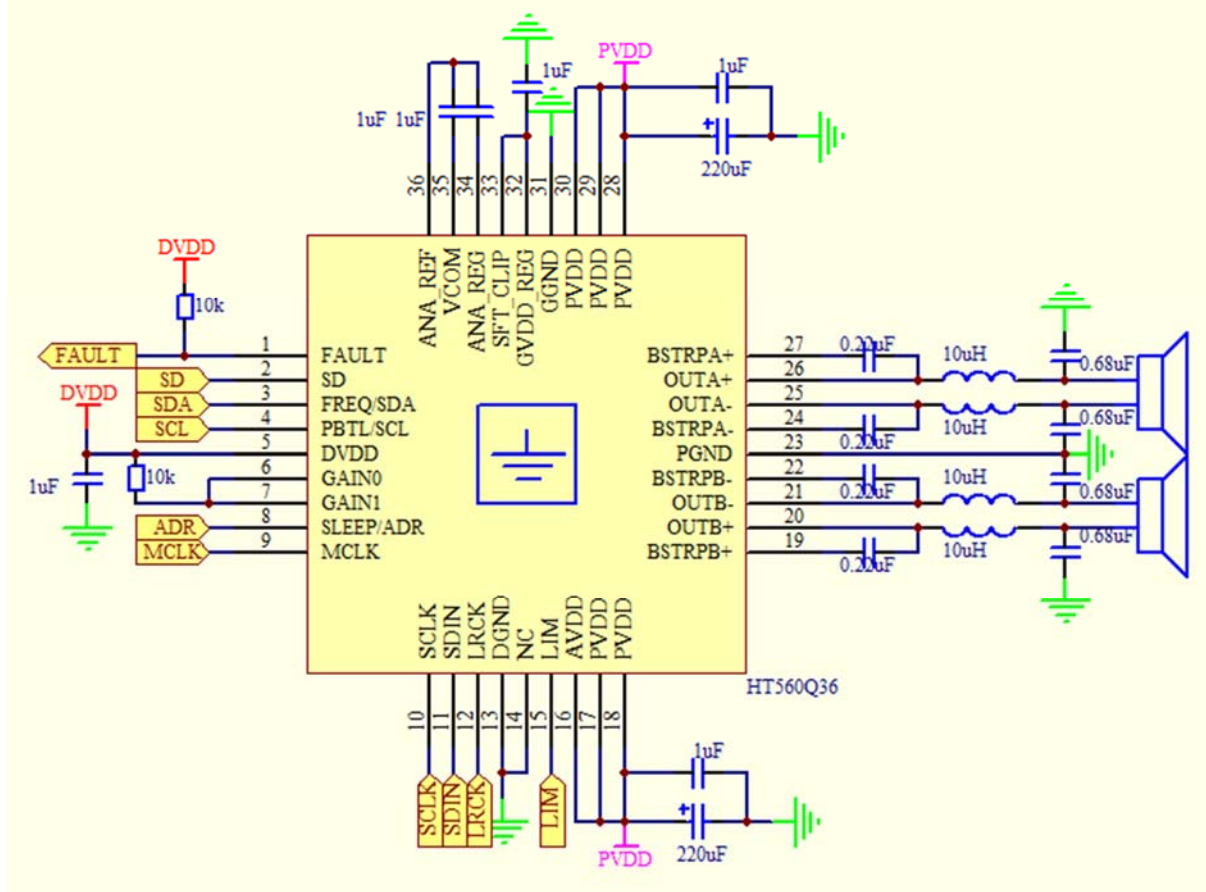
典型应用图



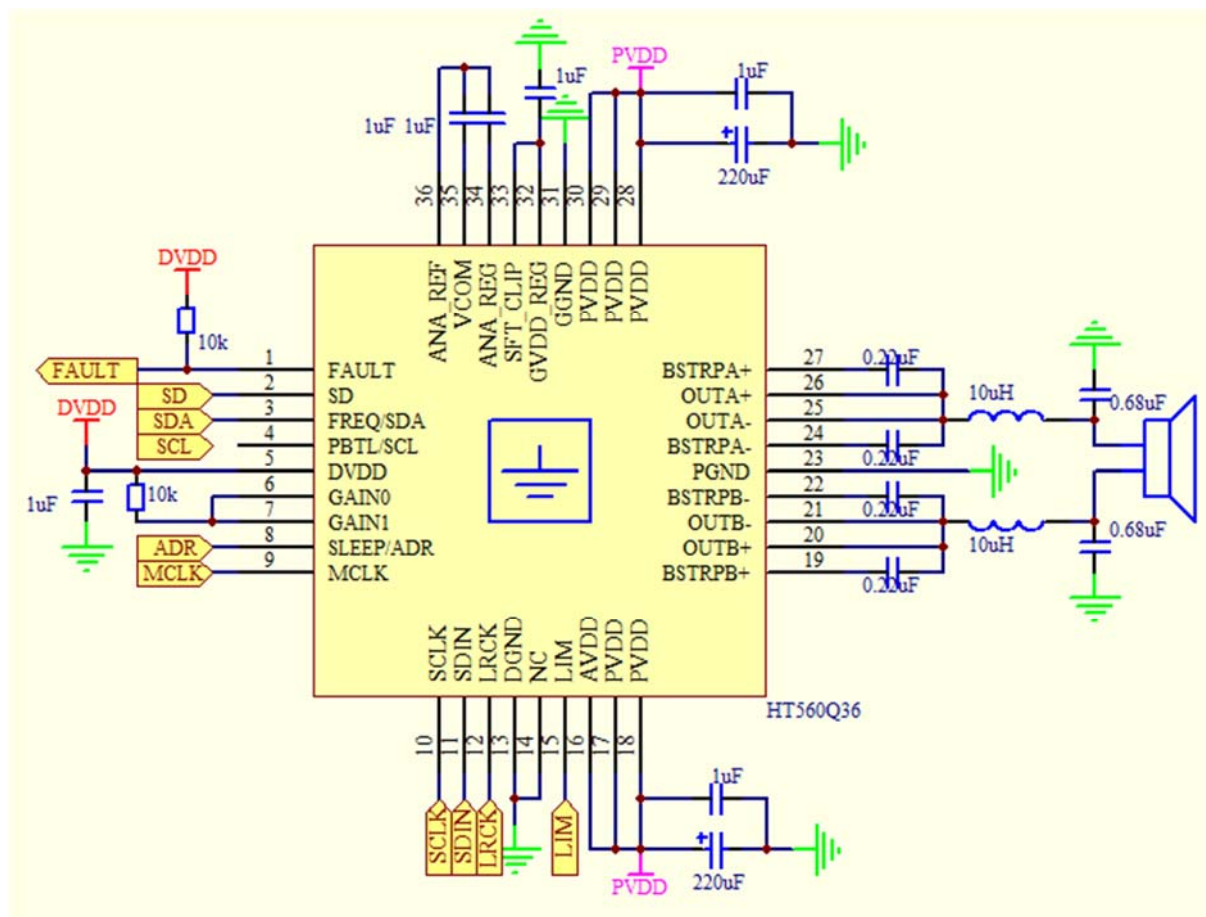
硬件模式BTL输出



硬件模式PBTTL输出



软件I2C模式 BTL输出



软件I2C模式 PBTL输出

相关说明：**1. FAULT错误显示脚**

FAULT 引脚应通过电阻拉高（接 DVDD）。当芯片发生错误（如过流保护、DC 保护、欠压保护等），FAULT 为低。

2. SD 关断脚

SD 拉低，芯片关断；SD 拉高，芯片开启

3. FREQ

当 FREQ 通过电阻拉高（接 DVDD），D 类的 PWM 频率为 $8 \times f_s$ (f_s 为 IIS 的采样频率)；但 FREQ 为低，D 类的 PWM 频率为 $16 \times f_s$ 。

4. PBTL

当 PBTL 通过电阻拉高（接 DVDD）芯片进入 PBTL 模式，输出变为一个通道，可参考上图。

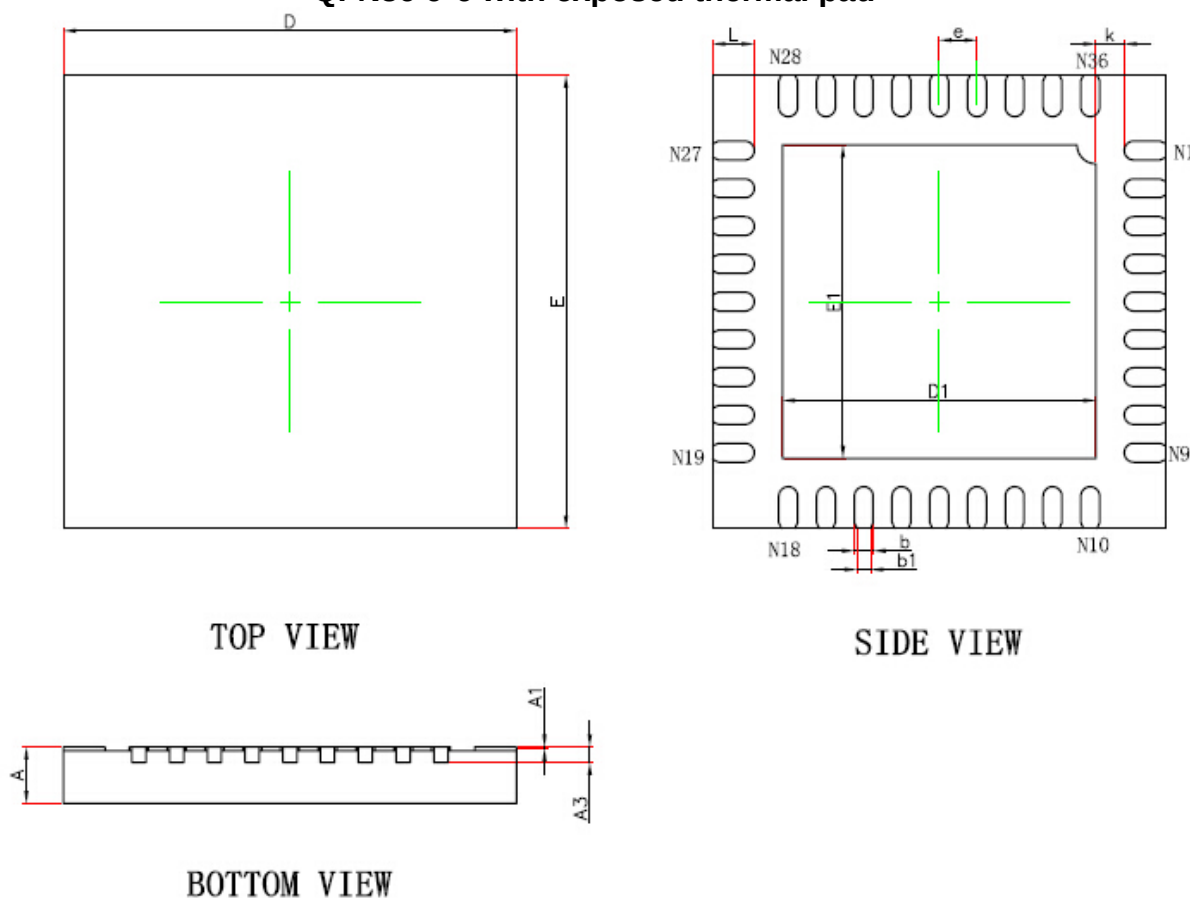
5. GAIN0 , GAIN1

Gain0:Gain1	Gain
00	25
01	28
10	31
11	软件模式

软件模式下，pin4为IIC的SCL脚，pin3为IIC的SDA脚，pin8为ADR，ADR为高时，该器件地址为1101101[r/w]；ADR为低时，该器件地址为1101100[r/w]。

6. SLEEP

当SLEEP通过电阻拉高（接DVDD）芯片进入睡眠模式；当SLEEP通过电阻拉低，芯片进入工作状态。

封装外形
QFN36 6*6 with exposed thermal pad


Symbol	Dimensions In Millimeters		Dimensions In Inches	
	MIN.	MAX.	MIN.	MAX.
A	0.700	0.800	0.028	0.031
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	5.900	6.100	0.232	0.240
E	5.900	6.100	0.232	0.240
D1	4.050	4.250	0.159	0.167
E1	4.050	4.250	0.159	0.167
b	0.180	0.300	0.007	0.012
b1	0.130	0.230	0.005	0.009
e	0.500TYP.		0.020TYP.	
k	0.200MIN.		0.008MIN.	
L	0.500	0.600	0.020	0.024

IMPORTANT NOTICE**注意**

Jiaxing Heroic Electronic Technology Co., Ltd (HT) reserves the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any products or services. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete.

嘉兴禾润电子科技有限公司（以下简称HT）保留对产品、服务、文档的任何修改、更正、提高、改善和其他改变，或停止提供任何产品和服务的权利。客户在下单和生产前应确保所得到的信息是最新、最完整的。

HT assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using HT components.

HT对相关应用的说明和协助以及客户产品的板级设计不承担任何责任。

HT products are not authorized for use in safety-critical applications (such as life support devices or systems) where a failure of the HT product would reasonably be expected to affect the safety or effectiveness of that devices or systems.

HT的产品并未授权用于诸如生命维持设备等安全性极高的应用中。

The information included herein is believed to be accurate and reliable. However, HT assumes no responsibility for its use; nor for any infringement of patents or other rights of third parties which may result from its use.

本文中的相关信息是精确和可靠的，但HT并不对其负责，也不对任何可能的专利和第三方权利的侵害负责。

Following are URLs and contacts where you can obtain information or supports on any HT products and application solutions:

下面是可以联系到我公司的相关链接和联系方式：

嘉兴禾润电子科技有限公司**Jiaxing Heroic Electronic Technology Co., Ltd.**

地址：浙江省嘉兴市凌公塘路3339号JRC大厦A座三层

Add: A 3rd floor, JRC Building, No. 3339, LingGongTang Road, Jiaxing, Zhejiang Province

Sales: 0573-82583866, sales@heroic.com.cn

Support: 0573-82586151, support@heroic.com.cn

Fax: 0573-82585078

Website: www.heroic.com.cn; wap.heroic.com.cn

Wechat MP: HEROIC_JX

请及时关注禾润官方微信公众号，随时获取最新产品信息和技术资料！

