

S3C44B0X 中文数据手册 (V0.1)

S3C44B0X 中文数据手册 (V0.1)..... 1

1. S3C44B0X 概述 2

1. 1 简介..... 2

1. 2 特性..... 2

1. 3 内部结构图..... 6

1. 4 芯片引脚定义..... 6

1. S3C44B0X 概述

1. 1 简介

Samsung 公司推出的 16/32 位 RISC 处理器 S3C44B0X 为手持设备和一般类型应用提供了高性价比和高性能的微控制器解决方案。为了降低成本, S3C44B0X 提供了丰富的内置部件, 包括: 8KB cache, 内部 SRAM, LCD 控制器, 带自动握手的 2 通道 UART, 4 通道 DMA, 系统管理器 (片选逻辑, FP/EDO/SDRAM 控制器), 代用 PWM 功能的 5 通道定制器, I/O 端口, RTC, 8 通道 10 位 ADC, IIC-BUS 接口, IIS-BUS 接口, 同步 SIO 接口和 PLL 倍频器。

S3C44B0X 采用了 ARM7TDMI 内核, 0.25um 工艺的 CMOS 标准宏单元和存储编译器。它的低功耗精简和出色的全静态设计特别适用于对成本和功耗敏感的应用。同样 S3C44B0X 还采用了一种新的总线结构, 即 SAMBA II (三星 ARM CPU 嵌入式微处理器总线结构)。

S3C44B0X 的杰出特性是它的 CPU 核, 是由 ARM 公司设计的 16/32 位 ARM7TDMI RISC 处理器 (66MHz)。ARM7TDMI 体系结构的特点是它集成了 Thumb 代码压缩器, 片上的 ICE 断点调试支持, 和一个 32 位的硬件乘法器。

S3C44B0X 通过提供全面的、通用的片上外设, 大大减少了系统电路中除处理器以外的元器件配置, 从而最小化系统的成本。本章将对下面所列的各种片上功能进行介绍。

- ◆ 2.5V ARM7TDMI 内核, 带有 8K 高速缓存器 (SAMBA II 总线体系结构, 主频高至 66MHz);
- ◆ 外部存储器控制器 (FP/EDO/SDRAM 控制, 片选逻辑);
- ◆ LCD 控制器 (最大支持 256 色 STN, LCD 具有专用 DMA);
- ◆ 2 通道通用 DMA、2 通道外设 DMA 并具有外部请求引脚;
- ◆ 2 通道 UART 带有握手协议 (支持 IrDA 1.0, 具有 16-byte FIFO)/1 通道 SIO;
- ◆ 1 通道多主 IIC-BUS 控制器;
- ◆ 1 通道 IIS-BUS 控制器;
- ◆ 5 个 PWM 定时器和 1 通道内部定时器;
- ◆ 看门狗定时器;
- ◆ 71 个通用 I/O 口/8 通道外部中断源;
- ◆ 功耗控制: 具有普通, 慢速, 空闲和停止模式;
- ◆ 8 通道 10 位 ADC;
- ◆ 具有日历功能的 RTC;
- ◆ 具有 PLL 的片上时钟发生器。

1. 2 特性

体系结构

○ 集成了手持设备和通用嵌入式系统应用的解决方案;

- 16/32 位 RISC 体系结构和 ARM7TDMI 处理器内核强大的指令体系;
- Thumb 代码压缩机, 最大化代码密度同时保持了 32 位指令的性能;
- 基于 JTAG 的片上集成 ICE 调试支持解决方案;
- 32×8 位硬件乘法器;
- 实现低功耗 SAMBA II (三星 ARM 处理器嵌入式微控制器总线体系结构) 的新型总线结构。

系统管理器

- 支持大/小端方式;
- 寻址空间: 每 bank 32M 字节 (共 256M 字节);
- 支持每 bank 可编程的 8/16/32 位数据总线宽度;
- 7 个 bank 具有固定的 bank 起始地址和可编程的 bank 大小;
- 1 个 bank 具有可编程的 bank 起始地址和 bank 大小;
- 8 个存储器 bank:
 - 6 个 ROM, SRAM 存储器 bank;
 - 2 个 ROM/SRAM/DRAM (快速页面, EDO 和同步 DRAM);
- 所有的存储器 bank 具有可编程的操作周期;
- 支持外部等待信号延长总线周期;
- 支持掉电时 DRAM/SDRAM 的自刷新模式;
- 支持均匀/非均匀的 DRAM 地址。

Cache 存储器和内部 SRAM

- 一体化的 8k 字节 cache;
- 未用的 cache 空间用来作为 0/4/8 k 字节的 SRAM 存储空间;
- 支持 LRU (近期最少使用) 替换算法
- 采用保持主存储器与 cache 内容一致性的“写穿式”策略
- 写存储器具有 4 级深度
- 当 cache 未命中时, 采用“请求数据优先填充”技术

时钟和电源管理

- 低功耗
- 片上 PLL 使 MCU 工作时钟最大达到 75MHz
- 可以通过软件设置各功能模块的输入时钟
- 电源模式: 正常, 慢速, 空闲和停止模式;
 - 正常模式: 正常工作模式;
 - 慢速模式: 不加 PLL 的低时钟频率模式;
 - 空闲模式: 只停止 CPU 的时钟;
 - 停止模式: 停止所有的时钟;
- 通过 EINT[7:0]或 RTC 报警中断从停止模式唤醒

中断控制器

- 30 个中断源 (看门狗定时器, 6 个定时器, 6 个 UART, 8 个外部中断, 4 个 DMA, 2 个 RTC, 1 个 ADC, 1 个 IIC, 1 个 SIO)
- 采用向量化的 IRQ 中断模式以减少中断的延迟
- 可选的电平/边沿模式触发外部中断;
- 电平/边沿模式具有可编程的优先级;
- 支持 FIQ 为紧急的中断请求进行服务;

定时器和 PWM (脉宽调制)

○ 5 通道 16 位具有 PWM 功能的定时器，1 通道 16 位内部定时器（可进行基于 DMA 或中断的操作）

○ 可编程的占空比周期，频率，和优先级

○ 能产生死区

○ 支持外部时钟源

RTC（实时时钟）

○ 充分的时钟特性：毫秒，秒，分钟，小时，日，星期，月，年

○ 32.768KHz 时钟；

○ 定时警报，可用于唤醒 CPU；

○ 可产生时钟节拍中断；

通用 I/O 口

○ 8 个外部中断口

○ 71 个多功能输入/输出口

UART(异步串行通讯)

○ 2 通道 UART，可进行基于 DMA 或中断的操作

○ 支持 5 位，6 位，7 位或 8 位串行数据传输/接收

○ 支持在发送/接收期间的 H/W 握手功能

○ 可编程的波特率

○ 支持 IrDA 1.0（115.2Kbps）

○ 支持用于测试的回馈模式

○ 每个通道具有 2 个内部 32 字节 FIFO 分别用于输入和输出

DMA（直接存储器操作）控制器

○ 2 通道通用 DMA（直接存储器操作）控制器，不需要 CPU 干预

○ 2 通道 DMA 桥（外设 DMA）控制器

○ 支持 I/O 到存储器，存储器到 I/O，I/O 到 I/O 的 6 种 DMA 请求：

软件，4 个内部功能模块（UART，SIO，定时器，IIS），和外部引脚。

○ 在同时发生的多个 DMA 之间具有可编程的优先级顺序；

○ 采用猝发式的传输模式以提高 FPD RAM, EDODRAM 和 SDRAM 的数据传输速率；

○ 支持在外部设备到存储器和存储器到外部设备之间采用 fly-by 模式

A/D 转换器

○ 8 通道的 ADC

○ 最大 500k SPS/10-bit

LCD 控制器

○ 支持彩色/黑白/灰度 LCD 屏

○ 支持单路扫描和双路扫描

○ 支持虚拟显示屏功能

○ 系统存储器用来作为显示缓存

○ 用专门的 DMA 来从系统存储器中获得图象数据

○ 可编程的屏幕大小

○ 灰度等级：16 级灰度；

○ 最多 256 种颜色

看门狗定时器

○ 16 位的看门狗定时器

- 在定时器溢出时发出中断请求或系统复位

IIC 总线接口

- 1 通道多主 IIC 总线，可进行基于中断的操作模式
- 可进行串行，8 位，双向数据传输，标准模式速度达到 100Kbit/S，快速模式达到 400Kbit/s

IIS 总线接口

- 1 通道音频 IIS 总线接口，可进行基于 DMA 的操作
- 串行，每通道 8/16 位数据传输
- 支持 MSB-justified 数据格式

SIO（同步串行 I/O）

- 1 通道 SIO，可进行基于 DMA 或中断的操作
- 可编程的波特率
- 支持 8 位串行数据的传输和接收操作

工作电压范围

- 内核 2.5V， I/O 口：3.0V 到 3.6V

工作频率

- 最大 75MHz

封装

- 160LQFP/160FBGA

1. 3 内部结构图

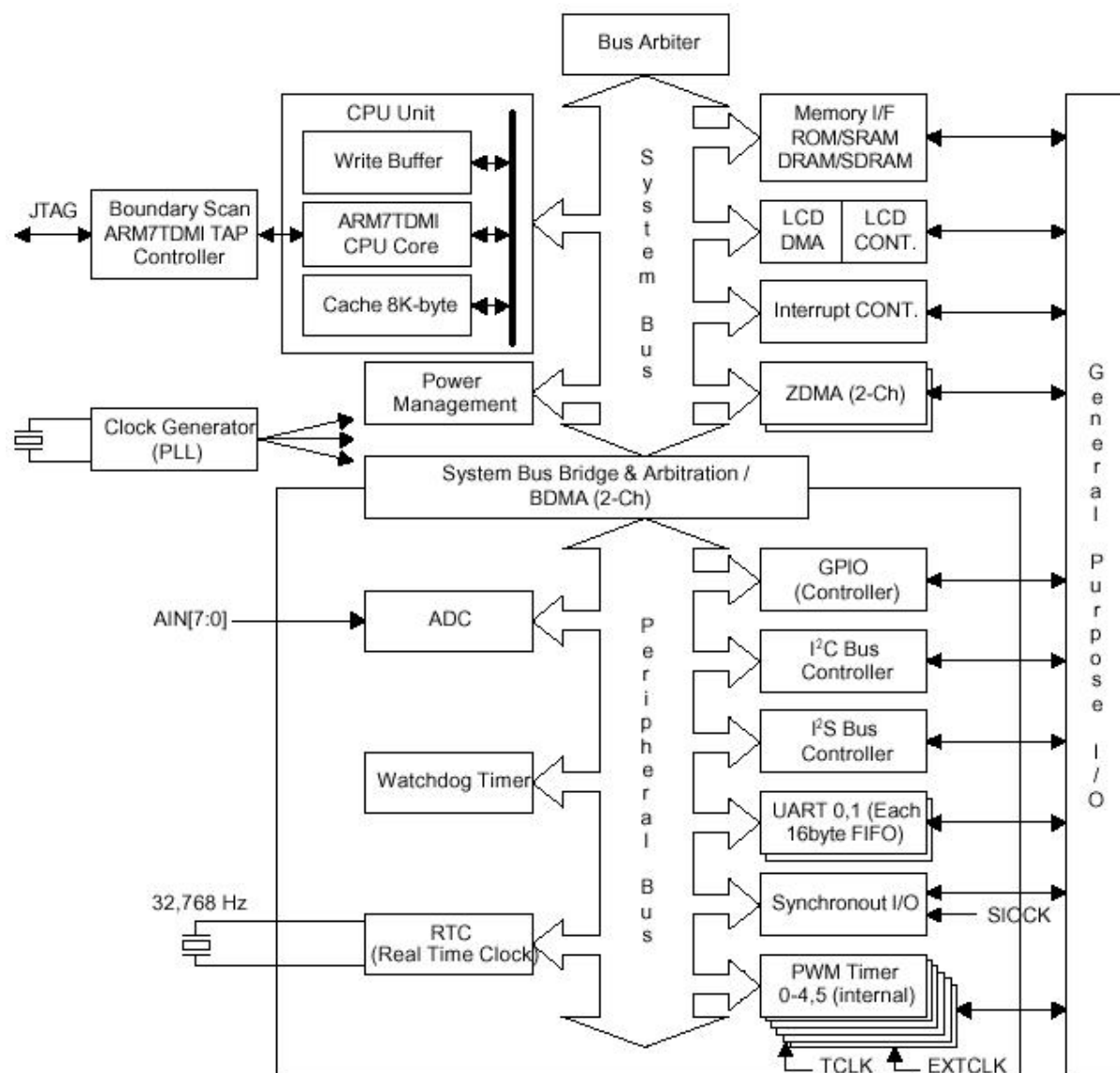


图 29—1 S3C44B0X 内部结构图

1. 4 芯片引脚定义

下图是 S3C44B0X 的引脚分布图：

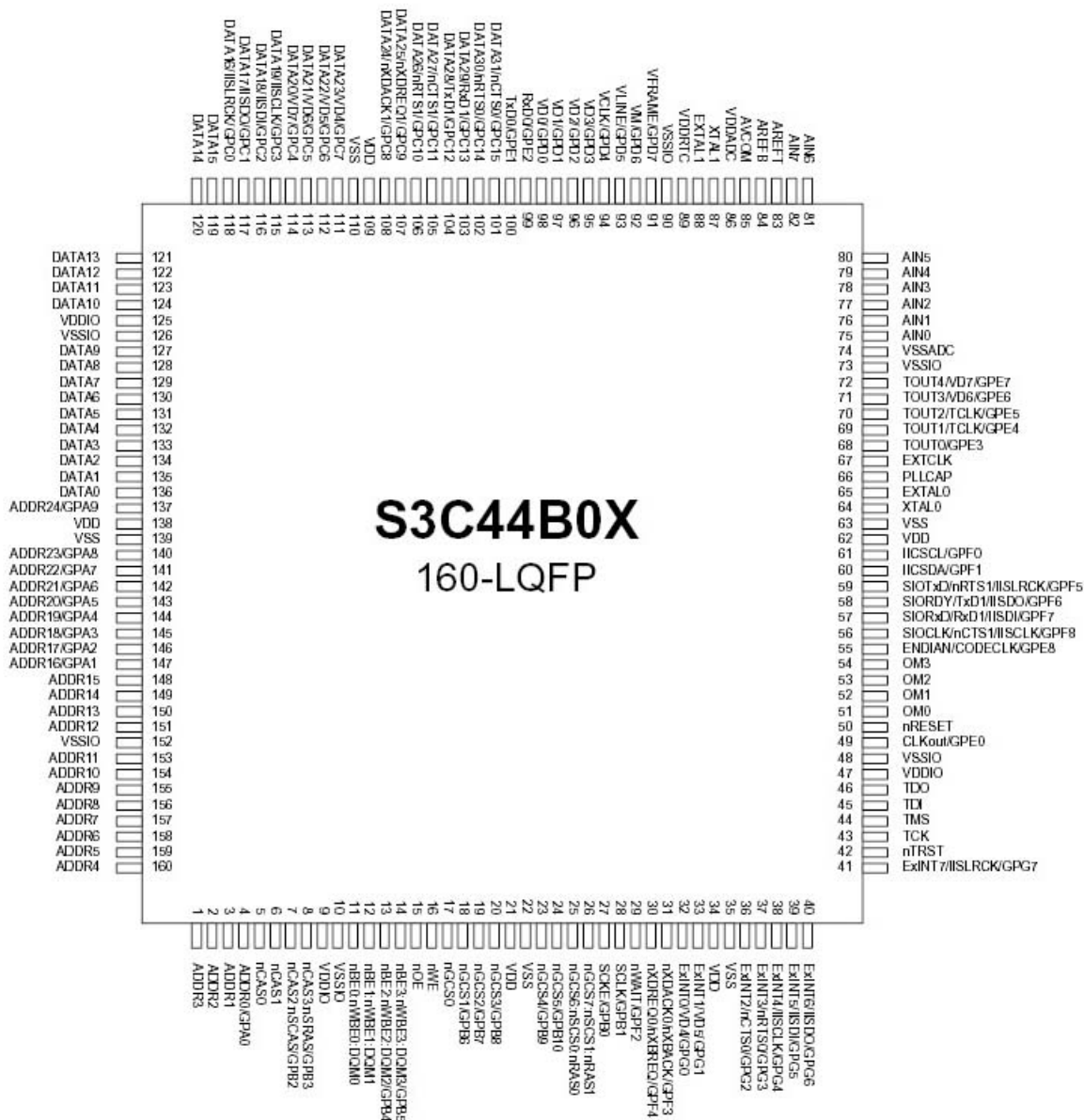


图 29—2 S3C44B0X 引脚分布图

各引脚信号描述如下：

信 号	输入/输出	描 述
总线控制		
OM[1:0]	I	设置 S3C44B0X 测试模式和确定 nGCS0 的总线宽度，逻辑电平在复位期间由这些管脚的上拉下拉电阻确定。 00:8-bit 01:16-bit 10:32-bit 11:Test mode
ADDR[24:0]	O	地址总线 输出相应 bank 的存储器地址
DATA[31:0]	I/O	数据总线,总线宽度可编程为 8/16/32 位
nGCS[7:0]	O	芯片选择,当存储器地址在相应段的地址区域时被激活.存取周期和段尺寸可编程。
nWE	O	写允许信号,指示当前的总线周期为写周期
nWBE[3:0]	O	写字节允许信号
nOE	O	读允许信号,指示当前的总线周期为读周期

nXBREQ	I	总线控制请求信号，允许另一个总线控制器请求控制本地总线，nXBACK 信号激活指示已经得到总线控制权。
nXBACK	O	总线应答信号。
nWAIT	I	nWAIT 请求延长当前的总线周期，只要 nWAIT 为低，当前的总线周期不能完成。
ENDIAN	I	它确定数据类型是 little endian 还是 big endian，逻辑电平在复位期间由该管脚的上拉下拉电阻确定。 0:little endian 1:big endian
DRAM/SDRAM/RAM		
nRAS[1:0]	O	行地址选通信号。
nCAS[3:0]	O	列地址选通信号。
nSRAS	O	SDRAM 行地址选通信号。
nSCAS	O	SDRAM 列地址选通信号。
nSCS[1:0]	O	SDRAM 芯片选择信号。
DQM[3:0]	O	SDRAM 数据屏蔽信号。
SCLK	O	SDRAM 时钟信号。
SCKE	O	SDRAM 时钟允许信号。
nBE[3:0]	O	在使用 SRAM 情况下 16 位字允许信号
LCD 控制单元		
VD[7:0]	O	LCD 数据线，在驱动 4 位双扫描的 LCD 时，VD[3:0]为上部显示区数据，VD[7:4]为下部显示区数据。
VFRAME	O	LCD 场信号，指示一帧的开始，在开始的第一行有效。
VM	O	VM 极性变换信号，变化 LCD 行场扫描电压的极性，可以每帧或可编程多少个 VLINE 信号打开。
VLINE	O	LCD 行信号，在一行数据左移进 LCD 驱动器后有效。
VCLK	O	LCD 点时钟信号，数据在 VCLK 的上升沿发送，在下降沿被 LCD 驱动器采样。
TIMER/PWM		
TOUT[4:0]	O	定时器输出信号。
TCLK	I	外部时钟信号输入。
中断控制单元		
EINT[7:0]	I	外部中断请求信号。
DMA		
nXDREQ[1:0]	I	外部 DMA 请求信号。
nXDACK[1:0]	O	外部 DMA 应答信号。
UART		
RxD[1:0]	I	UART 接收数据输入线。
TxD[1:0]	O	UART 发送数据线。
nCTS[1:0]	I	UART 清除发送输入信号。
nRTS[1:0]	O	UART 请求发送输出信号。
IIC-BUS		
IICSDA	I/O	IIC 总线数据线。
IIC_SCL	I/O	IIC 总线时钟线。
IISLRCK	I/O	IIS 总线通道时钟选择信号线。

IISDO	O	IIS 总线串行数据输出信号。
IISDI	I	IIS 总线串行数据输入信号。
IISCLK	I/O	IIS 总线串行时钟。
CODECLK	O	CODEC 系统时钟。
SIO		
SIORXD	I	SIO 接收数据输入线。
SIOTXD	O	SIO 发送数据线。
SIOCK	I/O	SIO 时钟信号。
SIORDY	I/O	当 SIO 的 DMA 完成 SIO 操作时的握手信号。
ADC		
AIN[7:0]	AI	ADC 模拟信号输入
AREFT	AI	ADC 顶参考电压输入。
AREFB	AI	ADC 底参考电压输入。
AVCOM	AI	ADC 公共参考电压输入。
通用口线		
P[70:0]	I/O	通用 I/O 口（一些口只有输出模式）。
Reset&Clock		
nRESET	ST	复位信号，nRESET 挂起程序，放 S3C44B0X 进复位状态。在电源打开已经稳定时，nRESET 必须保持低电平至少 4 个 MCLK 周期。
OM[3:2]	I	OM[3:2]确定时钟模式。 00 = Crystal(XTAL0,EXTAL0), PLL on 01 = EXTCLK, PLL on 10, 11 = Chip test mode.
EXTCLK	I	当 OM[3:2]选择外部时钟时的外部时钟输入信号线，不用时必须接高（3.3V）
XTAL0	AI	系统时钟内部振荡线路的晶体输入脚。不用时必须接高（3.3V）
EXTAL0	AO	系统时钟内部振荡线路的晶体输出脚，它是 XTAL0 的反转输出信号。不用时必须悬空。
PLLCAP	AI	接系统时钟的环路滤波电容（700PF）
XTAL1	AI	RTC 时钟的晶体输入脚。
EXTAL1	AO	RTC 时钟的晶体输出脚。它是 XTAL1 的反转输出信号。
CLKout	O	时钟输出信号
JTAG 测试逻辑		
nTRST 输入	I	TAP 控制器复位信号，nTRST 在 TAP 启动时复位 TAP 控制器。若使用 debugger，必须连接一个 10K 上拉电阻，否则 nTRST 必须为低电平。
TMS 输入	I	TAP 控制器模式选择信号，控制 TAP 控制器的状态次序，必须连接一个 10K 上拉电阻。
TCK	I	TAP 控制器时钟信号，提供 JTAG 逻辑的时钟信号源，必须连接一个 10K 上拉电阻。
TDI	I	TAP 控制器数据输入信号，是测试指令和数据的串行输入脚，必须连接一个 10K 上拉电阻。
TDO	O	TAP 控制器数据输出信号，是测试指令和数据的串行输出脚。
电源		
VDD	P	S3C44B0X 内核逻辑电压（2.5V）

VSS	P	S3C44B0X 内核逻辑地
VDDIO	P	S3C44B0X I/O 口电源(3.3V)
VSSIO	P	S3C44B0X I/O 地
RTCVDD	P	RTC 电压(2.5V 或 3V,不支持 3.3V)
VDDADC	P	ADC 电压(2.5V)
VSSADC	P	ADC 地.