P87CL52X2/54X2 器件手册

概述

PHILIPS P87CL5xX2 是一款高性能的静态 80C51 器件，由高密度 CMOS 工艺制造而成，工作电压范围为 1.8V～3.3V。

无 ROM 的 P87CL5xX2 包含 256×8 RAM，32 个 I/O 口，3 个 16 位计数器/定时器，一个 6 中断源-4 优先级-嵌套中断结构，一个可用于多机通信、I/O 扩展或全双工 UART 的串口和片内振荡器以及时钟电路。

此外，芯片的低功耗静态设计提供非常宽的操作频率，可低至 0。可实现由软件选择的 2 种节电模式－空闲模式和掉电模式。空闲模式冻结 CPU，但 RAM、定时器、串口和中断系统仍然工作。掉电模式保存 RAM 内容，但是冻结振荡器，使所有其它芯片功能停止工作。由于设计是静态的，时钟可停止而不会丢失用户数据，运行时可从时钟停止处恢复。

特性

- 8051 核心处理单元
  - －TSSOP 或 LQFP 封装
  - －256×8 RAM
  - －3 个 16 位的计数器/定时器
  - －布尔处理器
  - －全静态操作
  - －低电压（12MHz 下从 1.8V 到 3.3V）操作（12 时钟模式）
- 存储器寻址范围
  - －64K ROM 和 64K RAM
- 电源控制模式
  - －时钟可停止和恢复
  - －空闲模式
  - －掉电模式
- CMOS 和 TTL 兼容
- Vcc=3.3V 时有 2 个频率范围
  - －0 到 16MHz（6 时钟模式）
  - －0 到 33MHz（12 时钟模式）
- 双数据指针
- 4 个中断优先级
- 6 个中断源
- 4 个 8 位 I/O 口
- 全双工增强型 UART
  - －帧错误检测
  - －自动地址识别
- 编程时钟输出
- 异步端口复位
- 低 EMI（禁止 ALE）
- 掉电模式可通过外部中断唤醒

P87CL5xX2 定购信息

类型编号	封装			
	名称	描述	温度范围(℃)	版本
P87CL52X2BDH	TSSOP38	塑料小封装；38 脚；本体宽度 4.4mm；引脚距 0.5mm	0 到 70℃	SOT510-1
P87CL52X2BBD	LQFP44	塑料小型方形扁平封装；本体宽度 10×10×1.4mm	0 到 70℃	SOT389-1
P87CL54X2BDH	TSSOP38	塑料小封装；38 脚；本体宽度 4.4mm；引脚距 0.5mm	0 到 70℃	SOT510-1
P87CL54X2BBD	LQFP44	塑料小型方形扁平封装；本体宽度 10×10×1.4mm	0 到 70℃	SOT389-1

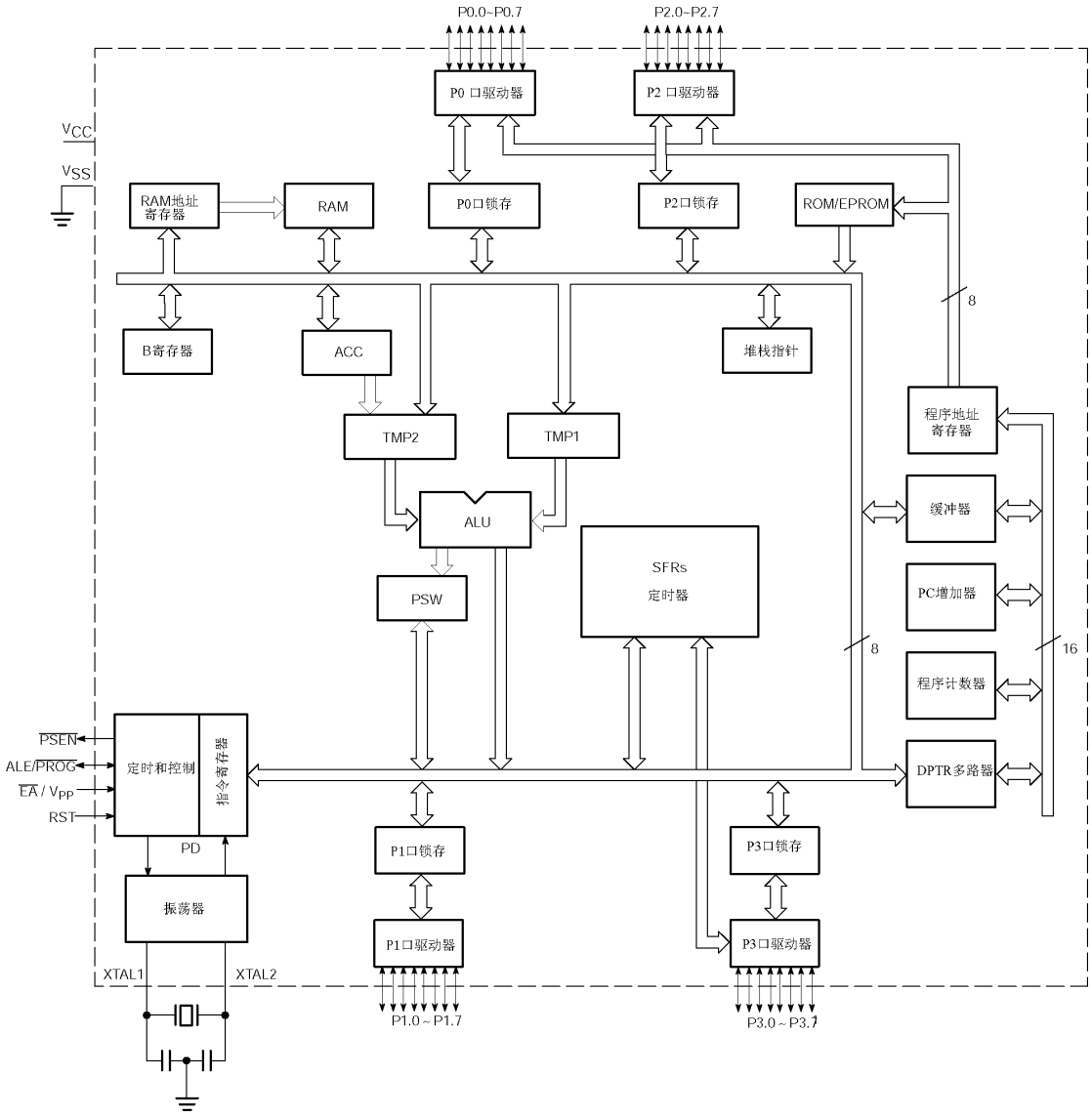
注：

1、 80CL52/80CL54 含有 ROM 版本。

下表给出了工作模式、电源和最大外部时钟之间的对应关系：

工作模式	电源	最大时钟频率
6 时钟	3.3V±10％	16MHz
6 时钟	1.8V～3.3V	6MHz
12 时钟	3.3V±10％	33MHz
12 时钟	1.8V～3.3V	12MHz

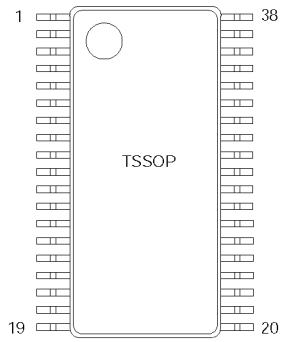
功能框图



注：

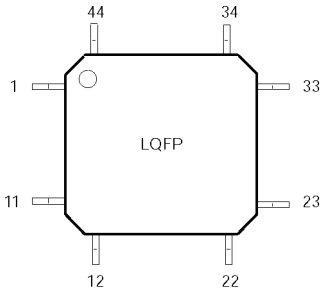
2、 TSSOP38 封装中无 P3.2 和 P3.5 管脚。

TSSOP 封装管脚功能



管脚	功能	管脚	功能	管脚	功能
1	P3.0/RxD	14	P2.4/A12	27	P0.1/AD1
2	P3.1/TxD	15	P2.5/A13	28	P0.0/AD0
3	P3.3/$\overline{INT1}$	16	P2.6/A14	29	V_{DD}
4	P3.4/T0	17	P2.7/A15	30	P1.0/T2
5	P3.6/$\overline{WR}$	18	$\overline{PSEN}$	31	P1.1/T2EX
6	P3.7/$\overline{RD}$	19	ALE/$\overline{PROG}$	32	P1.2
7	XTAL2	20	$\overline{EA}$/V_{PP}	33	P1.3
8	XTAL1	21	P0.7/AD7	34	P1.4
9	V_{SS}	22	P0.6/AD6	35	P1.5
10	P2.0/A8	23	P0.5/AD5	36	P1.6
11	P2.1/A9	24	P0.4/AD4	37	P1.7
12	P2.2/A10	25	P0.3/AD3	38	RST
13	P2.3/A11	26	P0.2/AD2		

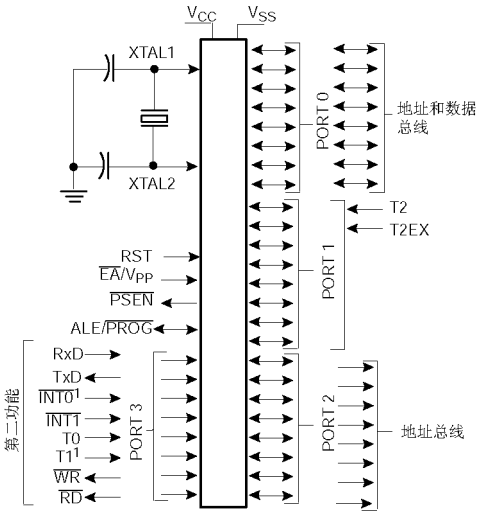
LQFP 封装管脚功能



管脚	功能	管脚	功能	管脚	功能
1	P1.5	16	V_{SS}	31	P0.6/AD6
2	P1.6	17	NIC*	32	P0.5/AD5
3	P1.7	18	P2.0/A8	33	P0.4/AD4
4	RST	19	P2.1/A9	34	P0.3/AD3
5	P3.0/RxD	20	P2.2/A10	35	P0.2/AD2
6	NIC*	21	P2.3/A11	36	P0.1/AD1
7	P3.1/TxD	22	P2.4/A12	37	P0.0/AD0
8	P3.2/$\overline{INT0}$	23	P2.5/A13	38	V_{CC}
9	P3.3/$\overline{INT1}$	24	P2.6/A14	39	NIC*
10	P3.4/T0	25	P2.7/A15	40	P1.0/T2
11	P3.5/T1	26	$\overline{PSEN}$	41	P1.1/T2EX
12	P3.6/$\overline{WR}$	27	ALE	42	P1.2
13	P3.7/$\overline{RD}$	28	NIC*	43	P1.3
14	XTAL2	29	$\overline{EA}$/V_{PP}	44	P1.4
15	XTAL1	30	P0.7/AD7		

*没有内部连接

逻辑符号



注：

1、 TSSOP38 封装中无 $\overline{INT0}$/P3.2 和 T1/P3.5 管脚。

管脚描述

助记符	管脚号		类型	名称和功能
	LQFP	TSSOP		
V_{SS}	16	9	I	**地**：0V 参考点。
V_{CC}	38	29	I	**电源**：提供正常、空闲和掉电工作电压。
P0.0~P0.7	37~30	28~21	I/O	**P0 口**：P0 口是带施密特触发器输入的开漏双向口。可以写 1 悬浮用作高阻输入，在访问外部程序和数据存储器时作为地址和数据总线的低位。当发送 1 时使用内部强上拉。
P1.0~P1.7	40~44 1~3	30~27	I/O	**P1 口**：P1 口是一个带有内部上拉和施密特触发器输入的 8 位双向 I/O 口。向 P1 口写入 1 时，口被内部上拉成高电平可用作输入。当 P1 口作为输入脚时，由于内部上拉的存在，它将被拉低来吸收电流（见 DC 电气特性：I_{IL}）。P1 口还提供如下特殊功能：
	40	30	I/O	**T2(P1.0):**定时器/计数器 2 外部计数输入/时钟输出端（见可编程时钟输出）
	41	31	I	**T2EX(P1.1)**：定时器/计数器 2 重装/捕获/方向控制
P2.0~P2.7	18~25	10~17	I/O	**P2 口**：P2 口是一个带有内部上拉和施密特触发器输入的 8 位双向 I/O 口。向 P2 口写入 1 时，口被内部上拉成高电平可用作输入。当 P2 口作为输入脚时，由于内部上拉的存在，它将被拉低来吸收电流（见 DC 电气特性：I_{IL}）。在访问外部程序存储器和 16 位地址的外部数据存储器（MOVX @DPTR）时输出高字节地址。此应用中，向口送 1 时采用内部强上拉。当访问 8 位地址的外部数据存储器（MOV @Ri）时，P2 口发送 P2 特殊功能寄存器的内容。
P3.0~P3.7	5 7~13	1~6	I/O	**P3 口**：P3 口是一个带有内部上拉和施密特触发器输入的 8 位双向 I/O 口。向 P3 口写入 1 时，口被内部上拉成高电平可用作输入。当 P3 口作为输入脚时，由于内部上拉的存在，它将被拉低来吸收电流（见 DC 电气特性：I_{IL}）。P3 口还包含一些 80C51 系列的特殊特性，如下所示：
	5	1	I	**RXD(P3.0)**：串行输入口
	7	2	O	**TXD(P3.1)**：串行输出口
	8		I	$\overline{\textbf{INT0}}$ **(P3.2)**：外部中断 [1]
	9	3	I	$\overline{\textbf{INT1}}$ **(P3.3)**：外部中断
	10	4	I	**T0(P3.4)**：定时器 0 外部中断
	11		I	**T1(P3.5)**：定时器 1 外部中断 [1]
	12	5	O	$\overline{\textbf{WR}}$ **(P3.6)**：外部数据存储器写选通信号
	13	6	O	$\overline{\textbf{RD}}$ **(P3.7)**：外部数据存储器读选通信号
RST	4	38	I	**Reset:**当晶振运行时只要复位管脚出现 2 个时钟周期的高电平就复位芯片。由于内部有一个扩散电阻连接到 V_{SS}，允许只使用一个外部电容连接到 V_{CC} 来实现上电复位。

续上表……..

助记符	管脚号 LQFP	管脚号 TSSOP	类型	名称和功能
ALE	27	19	O	**地址锁存使能：**在访问外部存储器时，管脚的输出脉冲用来锁存低地址字节。正常情况下，ALE 信号以 1/6 振荡器频率的恒定频率输出：1/6 振荡器频率。输出的频率可以当作外部时序或时钟。注意每访问一次外部数据存储器都忽略一个 ALE 脉冲。ALE 通过设置 SFR 辅助功能寄存器第 0 位禁止，该位设置后，ALE 只有在执行 MOVX 指令时有效。
$\overline{\text{PSEN}}$	26	18	O	**程序存储使能：**外部程序存储器读选通。当 P87CL5xX2 执行外部程序存储器时，$\overline{\text{PSEN}}$ 每个机器周期被激活两次，而在访问外部数据存储器时被忽略两次。访问内部程序存储器时无效。
$\overline{\text{EA}}$ /Vpp	29	20	I	**外部寻址使能/编程电压：**向外部程序存储器的 0000H 到 0FFFH 取指令时，$\overline{\text{EA}}$ 必须通过外部置低。
XTAL1	15	8	I	**晶振 1：**反相振荡放大器输入和内部时钟发生电路输入。
XTAL2	14	7	O	**晶振 2：**反相振荡放大器输出

表 1　P87CL5xX2 特殊功能寄存器

符号	描述	寻址	位地址、符号或可选择的端口功能 MSB							LSB	复位值
ACC*	累加器	E0H	E7	E6	E5	E4	E3	E2	E1	E0	00H
AUXR#	辅助功能寄存器	8EH									xxxxxxx0B
AUXR1#	辅助功能寄存器 1	A2H	—	—	—	—	—	—	—	AO	xxx0000xB
B*	B 寄存器	F0H	—	—	—	—	WUPD	0	—	DPS	00H
CKCON	时钟控制寄存器	8FH	F7	F6	F5	F4	F3	F2	F1	F0	xxx00000B
DPTR	数据指针（2 字节）		—	—	—	—	—	—	—	X2	
DPH	数据指针高字节	83H									00H
DPL	数据指针低字节	82H									00H
			AF	AE	AD	AC	AB	AA	A9	A8	0x000000B
IE*	中断使能	A8H	EA	—	ET2	ES	ET1	EX1	ET0	EX0	
			BF	BE	BD	BC	BB	BA	B9	B8	xx000000B
IP*	中断优先级	B8H	—	—	PT2	PS	PT1	PX1	PT0	PX0	
			B7	B6	B5	B4	B3	B2	B1	B0	xx000000B
IPH#	中断优先级高字节	B7H	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H	
P0*	P0 口	80H	87	86	85	84	83	82	81	80	FFH
			AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
P1*	P1 口	90H	97	96	95	94	93	92	91	90	FFH
			—	—	—	—	—	—	T2EX	T2	
P2*	P2 口	A0H	A7	A6	A5	A4	A3	A2	A1	A0	FFH
			AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	
			B7	B6	B5	B4	B3	B2	B1	B0	

P3*	P3 口	B0H	$\overline{RD}$	$\overline{WR}$	T1	T0	$\overline{INT1}$	$\overline{INT0}$	TXD	RXD	FFH
PCON#[1]	电源控制	87H	SMOD1	SMOD0	—	POF	GF1	GF0	PD	IDL	00xx0000B
			D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	程序状态字	D0H	CY	AC	F0	RS1	RS0	OV	—	P	000000x0B
RACAP2H#	定时器 2 捕获高字节	CBH									00H
RACAP2L#	定时器 2 捕获低字节	CAH									00H
SADDR#	从地址	A9H									00H
SADEN#	从地址屏蔽	B9H									xxxxxxxxB
SBUF	串口数据缓冲器	99H									
			9F	9E	9D	9C	9B	9A	99	98	
SCON*	串口控制	98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SP	堆栈指针	81H									07H
			8F	8E	8D	8C	8B	8A	89	88	
TCON*	定时器控制	88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00H
			CF	CE	CD	CB	CA	C9	C8	C7	
T2CON*	定时器 2 控制	C8H	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/$\overline{T2}$	CP/$\overline{RL2}$	00H
T2MOD#	定时器 2 方式控制	C9H	—	—	—	—	—	—	T2OE	DCEN	xxxxxx00B
TH0	定时器 0 高字节	8CH									00H
TH1	定时器 1 高字节	8DH									00H
TH2#	定时器 2 高字节	CDH									00H
TL0	定时器 0 低字节	8AH									00H
TL1	定时器 1 低字节	8BH									00H
TL2#	定时器 2 低字节	CCH									00H
TMOD	定时器方式	89H	GATE	C/$\overline{T}$	M1	M0	GATE	C/$\overline{T}$	M1	M0	00H

注：用户请勿将未定义的寄存器位置位，否则可能导致器件功能出错。

带“*”的 SFR 可位寻址。

带“#”号的 SFR 表示从 80C51 的 SFR 修改而来或新增加的。

“—” 表示保留位。

1、 复位源决定复位值。

振荡器特性

XTAL1 和 XTAL2 分别是反相放大器的输入和输出。这两个管脚也可配置使用片内振荡器，见逻辑符号图中所示。

使用外部时钟源驱动器件时，应当驱动 XTAL1 而将 XTAL2 悬空。外部时钟信号的占空比不受约束，因为它要经过一个 2 分频的双稳态多谐振荡器处理才输入到内部时钟电路。但高低电平的最短和最长时间必须符合手册中的规定。

时钟控制寄存器（CKCON）

该器件通过一个 SFR 位（寄存器 CKCON 的 X2 位）来选择 6 时钟/12 时钟模式。当 X2 位为 0 时，12 时钟模式有效。X2 位设置为 1 时，系统切换到 6 时钟模式。由于该功能是通过设置 SFR 位来实现的，因此它可随时访问并修改。X2 从 0 变为 1 将使用户代码执行速度提高一倍，因为此时系统时间间隔变为原来的 1/2。从 6 时钟模式变为 12 时钟模式时，代码运行速度降低 1/2。

复位

振荡器工作时，将 RST 管脚保持至少 2 个机器周期（24 个振荡周期）的高电平就可实现复位。为了保证复位的可靠，RST 上的高电平时间必须保持足够长，该时间至少为振荡器的起动时间（通常是几微秒）加上 2 个机器周期。

时钟停止模式

静态设计可使时钟运行频率降低到 0MHz（停止）。当振荡器停振时，RAM 和特殊功能寄存器的内容保持不变。该模式允许逐步应用并将时钟频率降至任意值来降低功耗。为了得到最低的功耗，建议使用掉电模式。

空闲模式

空闲模式（见表 2）下，CPU 进入睡眠状态，但片内的外围电路仍保持工作状态。正常模式下执行最后一条指令来进入空闲模式。该模式下，CPU 内容、片内 RAM 和所有特殊功能寄存器的值保持不变。任意被使能的中断（此时，在中断服务程序中恢复并继续执行）或硬件复位均可终止空闲模式，以上电复位相同的方式重新起动处理器工作。

掉电模式

为了进一步降低功耗，通过软件来实现掉电模式（见表 2）。该模式下，振荡器停振并在执行最后一条指令时进入掉电模式。电压降到 2.0V 时，片内 RAM 和特殊功能寄存器的值保持不变。需要注意的是，退出掉电模式之前， V_{CC} 必须恢复到规定的最低操作电压。

硬件复位或外部中断均可使 P87CL5xX2 退出掉电模式。硬件复位使 SFR 重新设置，但不改变片内 RAM 的值。外部中断允许 SFR 和片内 RAM 都保持原值。由 WUPD 位（AUXR1.3－掉电唤醒）使能或禁止外部中断唤醒掉电。在这里：

WUPD=0；禁止　　WUPD=1；使能

要正确退出掉电模式，必须在 V_{CC} 恢复到正常操作电压后，并延迟一段足够长的时间，使振荡器重新起动并稳定下来（通常少于 10ms），然后再执行复位或外部中断。

使用外部中断退出掉电时，INT0 或 INT1 必须使能且配置成电平触发。使管脚保持低电平来起动振荡器，退出掉电后再将管脚拉成高电平。一旦响应中断， RETI 后执行的下一条指令将使器件进入掉电模式。

表 2　空闲和掉电模式时外部管脚的状态

模式	程序存储器	ALE	$\overline{\text{PSEN}}$	P0 口	P1 口	P2 口	P3 口
空闲	内部	1	1	数据	数据	数据	数据
空闲	外部	1	1	悬浮	数据	地址	数据
掉电	内部	0	0	数据	数据	数据	数据

掉电	外部	0	0	悬浮	数据	数据	数据

设计中的注意事项

当空闲模式被硬件复位终止时，器件在执行内部复位算法前从停止处恢复程序运行，两者相隔的时间最大为 2 个机器周期。这种情况下，片内硬件禁止对内部 RAM 的访问，但对 I/O 口的访问未被禁止。为了消除可能出现的误写操作，调用空闲模式指令的下一条指令不要执行写 I/O 口或写外部存储器操作。

ONCE™ 模式

ONCE（“在线仿真”）模式实现了对系统的测试和调试而无需将器件从电路中移开，进入 ONCE 模式的条件：

1． 器件复位且 $\overline{\text{PSEN}}$ 为高时，将 ALE 拉低；

2． 撤消 RST 时，ALE 保持低电平；

当器件处于 ONCE 模式时，P0 口为悬浮状态，其它 I/O 口、ALE 和 $\overline{\text{PSEN}}$ 为弱上拉。振荡电路保持工作状态。当 P87CL5xX2 处于该模式时，可用仿真器或 CPU 测试来驱动电路。执行正常复位时恢复正常工作。

可编程时钟输出

可从 P1.0 口编程输出 50％占空比的时钟信号。P1.0 口除用作常规 I/O 口外，还有两个可选功能。它可编程为：

1． 用于定时器/计数器 2 的外部时钟输入；

2． 在 16MHz 的操作频率下，输出 50％占空比的时钟信号（频率范围为 61Hz～4MHz）；

要将定时器/计数器 2 配置为时钟发生器，C/$\overline{\text{T2}}$ (T2CON 中)必须清零，T2MOD 的 T20E 位必须置位。置位 TR2 位（T2CON.2）位来启动定时器。

时钟输出频率由振荡器频率和定时器 2 捕获寄存器的重装载值（RCAP2H,RCAP2L）确定。公式如下：

$$\frac{\text{振荡器频率}}{4\times(65536-\text{RCAP2H,RCAP2L})}$$

此处，（RCAP2H,PCAP2L）=RCAP2H 和 RCAP2L 的内容，看作 2 个 16 位的无符号数。

在时钟输出模式中，定时器 2 的翻转不会产生中断。这和它用作波特率发生器时相似。因此，定时器 2 可同时用作时钟发生器和波特率发生器。但需要注意的是，这时波特率和时钟输出频率相同。

定时器 0 和 1 的操作

定时器 0 和 1

定时和计数功能由特殊功能寄存器 TMOD 的控制位 C/$\overline{\text{T}}$ 进行选择。这两个定时器/计数器有 4 种工作方式，由 TMOD 的 M1 和 M0 选择。两个定时器/计数器的方式 0、1 和 2 相同，方式 3 不同。如下所述：

方式 0

将定时器设置成方式 0 时类似 8048 定时器，即 8 位计数器带 32 位分频的预分频器。如图 2 所示。

该方式下，定时器寄存器配置成 13 位的寄存器。当计数值由“全 1”变为“全 0”时建立 TFn 中断标志。当 TRn＝1 同时 GATE=0 或 $\overline{\text{INTn}}$ ＝1 时定时器计数（若 GATE=1，允许外部输入 $\overline{\text{INTn}}$ 控制定时器，可用于测量脉宽）。TRn 是特殊功能寄存器 TCON 的控制位（见图 3）。

13 位寄存器由 THn 的 8 位和 TLn 的低 5 位组成。TLn 的高 3 位不定且可忽略。置位运行标志（TRn）不会清除寄存器。

定时器 0 和 1 的方式 0 操作相同。两个不同的 GATE 位分别分配给定时器 1（TMOD.7）和定时器 0（TMOD.3）。

方式 1

除使用的定时器寄存器为 16 位外，其余操作与方式 0 相同。

方式 2

方式 2 中，定时器寄存器配置成一个具有自动重装功能的 8 位寄存器（TLn），如图 4 所示。该方式下，TLn 的溢出不会置位 TFn，而是将 THn 内容装入到 TLn 中，THn 的值由软件预置。重装时 THn 值不变。

方式 3

定时器 1 在方式 3 中停止计数，等效于清零 TR1（TR1=0）。

此方式下，定时器 0 将 TL0 和 TH0 设为 2 个独立的计数器，其逻辑图如图 5 所示。TL0 使用定时器 0 的控制位：C/$\overline{T}$ 、GATE、TR0、TF0 和 $\overline{INT0}$。TH0 限定为定时器功能（计数机器周期）并占用定时器 1 的 TR1 和 TF1。这样，TH0 就控制着“定时器 1”的中断。

方式 3 用在需要一个额外的 8 位定时器的场合。定时器 0 工作在方式 3， 80C51 看似有 3 个定时器/计数器。当定时器 0 工作在方式 3，定时器 1 可以通过切换进入/退出方式 3 来禁止/使能，或用作串口的波特率发生器，或不需要中断的其它应用中。

TMOD 地址= 89H

不可位寻址

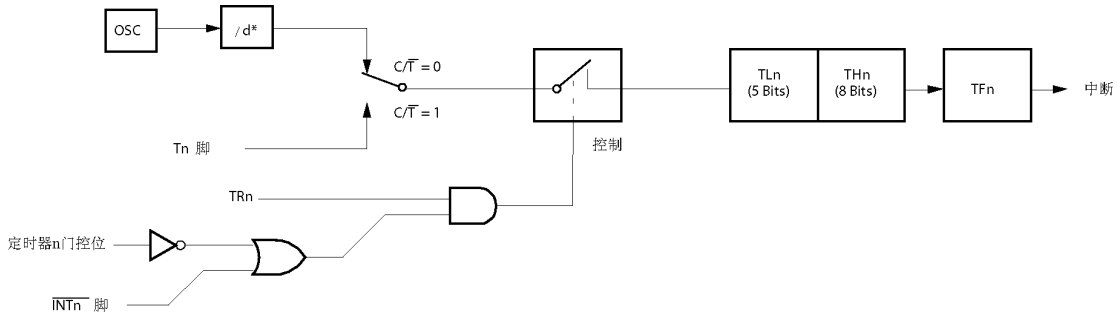
复位值＝00H

7	6	5	4	3	2	1	0
GATE	C/$\overline{T}$	M1	M0	GATE	C/$\overline{T}$	M1	M0
定时器 1				定时器 0			

位	符号	功能
TMOD.3/ TMOD.7	GATE	置1时为门控方式。当$\overline{INTn}$ 脚 置高且“TRn”控制位置位时定时器/计数器“n”使能。 当该位被清零时，不论“TRn”控制位是 否置位，定时器“n”都使能。
TMOD.2/ TMOD.6	C/$\overline{T}$	定时器或计数器选择。清零用作定时器（从内部系统时钟输入） 置位用作计数器（从“Tn”脚输入）。

M1	M0	操作
0	0	8048 定时器：“TLn”用作5位分频器。
0	1	16位定时器/计数器：“THn”和“TLn”串连使用；无预分频器。
1	0	8位重装定时器/计数器：“THn”的值保持不变，“TLn”溢出时将其值装入“TLn”。
1	1	（定时器0）TL0用作一个8位的定时器/计数器，使用标准定时器0的控制位。 TH0只用作一个8位的定时器，受定时器1的控制位的控制。
1	1	（定时器1）定时器/计数器1关闭。

图 1　定时器/计数器 0/1 方式控制（TMOD）寄存器



*d＝6（6 时钟模式下）； d＝12（12 时钟模式下）。

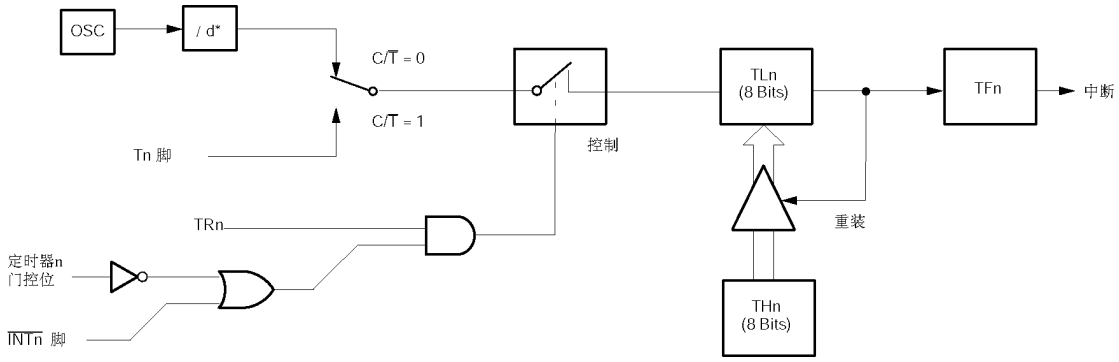
图 2　定时器/计数器 0/1 方式 0：13 位定时器/计数器

TCON 地址 = 88H
可位寻址
复位值＝00H

7	6	5	4	3	2	1	0
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

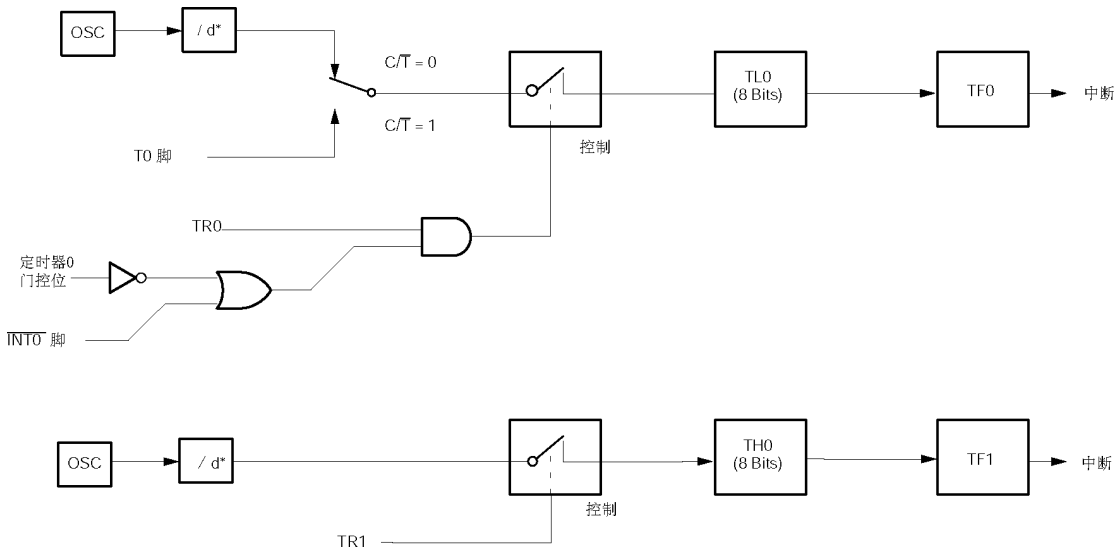
位	符号	功能
TCON.7	TF1	定时器1溢出标志。定时器/计数器溢出时由硬件置位。中断处理时由硬件清除，或通过软件清除。
TCON.6	TR1	定时器1运行控制位，由软件置位/清零将定时器/计数器打开/关闭。
TCON.5	TF0	定时器0溢出标志。定时器/计数器溢出时由软件置位。中断处理时由硬件清除，或通过软件清除。
TCON.4	TR0	定时器0运行控制位，由软件置位/清零将定时器/计数器打开/关闭。
TCON.3	IE1	中断1边沿触发标志。当检测到外部中断边沿时由硬件置位。中断处理时由软件清除。
TCON.2	IT1	中断1触发类型控制位。由软件置位/清零来选择外部中断以下降沿/低电平来触发外部中断。
TCON.1	IE0	中断0边沿触发标志。当检测到外部中断边沿时由硬件置位。中断处理时由软件清除。
TCON.0	IT0	中断0触发类型控制位。由软件置位/清零来选择外部中断以下降沿/低电平来触发外部中断。

图 3　定时器/计数器 0/1 控制（TCON）寄存器



*d＝6（6 时钟模式下）； d＝12（12 时钟模式下）。

图 4　定时器/计数器 0/1 方式 2：8 位自动重装方式



*d＝6（6 时钟模式下）； d＝12（12 时钟模式下）。

图 5　定时器/计数器 0 方式 3：2 个 8 位的计数器

定时器 2 操作

定时器 2

定时器 2 是一个 16 位的定时器/计数器，通过设置特殊功能计数器 T2CON 的 C/$\overline{T2}$ *，将其作为定时器或计数器使用（见图 1）。定时器 2 有 3 种操作模式：捕获、自动重新装载（递增或递减计数）和波特率发生器，这三种操作模式由 T2CON 进行选择，见表 3。

捕获模式

在捕获模式中，通过 T2CON 的 EXEN2 设置两个选项。如果 EXEN2=0，定时器 2 用作一个 16 位的定时器或计数器（由 T2CON 中的 C/$\overline{T2}$ *位进行选择），溢出时 TF2（定时器 2 的溢出标志）置位。该位可用于产生中断（通过使能 IE 寄存器的定时器 2 中断使能位）。如果 EXEN2=1，除以上所述功能外，还增加了一个特性：当外部输入 T2EX 由 1 变 0 时，定时器 2 寄存器—TL2 和 TH2 的当前值被分别捕获到 RCAP2L 和 RCAP2H。另外，T2EX 的负跳变还将使 T2CON 的 EXF2 置位，EXF2 也象 TF2 一样能够产生中断（其中断向量地址与定时器 2 溢出中断相同，中断服务程序通过查询 TF2 和 EXF2 来判断产生中断的事件）。捕获模式如图 2 所示（该模式下，TL2 和 TH2 无重新装载值，即便当 T2EX 产生捕获事件，计数器仍以 T2EX 的负跳变或 osc/12 进行计数）。

自动重新装载模式（递增或递减计数器）

在 16 位自动重新装载模式中，定时器 2（由 T2CON 的 C/T2*位将其配置作为定时器或计数器使用）可编程设定为递增或递减计数。计数方向由 T2MOD 寄存器的 DCEN（递减计数使能）位确定（见图 3）。复位时，DCEN=0，定时器默认为递增计数。当 DCEN=1 时，定时器 2 通过 T2EX 脚来确定递增或递减计数。

图 4 所示是 DCEN=0 时定时器 2 的递增计数。在该模式中通过 T2CON 寄存器的 EXEN2 进行选择。当 EXEN2=0 时，定时器 2 递增计数到 0FFFFH，溢出时置位 TF2（溢出标志），并将 RCAP2L 和 RCAP2H 的 16 位值装载到定时器 2 寄存器中。RCAP2L 和 RCAP2H 的值由软件预置。

当 EXEN2=1，由溢出事件或 T2EX 输入 1 到 0 的负跳变来触发产生 16 位重装载。该负跳变将置位 EXF2 位。如果定时器 2 的中断被使能，TF2 或 EXF2 为 1 时都可触发产生中断。

在图 5 中，DCEN=1，使能定时器 2 递增或递减计数。该模式下允许 T2EX 来控制计数方向。当 T2EX

管脚为逻辑 1 时，定时器 2 递增计数。定时器 2 计数达到 0FFFF 时溢出， TF2 标志置位，产生中断（定时器 2 中断被使能时）。定时器 2 的溢出将使 RCAP2L 和 RCAP2H 的值装载到寄存器 TL2 和 TH2 中。

当 T2EX 为逻辑 0 时，定时器 2 递减计数。当 TL2 和 TH2 的值与 RCAP2L 和 RCAP2H 相等时，定时器 2 向下溢出。定时器向下溢出时置位 TF2，并将 0FFFFH 重装载到 TL2 和 TH2 中。

当定时器 2 向上或向下溢出时，外部标志 EXF2 翻转。如果需要，EXF2 位可作为第 17 位使用。在该模式下 EXF2 标志不会产生中断。

表 3　定时器 2 工作模式

RCLK+TCLK	CP/$\overline{RL2}$	TR2	模式
0	0	1	16 位自动重新装载
0	1	1	16 位捕获
1	X	1	波特率发生器
X	X	0	（关闭）

(MSB) (LSB)

TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/$\overline{T2}$	CP/$\overline{RL2}$

符号	位置	功能
TF2	T2CON.7	定时器2溢出标志。定时器2溢出时置位，必须由软件清零。当RCLK或TCLK=1时TF2不能置位。
EXF2	T2CON.6	定时器2外部标志。捕获或重装（由T2EX的负跳变和EXEN2=1引起）时置位。当定时器2中断被使能，EXF2=1使CPU被引导执行定时器2中断服务程序。EXF2必须由软件清零，在递增/递减计数器模式下（DCEN=1)不会引起中断。
RCLK	T2CON.5	接收时钟标志。置位时，串行口将定时器2的溢出脉冲作为接收时钟（在模式0和3中）。RCLK＝0时串行口将定时器1的溢出脉冲作为接收时钟。
TCLK	T2CON.4	发送时钟标志。置位时，串行口将定时器2的溢出脉冲作为发送时钟（在模式0和3中）。TCLK＝0时串行口将定时器1的溢出脉冲作为发送时钟。
EXEN2	T2CON.3	定时器2外部使能标志。若定时器2不用作串口时钟，当T2EX管脚上出现负跳变时EXEN2的置位可引起捕获或重装动作。EXEN2＝0时，定时器2忽略T2EX脚的事件。
TR2	T2CON.2	定时器2的开/关控制。为1时启动定时器工作。
C/$\overline{T2}$	T2CON.1	定时器/计数器选择（定时器2）。0＝内部定时器（OSC/12） 1＝外部事件计数器（下降沿触发）。
CP/$\overline{RL2}$	T2CON.0	捕获/重装标志。置位时，当EXEN2＝1且在T2EX上出现负跳变时捕获。清零时，当EXEN2＝1且定时器2溢出或在T2EX上出现负跳变时自动重装。若RCLK＝1或TCLK＝1，该位被忽略，溢出时定时器2进入自动重装状态。

图 1　定时器/计数器 2（T2CON）控制寄存器

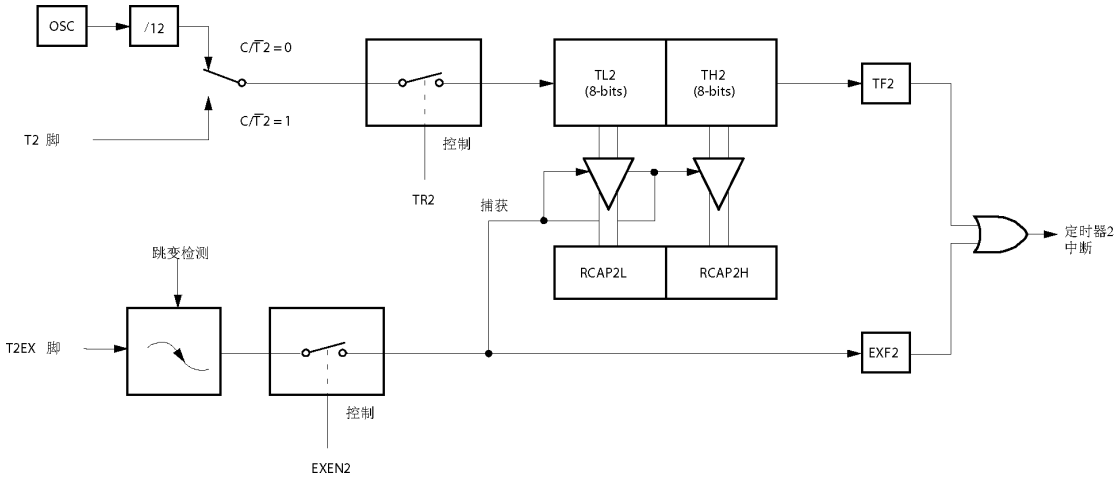


图 2　定时器 2 捕获模式

T2MOD 地址 = 0C9H
复位值 = XXXX XX00B

不可位寻址	–	–	–	–	–	–	T2OE	DCEN
Bit	7	6	5	4	3	2	1	0

符号	功能
–	不可用，保留将来使用。
T2OE	定时器2输出使能位。
DCEN	递减计数使能位。置位时可将定时器2配置成递增/递减计数器。

* 用户勿将这些位置1。它们在将来8051系列产品中用来实现新的特性。这种情况下，以后用到保留位的复位或非有效状态时为1。这些位的读出值不确定。

图 3 定时器 2 模式（T2MOD）控制寄存器

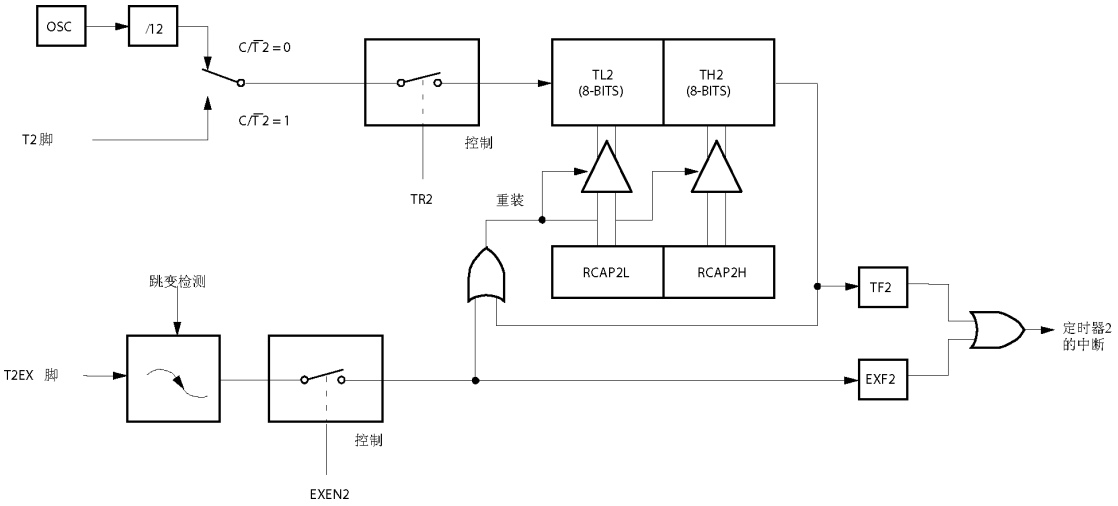


图 4 定时器 2 自动重新装载模式（DCEN=0）

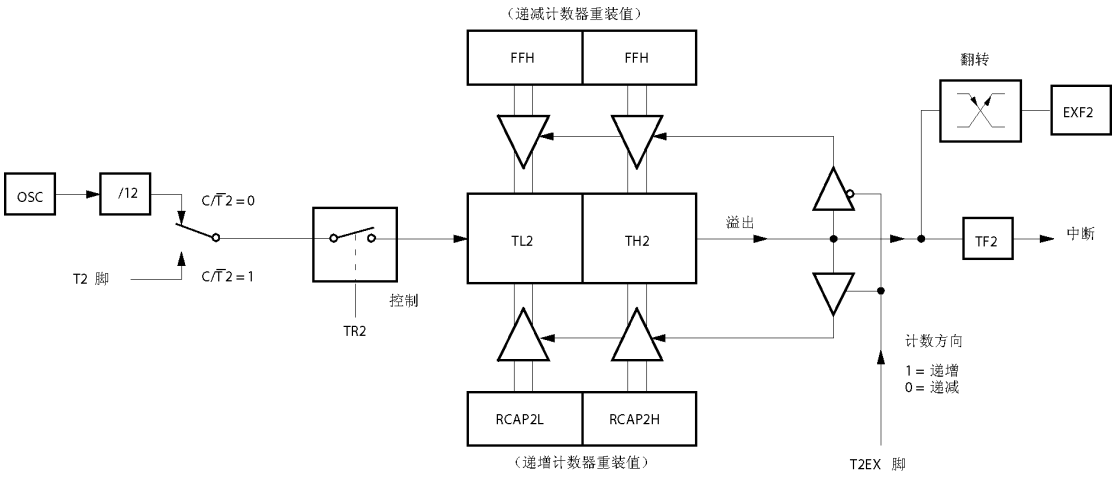


图 5 定时器 2 自动重新装载模式（DCEN=1）

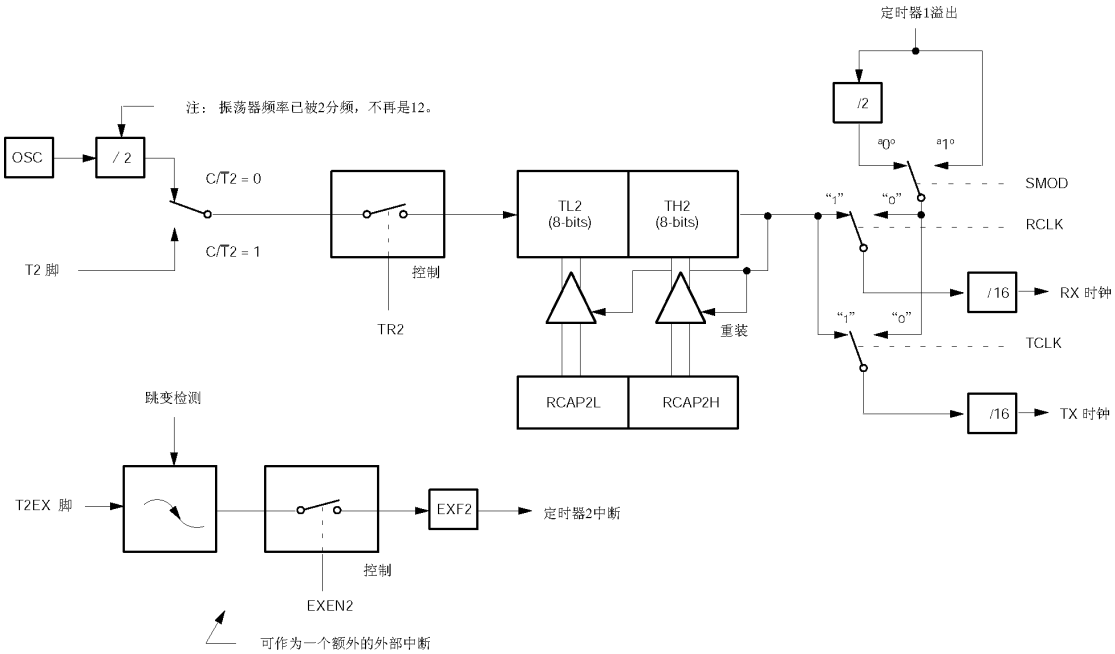


图 6　定时器 2 波特率发生器模式

波特率发生器模式

T2CON 中的 TCLK 位和 RCLK 位（表 3）允许串行口从定时器 1 或定时器 2 中获得发送和接收波特率。当 TCLK=0 时，定时器 1 用作串行口发送波特率发生器；当 TCLK=1 时，定时器 2 用作串行口波特率发生器。RCLK 对串行口接收波特率有同样的作用。利用这两位，串行口可得到不同的接收和发送波特率——一个由定时器 1 产生，另一个由定时器 2 产生。

图 6 所示为定时器 2 工作在波特率发生器模式。波特率发生器模式与自动重新装载模式一样，TH2 溢出时，RCAP2H 和 RCAP2L 的 16 位值装载到定时器 2 寄存器中。RCAP2H 和 RCAP2L 的值由软件预置。

模式 1 和模式 3 下，波特率由定时器 2 的溢出率决定：

$$\text{模式 1 和模式 3 的波特率} = \frac{\text{定时器2溢出率}}{16}$$

定时器可配置成“定时”或“计数”方式。在许多应用中，它被配置成“定时”方式（$C/\overline{T2}$ *=0）。当定时器 2 用作定时器时，其操作不同于波特率发生器。

通常，定时器 2 用作定时器时，每个机器周期计数递增一次（即 1/12 振荡器频率）。而作为波特率发生器时，每个状态周期计数递增一次（即 1/2 振荡器频率）。这样，可得出以下的波特率公式：

$$\text{模式 1 和 3 的波特率} = \frac{\text{振荡器频率}}{[32\times[65536-(\text{RCAP2H,RCAP2L})]]}$$

此处，（RCAP2H,RCAP2L）=RCAP2H 和 RCAP2L 的内容，看作一个 16 位的无符号数。

当 T2CON 的 RCLK 和/或 TCLK=1 时，定时器 2 的波特率发生器模式才有效，如图 6 所示。注意，在波特率发生器模式下，TH2 的溢出不会置位 TF2 和产生中断。因此，当定时器 2 工作在波特率发生器模式时，定时器 2 的中断不必禁止。并且，当 EXEN2（T2 外部使能标志）被置位，即使 T2EX（定时器/计数器 2 触发输入）上 1 到 0 的负跳变使 EXF2（T2 外部标志）置位，也不会产生从（RCAP2H,RCAP2L）到（TH2,TL2）的重装载操作。所以，当定时器 2 用作波特率发生器时，如果需要，可将 T2EX 用作附加的外部中断。

当定时器 2 工作在波特率发生器模式时，不能对 TH2 和 TL2 进行读/写操作。作为一个波特率发生器，每隔一个状态周期（osc/2）或由 T2 脚输入的异步信号，定时器 2 加 1；在这种情况下对 TH2 或 TL2 进行读写可能不准确。可对 RCAP2 寄存器进行读，但不能写，否则写入的内容会将重装值覆盖而造成写和/或

重装出错。对定时器 2 或 RCAP2 寄存器访问前，应先关闭定时器（清零 TR2）。

表 4 列出了一些常用波特率，以及如何用定时器 2 得到这些波特率。

表 4　由定时器 2 产生的常用波特率

波特率	振荡器频率	定时器 2	
		RCAP2H	RCAP2L
375K	12MHz	FF	FF
9.6K	12MHz	FF	D9
2.8K	12MHz	FF	B2
2.4K	12MHz	FF	64
1.2K	12MHz	FF	C8
300	12MHz	FB	1E
110	12MHz	F2	AF
300	6MHz	FD	8F
110	6MHz	F9	57

波特率公式小结

定时器 2 工作在波特率发生器模式，外部时钟信号由 T2（P1.0）输入，波特率为：

$$\text{波特率}=\frac{\text{定时器2溢出率}}{16}$$

若定时器 2 使用内部时钟信号，波特率为：

$$\text{波特率}=\frac{\text{fosc}}{[32\times[65536-(\text{RCAP2H,RCAP2L})]]}$$

此处 fosc＝振荡器频率。

对上式经过改写，可得出 RCAP2H 和 RCAP2L 的重装值：

$$\text{RCAP2H,RCAP2L}=65536-\left(\frac{\text{fosc}}{32\times\text{波特率}}\right)$$

定时器/计数器 2 的设置

除了波特率发生器模式，对 T2CON 的设置不包括 TR2 位。因此，TR2 位必须单独设置。表 5、表 6 分别给出了定时器 2 用作定时器和计数器的设置。

表 5　定时器 2 用作定时器

模式	T2CON	
	内部控制（注 1）	外部控制（注 2）
16 位自动重装	00H	08H
16 位捕获	01H	09H
波特率发生器的接收和发送波特率相等	34H	36H
只接收	24H	26H
只发送	14H	16H

表 6　定时器 2 用作计数器

模式	TMOD	
	内部控制（注 1）	外部控制（注 2）
16 位	02H	0AH
自动重装	03H	0BH

注：

1. 只在定时器/计数器溢出时出现捕获/重装。

2. 当定时器/计数器溢出并且在 T2EX（P1.1）产生 1 到 0 的负跳变时产生捕获/重装（除波特率发生器模式外）。

全双工增强型 UART

标准 UART 操作

串口为全双工方式，可同时发送和接收数据。它具有接收缓冲功能，在第一个字节从寄存器读出之前，可开始接收第二个字节（但如果第二个字节接收完后第一个字节仍未读出，则其中有一字节会丢失。）。串口的接收和发送寄存器都通过特殊功能寄存器 SBUF 进行访问。写 SBUF 就是装载发送寄存器，读 SBUF 就是对物理上分开的接收寄存器进行访问。

串口有 4 种工作模式：

模式 0：串行数据由 RxD 出入。TxD 输出移位时钟。发送/接收 8 位数据（LSB 在前）。波特率固定为 1/12 振荡器频率（12 时钟模式下）或 1/6 振荡器频率（6 时钟模式下）。

模式 1： TxD 脚发送， RxD 脚接收。每次传输 10 位数据：1 个起始位（1）、8 个数据位（LSB 在前）和 1 个停止位（1）。接收数据时，停止位存入特殊功能寄存器 SCON 的 RB8 位。该模式下波特率可变。

模式 2：TxD 脚发送，RxD 脚接收。每次传输 11 位数据：起始位（0）、8 个数据位（LSB 在前）、1 个可编程第 9 个数据位（SCON 的 TB8）和 1 个停止位（0）。发送数据时，第 9 个数据位（SCON 的 TB8）可置为 1 或 0。例如将奇偶位存入（PSW 内 P）TB8。接收数据时，第 9 位数据存入特殊功能寄存器 SCON 的 RB8，忽略停止位。波特率可编程设为 1/32 或 1/64 振荡器频率（12 时钟模式）或 1/16 或 1/32 振荡器频率（6 时钟模式）。

模式 3：TxD 脚发送，RxD 脚接收。每次传输 11 位数据：1 个起始位（0）、8 个数据位（LSB 在前）、1 个可编程第 9 个数据位和 1 个停止位（1）。事实上除波特率外，模式 3 和模式 2 的操作完全相同。模式 3 中的波特率可变。

在上述 4 种模式中，发送过程由任意一条以 SBUF 为目的寄存器的指令启动；模式 0 的接收通过设置 RI=0 和 REN=1 开始；其它模式的接收通过检测输入的起始位（如果 REN=1）开始。

多机通信

模式 2 和模式 3 可专门应用于多机通信。在这两种模式下，接收 9 位数据。第 9 位数据存入 RB8，接下来为停止位。串口通过编程：接收到停止位时，仅当 RB8=1 时串口中断才有效。可通过置位 SCON 的 SM2 位来选择该特性。以下描述的是多机系统使用这一特性的一种方法：

当主机要向多个从机之一发送一数据块时，它首先发送一个地址字节来指定目标从机。地址字节与数据字节不同，它的第 9 位为 1，而数据字节的第 9 位为 0。SM2=1 时，数据字节不会使从机产生中断，而地址字节则令所有从机中断，这样各从机可以检查接收到的数据判断是否被寻址。被寻址从机即可清除 SM2 位以便接收随后的数据内容。未被寻址从机的 SM2 位仍为 1，忽略随后的数据继续各自工作。

模式 0 中 SM2 无效。模式 1 中的 SM2 位可用于检查停止位是否有效。在模式 1 的接收过程中，如果 SM2=1，除非接收到有效的停止位，否则不产生接收中断。

串口控制寄存器

串口控制及状态寄存器即 SCON，如图 7 所示。该寄存器包括工作模式选择位、接收和发送的第 9 位数据（TB8 和 RB8）和串口中断位（TI 和 RI）。

SCON 地址 = 98H
可位寻址
复位值= 00H

7	6	5	4	3	2	1	0
SM0	SM1	SM2	REN	TB8	RB8	TI	RI

此处，SM0、SM1用来选择串行口工作模式，如下所示：

SM0	SM1	模式	描述	波特率
0	0	0	移位寄存器	fOSC/12 (12时钟模式) 或 fOSC/6 (6时钟模式)
0	1	1	8 位 UART	可变
1	0	2	9 位 UART	fOSC/64 、 fOSC/32 (12时钟模式) 或 fOSC/32 、 fOSC/16 (6时钟模式)
1	1	3	9 位 UART	可变

SM2　模式2和模式3下的多机通信使能。在模式2或3中，SM2被置位时，若接收到的第9位为0（RB8），不激活RI位。在模式1下，SM2＝1时，若未接收到有效的停止位，不激活RI位。模式0下SM2为0。

REN　串行口接收数据使能。由软件置位和清零，置位时允许串口接收数据，清零时禁止串口接收数据。

TB8　模式2和3下发送的第9位数据。由软件置位和清零。

RB8　在模式2和3中为接收的第9位数据；在模式1中，SM2=0,RB8位为接收的停止位；模式0中不使用该位。

TI　发送中断标志。模式0中，发送完第8位数据后由硬件置位；其它模式中，在开始发送停止位时置位；该位必须由软件清除。

RI　接收中断标志。模式0中，发送完第8位数据后由硬件置位；其它任何接收模式（除SM2位所述情况外）中，在接收停止位的中间时刻硬件置位；该位必须由软件清除。

图 7　串口控制寄存器（SCON）

波特率

工作模式 0 的波特率固定，为 fosc/12 （12 时钟模式）或 fosc/6（6 时钟模式）。模式 2 的波特率取决于特殊功能寄存器 PCON 的 SMOD 位。12 时钟模式下，若 SMOD=0 （复位值）， 波特率为 fosc/64； 若 SMOD=1,波特率为 fosc/32。6 时钟模式下分别为 fosc/32 或 fosc/16。

$$\text{模式 2 的波特率} = \frac{2^{SMOD}}{n} \times \text{（振荡器频率）}$$

此处，n＝64（12 时钟模式）或 32（6 时钟模式）

模式 1 和 3 的波特率由定时器 1 或定时器 2 的溢出速率决定。

使用定时器 1 作为波特率发生器

当定时器 1 用作波特率发生器时（T2CON.RCLK=0，T2CON.TCLK=0），模式 1 和 3 的波特率由定时器 1 的溢出速率和 SMOD 的值决定。

$$\text{模式 1，3 的波特率} = \frac{2^{SMOD}}{n} \times \text{（定时器 1 溢出速率）}$$

此处，n＝32（12 时钟模式）或 16（6 时钟模式）

当定时器 1 用作波特率发生器时，必须禁止定时器 1 的中断。定时器本身可配置成“定时器”或“计数器”，运行在任何一种工作模式下（在 3 种工作模式下选择）。在最典型的应用中，它用作“定时器”，工作在自动重新装载模式下（TMOD 的高半字节＝0010B）。波特率由下式给出：

$$\text{模式 1，3 的波特率} = \frac{2^{SMOD}}{n} \times \frac{\text{振荡器频率}}{12 \times [256 - (TH1)]}$$

此处，n＝32（12 时钟模式）或 16（6 时钟模式）

使能定时器 1 中断、将定时器配置运行在 16 位定时器模式下（TMOD 的高半字节＝0001B）并使用定时器 1 中断进行 16 位重装，就可得到非常低的波特率。图 8 列出了常用的波特率以及如何从定时器 1 得到这些波特率。

波特率			fosc	SMOD	定时器 1		
模式	12 时钟模式	6 时钟模式			C/$\overline{T}$	模式	重装值
模式 0 最大值	1.67MHz	3.34 MHz	20 MHz	×	×	×	×
模式 2 最大值	625K	1250K	20 MHz	1	×	×	×
模式 1，3 最大值	104.2K	208.4K	20 MHz	1	0	2	FFH
模式 1，3	19.2K	38.4K	11.059 MHz	1	0	2	FDH
	9.6K	19.2K	11.059 MHz	0	0	2	FDH
	4.8K	9.6K	11.059 MHz	0	0	2	FAH
	2.4K	4.8K	11.059 MHz	0	0	2	F4H
	1.2K	2.4K	11.059 MHz	0	0	2	E8H
	137.5	275	11.986 MHz	0	0	2	1DH
	110	220	6 MHz	0	0	2	72H
	110	220	12 MHz	0	0	1	FEEBH

图 8　定时器 1 的常用波特率

模式 0 补充说明

串行数据由 RxD 出入。TxD 输出移位时钟。发送/接收 8 位数据，LSB 在前。波特率固定，为 fosc/12（12 时钟模式）或 fosc/6（6 时钟模式）。

图 9 所示为串口模式 0 的功能框图及相关时序。

发送过程通过执行一条以 SBUF 为目标寄存器的指令来起动。S6P2 时刻的“写 SBUF”信号将 1 发送到发送移位寄存器的第 9 位并通知 TX 控制模块开始发送。在“写 SBUF”和 SEND 端有效之间间隔一个完整的机器周期。

SEND 端使能 P3.0 输出数据，P3.1 输出移位时钟。每个机器周期的 S3、S4 和 S5 状态内移位时钟为低电平，而在 S6、S1 和 S2 状态内为高电平。在每个机器周期的 S6P2 时刻，SEND 有效，发送移位寄存器的内容右移一位。

数据位右移时，左边补零。当数据字节的 MSB 位移到移位寄存器的输出端时，其左边是装入“1”的第 9 位，再往左全为零。此时通知 TX 控制模块作最后一次移位，禁止 SEND 并置位 T1。这都发生在“写 SBUF”后的第 10 个机器周期的 S1P1。

接收初始化条件是 REN=1 和 RI=0。下一个机器周期的 S6P2，RX 控制单元向接收移位寄存器写入 11111110，并在下一个机器周期使 RECEIVE 端有效。

RECEIVE 端使能 P3.1 输出移位时钟。移位时钟在每个机器周期的 S3P1 和 S6P1 时刻发生跳变。在每个机器周期的 S6P2 时刻，RECEIVE 端有效，接收移位寄存器左移，右边添加在同一个机器周期的 S5P2 时刻采样到的 P3.0 值。

数据从右边移入，左边移出为‘1’。当最初装载到移位寄存器最右边的‘0’移至最左边时，通知 RX 控制模块作最后一次移位并装载 SBUF。在写入 SCON 将 RI 清零后的第 10 个机器周期的 S1P1 时刻，RECEIVE 被清除且置位 RI。

模式 1 补充说明

发送（TxD）或接收（RxD）10 位数据：1 个起始位（0）、8 个数据位（LSB 在前）和 1 个停止位（1）。接收时，停止位装入 SCON 的 RB8 内。80C51 器件的波特率由定时器 1 或定时器 2 的溢出速率决定。

图 10 所示为串口模式 1 的功能框图及相关时序。

发送过程通过执行一条以 SBUF 为目标寄存器的指令来起动。“写 SBUF”信号将 1 装入发送移位寄存器的第 9 位并通知 TX 控制单元开始发送。实际上发送过程开始于 16 分频计数器的下次翻转后的机器周期的 S1P1 时刻。（这样，每位的时序同步于 16 分频的计数器，而不是与“写 SBUF”新号同步。）

发送以激活 SEND 端开始，向 TxD 发送起始位。一位时间后，DATA 端被激活，使发送移位寄存器的数据得以送至 TxD。一位时间过后，产生第一个移位脉冲。

数据右移，左边补零。当数据字节的 MSB 位移位到移位寄存器的输出位置时，其左边是被写入的‘1’第 9 位，再往左的内容全为 0。此时通知 TX 控制单元作最后一次移位，然后禁止 SEND 并置位 TI。这都发生在“写 SBUF”后的 16 分频计数器的第 10 次翻转处。

接收在 RxD 端检测到负跳变时启动，为此 MCU 对 RxD 不断进行采样，采样频率为波特率的 16 倍。一旦检测到负跳变，16 分频计数器立刻复位，并将 1FFH 写入到输入移位寄存器。复位 16 分频计数器确保计数器翻转时位与输入数据位同步。

计数器的 16 种状态将每个位时间分成 16 部分。在第 7、8 和 9 状态，位检测器对 RxD 的值进行采样，取值为三个采样值中取多数（至少 2 个）作为读入值，这样可以抑制噪声。如果接收到的第一位不是 0，接收电路复位，等待另一个负跳变的到来。这用来防止错误的起始位。如果起始位有效，它被移入移位寄存器，开始接收这一帧的其它位。

当数据逐一由右边移入时，‘1’从左边移出。当起始位移至移位寄存器的最左边时（模式 1 中为 9 位寄存器），通知 RX 控制模块执行最后一次移位，将移位寄存器（9 位）内容装入 SBUF 和 RB8，并置位 RI。只有产生最后一个移位脉冲同时满足以下条件，才能产生信号来指导 SBUF 和 RB8 的装载以及 RI 的置位：

1．RI=0

2. SM2=0 或接收停止位＝1。

只要两个条件有一条不满足，所接收到的数据帧就会丢失。如果两者都满足，停止位进入 RB8，8 位数据位进入 SBUF，并置位 RI。不论上述条件是否满足，接收控制单元都会等待 RxD 的负跳变。

模式 2 和 3 补充说明

发送（TxD）或接收（RxD）11 位数据：1 个起始位（0）、8 个数据位（LSB 在前）、1 个可编程的第 9 个数据位和 1 个停止位（1）。发送时，第 9 个数据位（TB8）被写入 1 或 0。接收时，第 9 个数据位存入 SCON 的 RB8。在模式 2 中，波特率可编程为 fosc/32 或 fosc/64（12 时钟模式），fosc/16 或 fosc/32（6 时钟模式）。模式 3 的波特率由定时器 1 或定时器 2 产生，其值可变。

图 11 和 12 所示为串口模式 2 和 3 的功能框图。接收数据部分与模式 1 相同。发送部分与模式 1 的不同之处表现在移位寄存器的第 9 位。

发送过程通过执行一条以 SBUF 为目标寄存器的指令来起动。“写 SBUF”信号将 TB8 的值装入发送移位寄存器的第 9 位并通知 TX 控制单元开始发送。实际上发送过程开始于 16 分频计数器的下次翻转后的机器周期的 S1P1 时刻。（这样，每位的时序同步于 16 分频的计数器，而不是与“写 SBUF”新号同步。）

发送以激活 SEND 端开始，向 TxD 发送起始位。一位时间后，DATA 端被激活，使发送移位寄存器的数据得以送至 TxD。一位时间过后，产生第一个移位脉冲。第一个移位时钟将 1（停止位）装入到移位寄存器的第 9 位。此后每次移位只把 0 送入第 9 位。这样，数据向右移动，左边补零。当 TB8 移至输出位置上时，停止位恰好在 TB8 的左边，其余数据均为 0。通知 TX 控制单元作最后一次移位，然后使 SEND 无效并置位 TI。这都发生在“写 SBUF”后 16 分频计数器的第 11 次翻转处。

接收在 RxD 端检测到负跳变时启动，为此 MCU 对 RxD 不断进行采样，采样频率为波特率的 16 倍。一旦检测到负跳变，16 分频计数器立刻复位，并将 1FFH 写入到输入移位寄存器。

在每个位时间的第 7、8 和 9 计数器状态处，位检测器对 RxD 进行采样。取值为三个采样值中取多数（至少 2 个）作为读入值。如果接收到的第一位不是 0，接收电路复位，等待另一个负跳变的到来。如果起始位有效，它被移入移位寄存器，开始接收这一帧的其它位。

当数据逐一由右边移入时，‘1’从左边移出。当起始位移至移位寄存器的最左边时（模式 2 和 3 中为 9 位寄存器），通知 RX 控制模块执行最后一次移位，将移位寄存器（9 位）内容装入 SBUF 和 RB8，并置位 RI。

只有产生最后一个移位脉冲同时满足以下条件，才能产生信号来指导 SBUF 和 RB8 的装载以及 RI 的

置位：

1．RI=0

2. SM2=0 或接收的第 9 位＝1。

只要两个条件有一条不满足，所接收到的数据帧就会丢失且不能置位 RI。如果两者都满足，接收到的第 9 位进入 RB8，前 8 位数据位进入 SBUF，并置位 RI。一个位时间后，不论上述条件是否满足，接收控制单元都会等待 RxD 的负跳变。

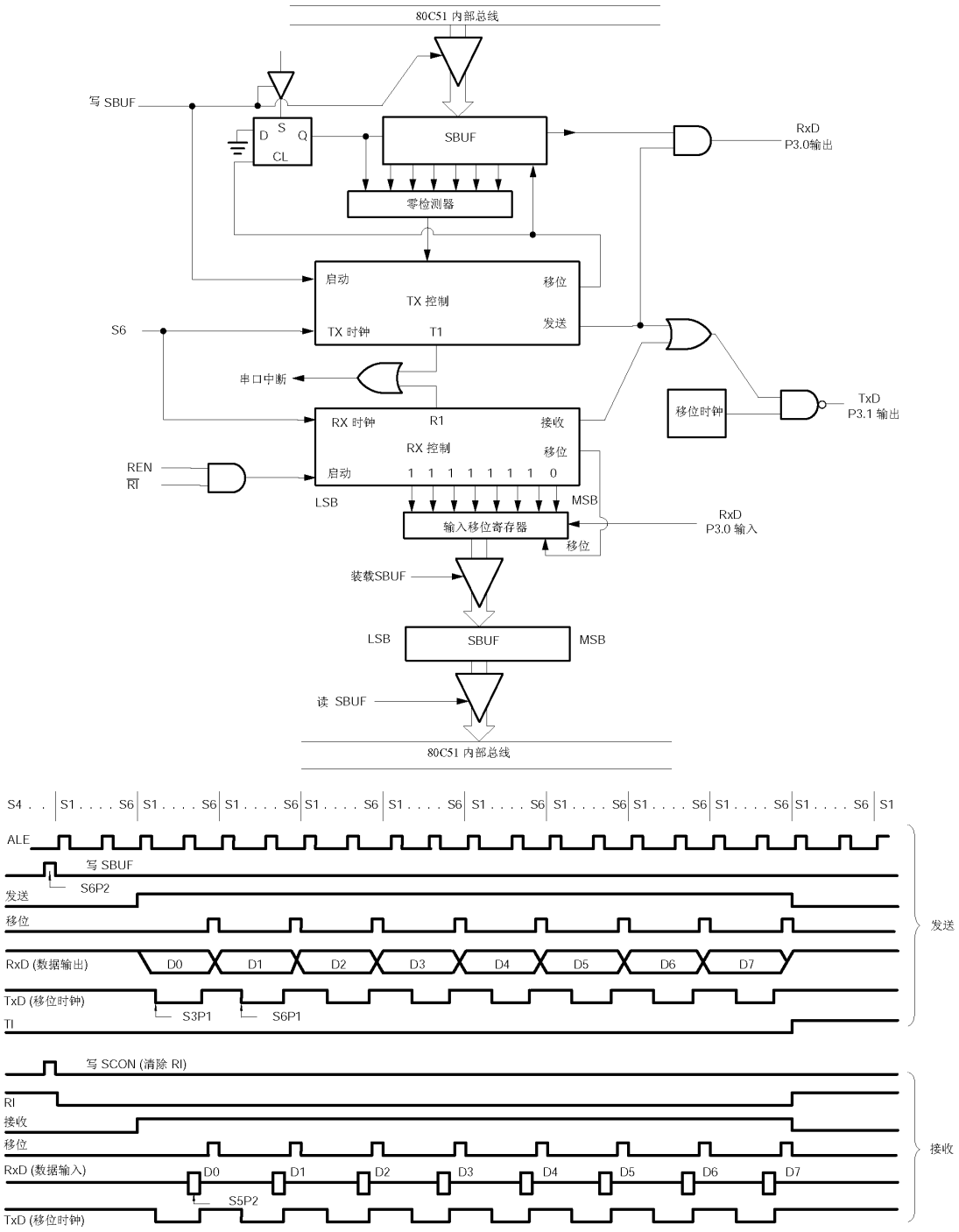


图 9　串口模式 0

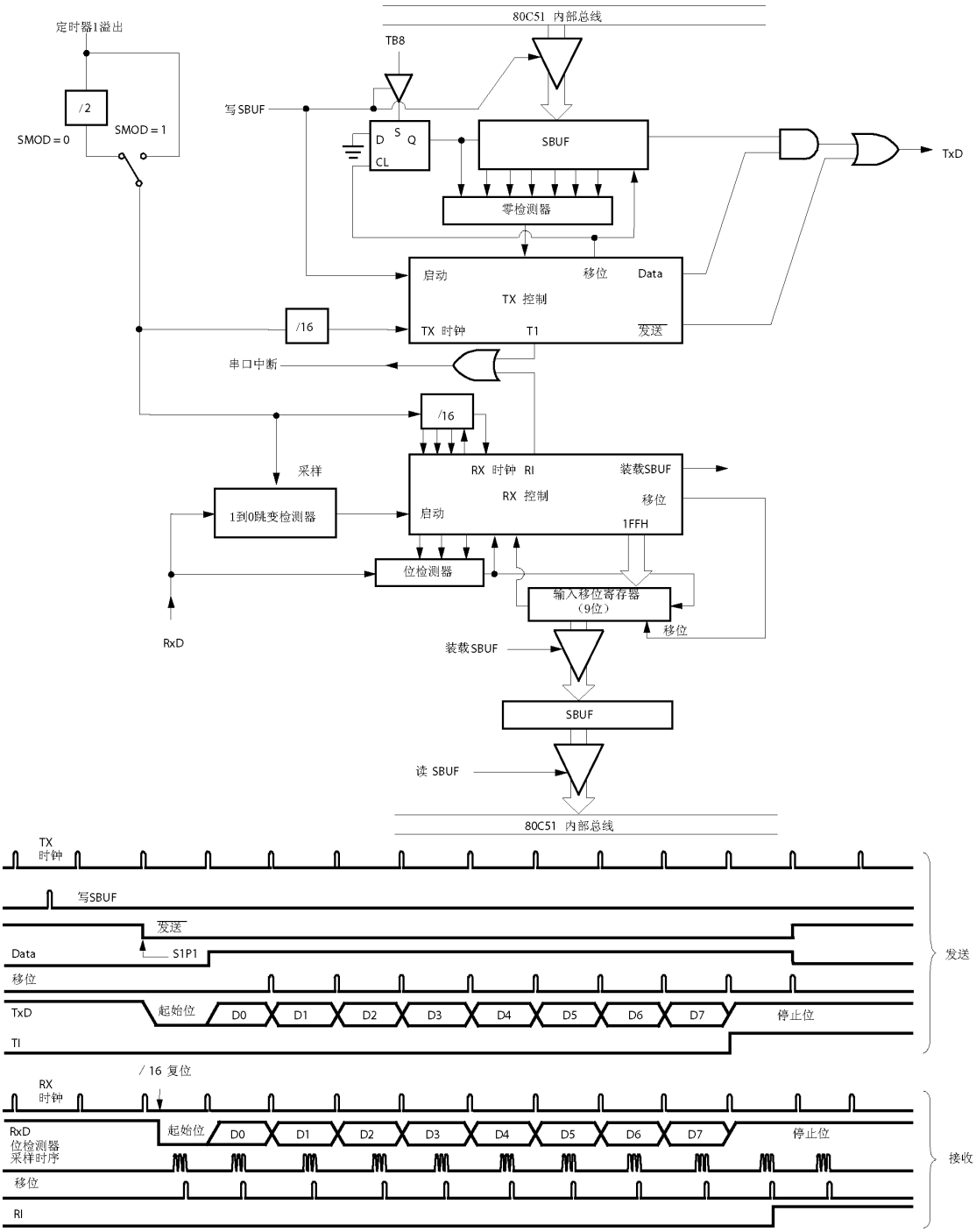

80C51 内部总线
定时器1溢出
TB8
/2
SMOD = 0
SMOD = 1
写SBUF
D
S
Q
CL
SBUF
TxD
零检测器
启动
移位
Data
TX 控制
/16
TX 时钟
T1
发送
串口中断
/16
采样
RX 时钟 RI
装载SBUF
RX 控制
移位
1到0跳变检测器
启动
1FFH
位检测器
输入移位寄存器
（9位）
移位
RxD
装载SBUF
SBUF
读 SBUF
80C51 内部总线
TX
时钟
写SBUF
发送
Data
S1P1
移位
TxD
起始位
D0
D1
D2
D3
D4
D5
D6
D7
停止位
TI
发送
/ 16 复位
RX
时钟
RxD
位检测器
采样时序
起始位
D0
D1
D2
D3
D4
D5
D6
D7
停止位
移位
RI
接收

图 10　串口模式 1

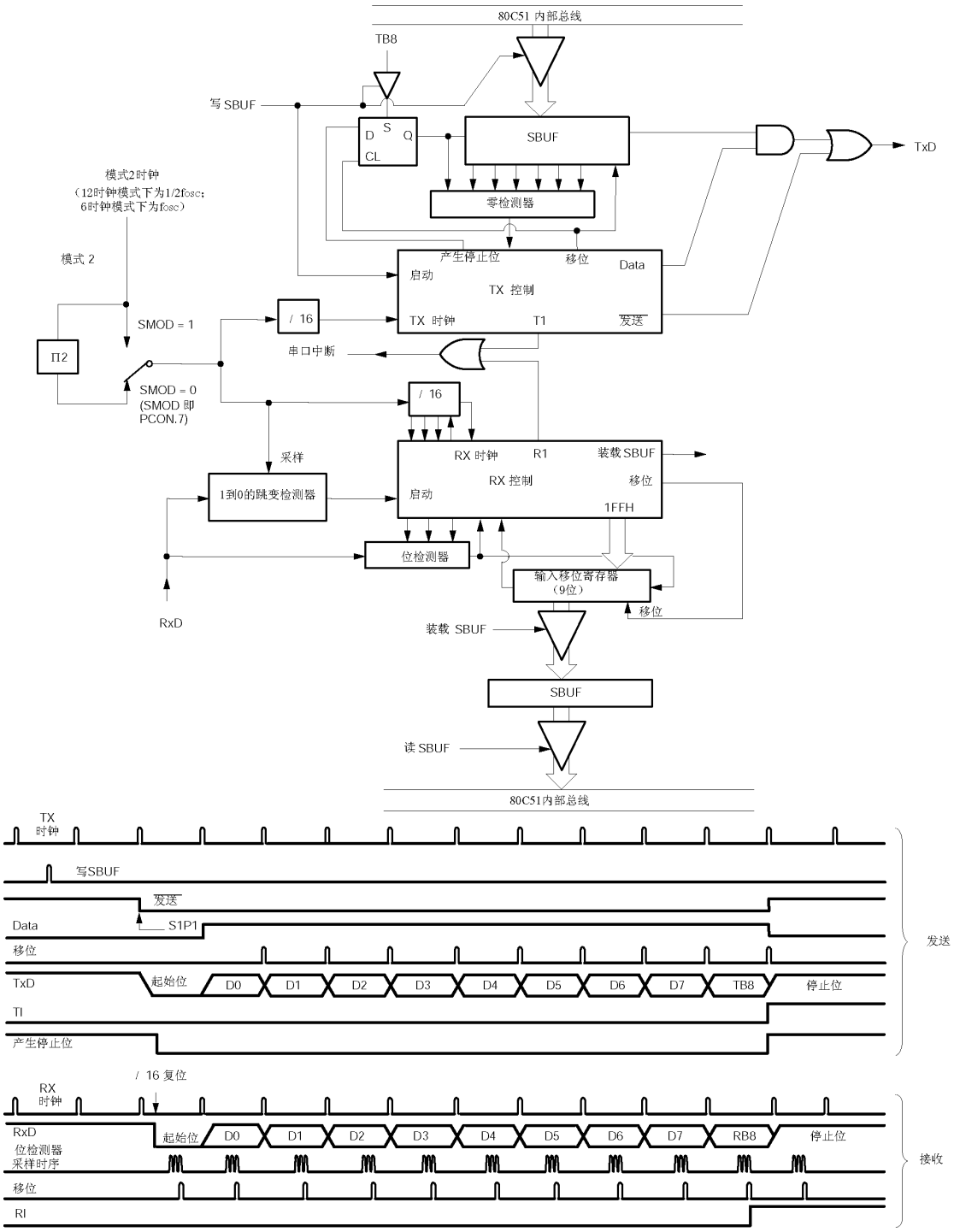

80C51 内部总线
TB8
写 SBUF
D
S
Q
CL
SBUF
TxD
零检测器
模式2时钟
（12时钟模式下为1/2fosc；
6时钟模式下为fosc）
模式 2
产生停止位
移位
Data
启动
TX 控制
TX 时钟
T1
发送
/ 16
SMOD = 1
串口中断
Π2
SMOD = 0
(SMOD 即
PCON.7)
/ 16
采样
RX 时钟
R1
装载 SBUF
RX 控制
移位
1到0的跳变检测器
启动
1FFH
位检测器
输入移位寄存器
（9位）
移位
RxD
装载 SBUF
SBUF
读 SBUF
80C51内部总线
TX
时钟
写SBUF
发送
Data
S1P1
移位
TxD
起始位
D0
D1
D2
D3
D4
D5
D6
D7
TB8
停止位
TI
产生停止位
发送
/ 16 复位
RX
时钟
RxD
起始位
D0
D1
D2
D3
D4
D5
D6
D7
RB8
停止位
位检测器
采样时序
移位
RI
接收

图 11　串口模式 2

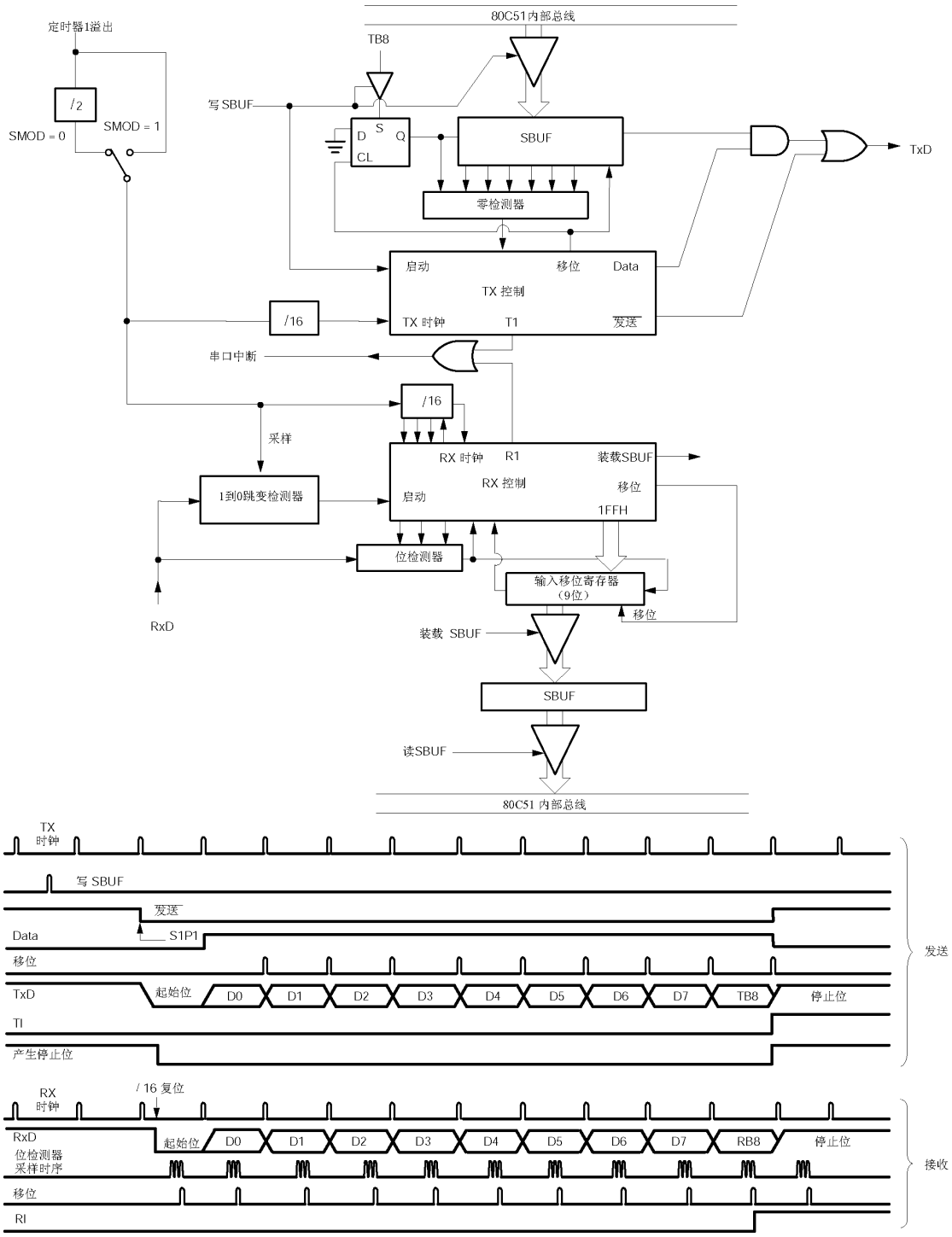


图 12　串口模式 3

增强型 UART

除了在数据手册 IC20，基于 80C51 的 8 位微控器的第一部分描述的 UART 通常工作模式外，UART 还可实现帧错误检测（通过寻找丢失的停止位）和自动地址识别。P87CL5xX2 还支持多机通信。

当使用帧错误检测时，UART 在通信中寻找丢失的停止位。丢失位将置位寄存器 SCON 的 FE 位。FE 位与 SM0 共用 SCON.7 位。SCON.7 的功能由 PCON.6 决定（SMOD0 ）（见图 13）。如果 SMOD0 置位，SCON.7 作为 FE。如果清零 SMOD0，SCON.7 作为 SM0。当 SCON.7 作为 FE 位使用时，它只能软件清零。参阅图 14。

自动地址识别

自动地址识别是这样一种特性，它使 UART 通过硬件比较在串行数据流中识别出特定地址。这样就不必花费大量的软件资源去检查每一个从串口输入的串行地址。将 SCON 的 SM2 位置位来使能该特性。在 9 位 UART 模式、模式 2 和 3 中，当接收数据中包含“给定”地址或“广播”地址时接收标志位（RI）将自动置位。9 位模式中的第 9 位信息必须为‘1’，利用它来指示接收的是地址而非数据。如图 15 所示。

模式 1 是 8 位模式。在该模式下，当 SM2 位使能、8 个地址位后包含有效的停止位且接收到的信息是一个给定或广播地址时，RI 标志置位。

模式 0 是移位寄存器方式，该模式下 SM2 被忽略。

自动地址识别特性使主机通过调用给定从机地址或所有地址来选择同一个或多个从机进行通信。使用广播地址时，所有从机都被联系。该特性使用了 2 个特殊功能寄存器：定义从机地址（SADDR）和地址屏蔽（SADEN）。SADEN 用来定义 SADDR 中哪几位需要，而哪几位无需考虑。将 SADEN 和 SADDR 逻辑与产生“给定”地址，主机利用这些地址来寻址每个从机。给定地址还可用于多个从机之间的识别，以防混淆。示例如下：

从机 0　　SADDR=1100 0000
　　SADEN= 1111 1101
　　特定地址＝1100 00x0

从机 1　　SADDR=1100 0000
　　SADEN=1111 1110
　　特定地址＝1100 000x

上例中， SADDR 相同， SADEN 不同以区分两从机。从机 0 要求 0 位为 0 而忽略位 1，从机 1 要求位 1 为 0 而忽略位 0。由于从机 1 要求 1 位为 0，因此从机 0 的地址应为 1100 0010；而为了区别要求位 0 为 1 的从机 0，从机 1 的地址应为 1100 0001。通过对地址进行如下设置：从机 0 的位 0＝0，从机 1 的位 1＝1，就可同时选中从机 0 和 1 通信。它们可使用 1100 0000 寻址。

下例所示是一个更复杂的系统，选择从机 1 和 2，不选从机 3

从机 0　　SADDR=1100 000
　　SADEN=1111 1001
　　特定地址＝1100 0xx0
从机 1　　SADDR=1100 000
　　SADEN=1111 1010
　　特定地址＝1100 0x0x
从机 2　　SADDR=1100 000
　　SADEN=1111 1101
　　特定地址＝1100 00xx

上例中，3 个从机的低 3 位地址不同。从机 0 要求位 0＝0，它的特定地址为 1110 0110。从机 1 要求位 1＝0，它的特定地址为 1110 0101。从机 2 要求位 2＝0，它的特定地址为 1110 0100。如果要选择从机 0 和 1，不选从机 2，可使用地址 1110 0100，因为必须要使位 2＝1 来排除从机 2。

SADDR 和 SADEN 逻辑或产生每个从机的广播地址。结果为 0 的位视为无关位。但在大部分情况下，无关位被视为 1，这样，广播地址为 FFH。

复位时，SADDR（SFR 地址：0A9H）和 SADEN（SFR 地址：0B9H）均为 0。此时产生全为无关位的“给定”地址和“广播”地址。这时，自动地址识别模式无效，并允许微控器使用不带该特性的标准 80C51 UART 驱动器。

SCON 地址 = 98H
复位值= 0000 0000B

可位寻址	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI
位：	7	6	5	4	3	2	1	0

(SMOD0 = 0/1)*

符号	功能
FE	帧错误位。检测到无效停止位时由接收器置位。FE位不是在有效帧出现时清除，而是由软件清除。通过置位SMOD0位来使能对FE位的访问。
SM0 SM1	串口工作模式位0。（访问SM0位时，SMOD0必须清零） 串口工作模式位1。

SM0	SM1	模式	描述	波特率**
0	0	0	移位寄存器	$f_{OSC}/12$
0	1	1	8 位 UART	可变
1	0	2	9 位 UART	$f_{OSC}/64$ 或 $f_{OSC}/32$
1	1	3	9 位 UART	可变

SM2	模式2或3的自动地址识别特性使能位。如果SM2＝1,只有当接收到的第9位（RB8）是1时（表明接收的是地址，而且要求该地址字节是一个给定或广播地址），RI才被置位。在模式1中，当SM2＝1，接收到一个有效地址并且接收到的字节是给定或广播地址时，RI才被置位。模式0中SM2位为0。
REN	串行口接收数据使能。由软件置位和清零。置位时允许串口接收数据，清零时禁止串口接收数据。
TB8	模式2和3中发送的第9位数据。由软件置位或清零。
RB8	模式2和3中接收到的第9位数据。在模式1中，若SM2＝0，RB8为接收到的停止位。模式0中不使用该位。
TI	发送中断标志。模式0中发送完第8位数据后由硬件置位；其它模式中，在开始发送停止位时置位。该位必须由软件清除。
RI	接收中断标志。模式0中发送完第8位数据后由硬件置位；其它任何接收模式（除SM2中所述情况外）中，在接收停止位的中间时刻硬件置位。

注：
*SMOD0即PCON.6。
**fosc＝振荡器频率

图 13　SCON：串口控制寄存器

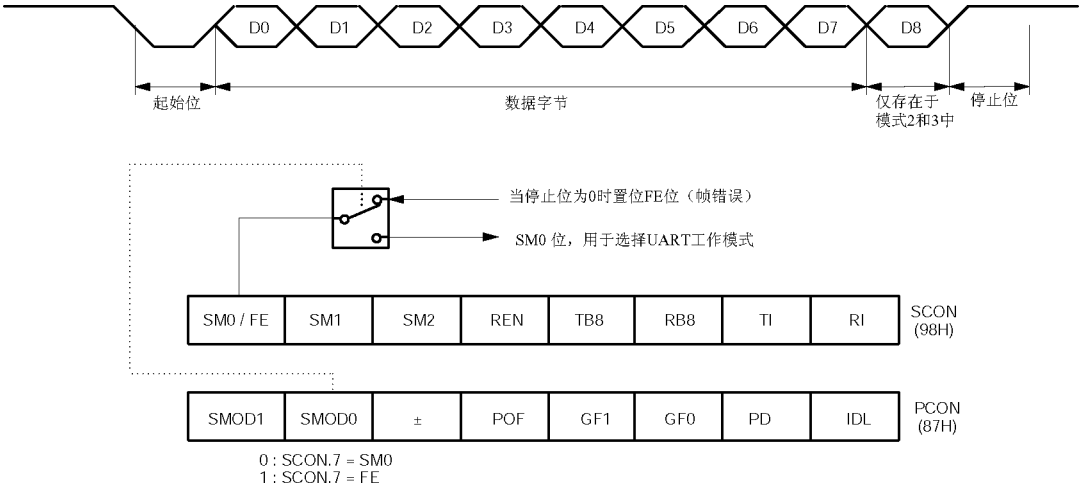


图 14　UART 帧错误检测

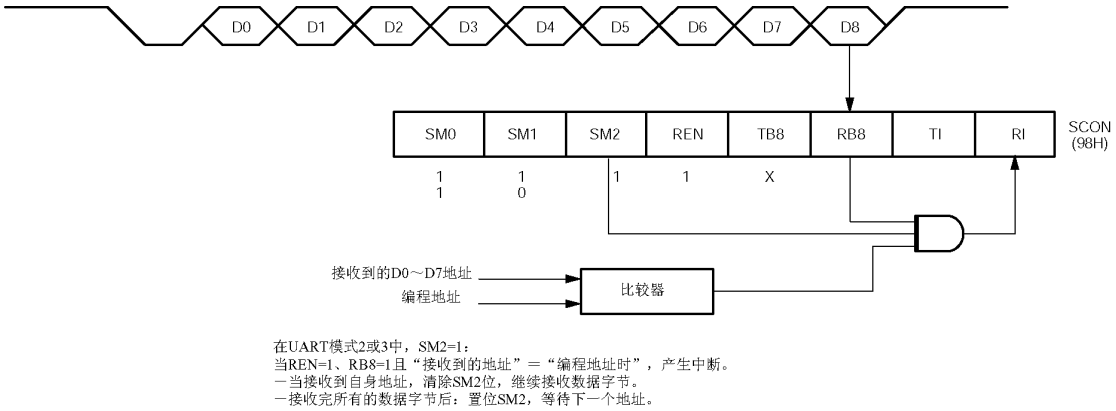


图 15　UART 多机通信，自动地址识别

中断优先级结构

P87CL5xX2 包含一个 6 中断源、4 优先级的中断结构，用 IE、IP 和 IPH 3 个 SFR 来实现（见图 16、17 和 18）。IPH 寄存器使 4 优先级的中断结构成为可能。IPH 是一个特殊功能寄存器，其地址为 B7H。IPH 寄存器的结构及各位功能如图 18 所示。

IPH SFR 功能简单，它与 IP SFR 一起来决定中断的优先级。见下表：

优先级位		中断优先级
IPH.x	IP.x	
0	0	优先级 0（最低优先级）
0	1	优先级 1
1	0	优先级 2
1	1	优先级 3（最高优先级）

一个中断只有在无同优先级或高优先级中断服务的情况下才被响应。如果 CPU 正在响应一个中断的同优先级或高优先级中断，则只有在中断服务完成后才响应该中断。一个低优先级的中断可被高优先级的中断终止，先响应高优先级的中断，再响应低优先级中断。

表 7　　中断表

中断源	查询优先级	请求位	硬件清除？	向量地址
X0	1	IE0	N(L)[1]　Y(T)[2]	03H
T0	2	TP0	Y	0BH
X1	3	IE1	N(L)　　Y(T)	13H
T1	4	TF1	Y	1BH
SP	5	RI,TI	N	23H
T2	6	TF2,EXF2	N	2BH

注：

1. L=电平有效
2. T=边沿有效

	7	6	5	4	3	2	1	0
IE (0A8H)	EA	–	ET2	ES	ET1	EX1	ET0	EX0

使能位＝1时使能相应的中断。
使能位＝0时禁止相应的中断。

位	符号	功能
IE.7	EA	全局中断屏蔽位。当EA=0时，屏蔽所有中断；当EA=1时，各个中断通过置位或清零相应的使能位来使能或禁止。
IE.6	–	未用，保留到将来使用。
IE.5	ET2	定时器2中断使能位。
IE.4	ES	串行口中断使能位。
IE.3	ET1	定时器1中断使能位。
IE.2	EX1	外部中断1使能位。
IE.1	ET0	定时器0中断使能位。
IE.0	EX0	外部中断0使能位。

图 16　IE 寄存器

	7	6	5	4	3	2	1	0
IP (0B8H)	–	–	PT2	PS	PT1	PX1	PT0	PX0

优先级位＝1，表明为高优先级
优先级位＝0，表明为低优先级

位	符号	功能
IP.7	–	未用，保留到将来使用。
IP.6	–	未用，保留到将来使用。
IP.5	PT2	定时器2中断优先级位。
IP.4	PS	串行口中断优先级位。
IP.3	PT1	定时器1中断优先级位。
IP.2	PX1	外部中断1优先级位。
IP.1	PT0	定时器0中断优先级位。
IP.0	PX0	外部中断0优先级位。

图 17　IP 寄存器

	7	6	5	4	3	2	1	0
IPH (B7H)	–	–	PT2H	PSH	PT1H	PX1H	PT0H	PX0H

优先级位＝1，表明高优先级。
优先级位＝0，表明低优先级。

位	符号	功能
IPH.7	–	未用，保留到将来使用。
IPH.6	–	未用，保留到将来使用。
IPH.5	PT2H	定时器2中断优先级高位。
IPH.4	PSH	串行口中断优先级高位。
IPH.3	PT1H	定时器1中断优先级高位。
IPH.2	PX1H	外部中断1优先级高位。
IPH.1	PT0H	定时器0优先级高位。
IPH.0	PX0H	外部中断0优先级高位。

图 18　IPH 寄存器

降低 EMI 模式

如果置位 AUXR 寄存器的 AO 位（AUXR.0），则 ALE 输出将被禁止。

降低 EMI 模式

AUXR（8EH）

7	6	5	4	3	2	1	0
–	–	–	–	–	–	–	AO

AUXR.0　AO　关闭 ALE 输出

双 DPTR 结构

双 DPTR 结构（见图 19）提供了一种寻址外部数据存储器单元的方法。该结构除了包含 2 个用来寻址

外部数据存储器的 16 位 DPTR 外，还有一位 DPS＝AUXR1/位 0，用户可利用它在程序代码中切换 2 个 DPTR 寄存器。

- 新寄存器名称：AUXR1#
- SFR 地址：A2H
- 复位值：xxx000x0B

AUXR1（A2H）

7	6	5	4	3	2	1	0
－	－	－	－	WUPD	0	－	DPS

此处：

DPS=AUXR1/位 0＝切换使用 DPTR0 和 DPTR1。

选择寄存器	DPS
DPTR0	0
DPTR1	1

当切换 DPTR0 和 DPTR1 时，DPS 位的状态需软件保存。

注意寄存器的位 2 不可写，读出值始终为 0。这表明，只要执行一条 INC DPTR 指令就可翻转 DPS 位，而不会影响 WOPD 或 LPEP 位的值。

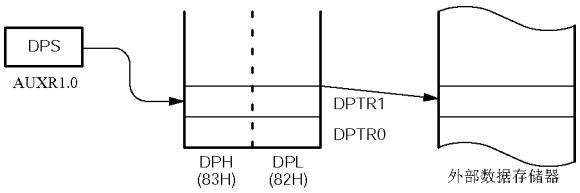


图 19

DPTR 指令

DPTR 指令相关的数据指针由 AUXR1/位 0 寄存器进行选择。下面有 6 条 DPTR 的相关指令：

INC DPTR	数据指针加 1
MOV DPTR, #data16	将一个 16 位的常数保存到 DPTR
MOV A,@A+DPTR	将 DPTR 相对地址的代码字节存入 ACC
MOVX A,@DPTR	将外部 RAM 内容（16 位地址）保存到 ACC
MOVX @DPTR,A	将 ACC 内容移入外部 RAM 单元（16 位地址）
JMP @A+DPTR	跳转到 DPTR 的相对地址

通过在访问 SFR 指令中指定高低字节来寻址数据指针。更详细的内容可参考应用笔记 AN458。

极限参数[1, 2, 3]

参数	额定值	单位
操作温度	0～+70	℃
存储温度范围	－65～+150	℃
$\overline{EA}$ 脚相对 V_{SS} 的电压	0～+13.0	V
其它任意管脚相对 V_{SS} 的电压	－0.5～+6.5	V
每个 I/O 脚的最大 I_{OL}	15	mA
能量损耗（基于封装热传导，不是器件功耗）	1.5	W

注：

1. 器件在超过上面所列的极限参数值情况下工作可能会造成永久性的损坏。这里仅列出了参数极限值，除在AC和DC电气特性中的描述外，并未指明在这些或其它条件下的器件功能操作。

2. 本产品有保护器件内部的电路设计，避免超负荷的损坏性影响，不过建议避免在超过最大值的情况下工作。

3. 参数在操作温度范围内是有效的，除非另有规定。所有的电压都是相对Vss 而言的，除非另有说明。

AC 电气特性

Tamb＝0℃～+70℃或－40℃～+85℃

符号	图号	参数	时钟频率范围		单位
			最小	最大	
$1/t_{CLCL}$	29	振荡器频率			
		工作模式：6 时钟模式	0	16	MHz
		12 时钟模式	0	33	MHz

DC 电气特性

Tamb＝0℃～+70℃，VCC=1.8V～3.3V，Vss＝0V（12MHz 器件）

符号	参数	测试条件	限制值			单位
			最小	典型[1]	最大	
V_{IL}	输入低电平电压		－0.5		$0.2V_{CC}$ －0.05	V
V_{IH}	输入高电平电压 （端口 0、1、2、3、 $\overline{EA}$ ）		$0.35V_{CC}$+0.55		V_{CC}+0.5	V
V_{IH1}	输入高电压，XTAL1,RST		$0.7V_{CC}$		V_{CC}+0.5	V
V_{OL}	输出低电平电压， 端口 1,2,3[6]	I_{OL}=1.6mA	－		0.3	V
V_{OL1}	输出低电平电压，端口 0,ALE, $\overline{PSEN}$ [6,5]	I_{OL}=3.2mA	－		0.4	V
V_{OH}	输出高电平电压，端口 1,2,3[3]	I_{OH}=－30uA	V_{CC}－0.6		－	V
V_{OH1}	输出高电平电压（P0 口在内部总线模式），ALE[7], $\overline{PSEN}$ [3]	V_{CC}=1.8V I_{OH}=－3.2mA	V_{CC}－0.7		－	V
I_{IL}	逻辑 0 输入电流，端口 1,2,3	V_{IN}=0.4V	－		－40	uA
I_{TL}	逻辑 1 到 0 的跳变电流，端口 1,2,3	V_{IN}=1.25V V_{DD}=3.3V	－		－300	uA
I_{LI}	输入漏电流，P0 口	0.45V<V_{IN}< V_{CC}－0.3V	－		－10	uA
I_{CC}	电源电流（见图 27）：	见注 4				
	激活模式◎1.8V V_{CC}/1MHz		－	0.15	0.4	mA
	激活模式◎1.8V V_{CC}/12MHz		－	1.35	1.5	mA
	激活模式◎3.3V V_{CC}/12MHz		－	2.70	3.7	mA
	空闲模式◎1.8V V_{CC} 1MHz		－	0.1	0.24	mA
	空闲模式◎1.8V V_{CC} 12MHz		－	0.25	0.68	mA
	空闲模式◎3.3V V_{CC} 12MHz		－	0.5	0.68	mA
	掉电模式（见图 32 的条件）	Tamb＝0℃～70℃	－	<1	2	uA
R_{RST}	内部复位下拉电阻		40		225	kΩ

C_{IO}	管脚电容 8（除 $\overline{EA}$ 外）		—		15	pF

注：

1. 典型值是不作保证的，所列出的值在室温下测试得到。
2. P0、P2口的容性负载产生的噪声会叠加到P1、P3和ALE脚的电压V_{OL}上。这种噪声是由于总线操作时这些管脚由1到0的负跳变而引起外部总线电容向P0、P2口管脚放电造成的。这种情况下可通过施密特触发器或带有施密特触发器滤波输入的地址锁存器来校正ALE。如果输出吸收电流不超过5mA并且仅有2个输出工作在测试条件范围之外，I_{OL}的值就会超出测试允许值的范围。
3. 当地址位稳定的情况下，P0、P2口的容性负载会导致ALE和 $\overline{PSEN}$ 脚电压V_{OH}瞬间低到V_{CC}—0.7。
4. 参看图29至32的Icc测试条件：

   激活模式：I_{CC}=fclk*0.3 mA/MHz+0.7 mA。见图27

   空闲方式：I_{CCI}=fclk*0.045 mA/MHz+0.5 mA
5. P0口、ALE和 $\overline{PSEN}$ 的负载电容＝100pF，其它输出的负载电容＝80pF。
6. 在稳定的条件下（不跳变）I_{0L} 必须通过外部来限制

   每个口管脚I_{OL} 的最大值：10mA

   每个8 位端口I_{OL} 的最大值：20mA

   所有输出的总I_{OL} 的最大值：40mA

   如果I_{OL} 超过了测试条件V_{OL} 可能会超出相关的规格管脚不能保证吸收电流超过测试条件下的值。
7. ALE 脚测试的V_{OH1} 电压除了关闭ALE 功能时这个脚的电压才以V_{OH} 为准。
8. 管脚电容的值作为特性给定，并非测试得到。管脚电容小于 15pF。

DC 电气特性

Tamb＝0℃～+70℃，V_{CC}=3.3V±10％，Vss＝0V（33MHz 器件）

符号	参数	测试条件	限制值			单位
			最小	典 型 1	最大	
V_{IL}	输入低电平电压		—0.5		$0.2V_{CC}$ — 0.05	V
V_{IH}	输入高电平电压（端口 0、1、2、3、 $\overline{EA}$ ）		$0.35V_{CC}$+0.55		V_{CC}+0.5	V
V_{IH1}	输入高电平电压，XTAL1,RST		$0.7V_{CC}$		V_{CC}+0.5	V
V_{OL}	输出低电平电压，端口 1、2、3[6]	I_{OL}=1.6mA	—		0.3	V
V_{OL1}	输出低电平电压，端口 0、ALE、 $\overline{PSEN}$ [6.5]	I_{OL}=3.2mA	—		0.4	V
V_{OH}	输出高电平电压，端口 1、2、3[6]	I_{OH}=—30uA	V_{CC}—0.6		—	V
V_{OH1}	输出高电平电压，（P0 口工作在外部总线模式）、ALE[7]、 $\overline{PSEN}$ [3]	I_{OH}=—3.2mA	V_{CC}—0.7		—	V
I_{IL}	逻辑 0 输入电流，端口 1,2,3	V_{IN}=0.4V	—		—40	uA
I_{TL}	逻辑 1 到 0 的跳变电流，端口 1,2,3	V_{IN}=1.25V V_{DD}=3.3V	—		—300	uA
I_{LI}	输入漏电流，P0 口	0.45V<V_{IN}< V_{CC}—0.3V	—		—10	uA

续上表…..

符号	参数	测试条件	限制值			单位
			最小	典 型 1	最大	
I_{CC}	电源电流（见图 27）： 激活模式◎33MHz 空闲模式◎33MHz 掉电模式（见图 32 的条件）	见注 4 Tamb ＝ 0℃～70℃	 － － －	 7.6 1.5 <1	 10.6 2 2	 mA mA uA
R_{RST}	内部复位下拉电阻		40		225	kΩ
C_{IO}	管脚电容 8（除 $\overline{EA}$ 外）		－		15	pF

注：

6. 典型值是不作保证的，所列出的值在室温下测试得到。
7. P0、P2口的容性负载产生的噪声会叠加到P1、P3和ALE脚的电压V_{OL}上。这种噪声是由于总线操作时这些管脚由1到0的负跳变而引起外部总线电容向P0、P2口管脚放电造成的。这种情况下可通过施密特触发器或带有施密特触发器滤波输入的地址锁存器来校正ALE。如果输出吸收电流不超过5mA并且仅有2个输出工作在测试条件范围之外，I_{OL}的值就会超出测试允许值的范围。
8. 当地址位稳定的情况下，P0、P2口的容性负载会导致ALE和 $\overline{PSEN}$ 脚电压V_{OH}瞬间低到V_{CC}－0.7。
9. 参看图29至32的Icc测试条件：

   激活模式：I_{CC}=fclk*0.3 mA/MHz+0.7 mA。见图27

   空闲方式：I_{CCI}=fclk*0.045 mA/MHz+0.5 mA
10. P0口、ALE和 $\overline{PSEN}$ 的容性负载＝100pF，其它输出的容性负载＝80pF。
6. 在稳定的条件下（不跳变）I_{OL} 必须通过外部来限制

   每个口管脚I_{OL} 的最大值：10mA

   每个8 位端口I_{OL} 的最大值：20mA

   所有输出的总I_{OL} 的最大值：40mA

   如果I_{OL} 超过了测试条件V_{OL} 可能会超出相关的规格管脚不能保证吸收电流超过测试条件下的值。
7. ALE 脚测试的V_{OH1} 电压除了关闭ALE 功能时这个脚的电压才以V_{OH} 为准。
8. 管脚电容的值作为特性给定，并非测试得到。管脚电容小于 15pF。

AC 电气特性

Tamb＝0℃～+70℃，V_{CC}=+1.8V～+3.3V，V_{SS}=0V[1,2,3]

符号	图号	参数	12MHz 时钟		可变频率		单位
			最小	最大	最小	最大	
$1/t_{CLCL}$	14	振荡器频率[4]			1.0	12	MHz
t_{LHLL}	20	ALE 脉宽	85		$2t_{CLCL}$－40		ns
t_{AVLL}	20	地址有效到 ALE 低	22		t_{CLCL}－40		ns
t_{LLAX}	20	ALE 变低后地址保持时间	32		t_{CLCL}－30		ns
t_{LLIV}	20	ALE 低到有效指令输入		150		$4t_{CLCL}$－100	ns
t_{LLPL}	20	ALE 低到 $\overline{PSEN}$ 低	32		t_{CLCL}－30		ns
t_{PLPH}	20	$\overline{PSEN}$ 脉宽	142		$3t_{CLCL}$－45		ns
t_{PLIV}	20	$\overline{PSEN}$ 低到有效指令输入		82		$3t_{CLCL}$－105	ns
t_{PXIX}	20	$\overline{PSEN}$ 后输入指令保持	0		0		ns

续上表……

符号	图号	参数	12MHz 时钟		可变频率		单位
			最小	最大	最小	最大	
t_{PXIZ}	20	$\overline{PSEN}$ 后输入指令悬浮		37		$t_{CLCL}-25$	ns
t_{AVIV}	20	地址到有效指令输入		207		$5t_{CLCL}-105$	ns
t_{PLAZ}	20	$\overline{PSEN}$ 低到地址悬浮		10		10	ns
数据存储器							
t_{RLRH}	21,22	$\overline{RD}$ 脉宽	275		$6t_{CLCL}-100$		ns
t_{WLWH}	21,22	$\overline{WR}$ 脉宽	275		$6t_{CLCL}-100$		ns
t_{RLDV}	21,22	$\overline{RD}$ 低到有效数据输入		147		$5t_{CLCL}-165$	ns
t_{RHDX}	21,22	$\overline{RD}$ 后数据保持	0		0		ns
t_{RHDZ}	21,22	$\overline{RD}$ 后数据悬浮		65		$2t_{CLCL}-60$	ns
t_{LLDV}	21,22	ALE 低到有效数据输入		350		$8t_{CLCL}-150$	ns
t_{AVDV}	21,22	地址到有效数据输入		397		$9t_{CLCL}-165$	ns
t_{LLWL}	21,22	ALE 低到 $\overline{RD}$ 或 $\overline{WR}$ 低	137	239	$3t_{CLCL}-50$	$3t_{CLCL}+100$	ns
t_{AVWL}	21,22	地址有效到 $\overline{RD}$ 或 $\overline{WR}$ 低	122		$4t_{CLCL}-130$		ns
t_{QVWX}	21,22	数据有效到 $\overline{WR}$ 跳变	13		$t_{CLCL}-50$		ns
t_{WHQX}	21,22	$\overline{WR}$ 后数据保持	13		$t_{CLCL}-50$		ns
t_{QVWH}	22	数据有效到 $\overline{WR}$ 高	287		$7t_{CLCL}-150$		ns
t_{RLAZ}	21,22	$\overline{RD}$ 低到地址悬浮		0		0	ns
t_{WHLH}	21,22	$\overline{RD}$ 或 $\overline{WR}$ 高到 ALE 高	23	103	$t_{CLCL}-40$	$t_{CLCL}+40$	ns
外部时钟							
t_{CHCX}	24	高电平时间	20		20	$t_{CLCL}-t_{CLCL}$	ns
t_{CLCX}	24	低电平时间	20		20	$t_{CLCL}-t_{CHCX}$	ns
t_{CLCH}	24	上升时间		20		20	ns
t_{CHCL}	24	下降时间		20		20	ns
移位寄存器							
t_{XLXL}	23	串口时钟周期	750		$12t_{CLCL}$		ns
t_{QVXH}	23	输出数据建立到时钟上升沿	492		$10t_{CLCL}-133$		ns
t_{XHQX}	23	时钟上升沿后输出数据保持	8		$2t_{CLCL}-117$		ns
t_{XHDX}	23	时钟上升沿后输入数据保持	0		0		ns
t_{XHDV}	23	时钟上升沿到输入数据有效		668		$10t_{CLCL}-165$	ns

注：

1． 除非特别说明，上述参数在操作温度范围内有效。

2． P0 口、ALE 和 $\overline{PSEN}$ 的容性负载为 100pF，其它输出的容性负载为 80pF。

3． 连接 P87CL5xX2 和器件时允许存在 45ns 的悬浮时间。受限的总线竞争不会对 P0 口造成损坏。

4． 部分频率可降至 0Hz。当使用外部时钟源时，上电或唤醒掉电时 RST 管脚要保持最少 20us 的时间。

AC 电气特性

Tamb＝0℃～+70℃，V_{CC}=3.3V±10％，V_{SS}=0V[1,2,3]

符号	图号	参数	可变时钟 4（12MHz～fmax）		33MHz 时钟		单位
			最小	最大	最小	最大	
t_{LHLL}	20	ALE 脉宽	$2t_{CLCL}-40$		21		ns
t_{AVLL}	20	地址有效到 ALE 低	$t_{CLCL}-25$		5		ns
t_{LLAX}	20	ALE 地址低后的地址保持	$t_{CLCL}-25$				ns
t_{LLIV}	20	ALE 低到有效指令输入		$4t_{CLCL}-65$		55	ns
t_{LLPL}	20	ALE 低到 $\overline{PSEN}$ 低	$t_{CLCL}-25$		5		ns
t_{PLPH}	20	$\overline{PSEN}$ 脉宽	$3t_{CLCL}-45$		45		ns
t_{PLIV}	20	$\overline{PSEN}$ 低到有效指令输入		$3t_{CLCL}-60$		30	ns
t_{PXIX}	20	$\overline{PSEN}$ 后到输入指令保持	0		0		ns
t_{PXIZ}	20	$\overline{PSEN}$ 后到输入指令悬浮		$t_{CLCL}-25$		5	ns
t_{AVIV}	20	地址到有效指令输入		$5t_{CLCL}-80$		70	ns
t_{PLAZ}	20	$\overline{PSEN}$ 低到地址悬浮		10		10	ns
数据存储器							
t_{RLRH}	21,22	$\overline{RD}$ 脉宽	$6t_{CLCL}-100$		82		ns
t_{WLWH}	21,22	$\overline{WR}$ 脉宽	$6t_{CLCL}-100$		82		ns
t_{RLDV}	21,22	$\overline{RD}$ 低到有效数据输入		$5t_{CLCL}-90$		60	ns
t_{RHDX}	21,22	$\overline{RD}$ 后的数据保持	0		0		ns
t_{RHDZ}	21,22	$\overline{RD}$ 后的数据悬浮		$2t_{CLCL}-28$		32	ns
t_{LLDV}	21,22	ALE 低到有效数据输入		$8t_{CLCL}-150$		90	ns
t_{AVDV}	21,22	地址到有效数据输入		$9t_{CLCL}-165$		105	ns
t_{LLWL}	21,22	ALE 低到 $\overline{RD}$ 或 $\overline{WR}$ 低	$3t_{CLCL}-50$	$3t_{CLCL}+50$	40	140	ns
t_{AVWL}	21,22	地址有效到 $\overline{WR}$ 或 $\overline{RD}$ 低	$4t_{CLCL}-75$		45		ns
t_{QVWX}	21,22	数据有效到 $\overline{WR}$ 跳变	$t_{CLCL}-30$		0		ns
t_{WHQX}	21,22	$\overline{WR}$ 后数据保持	$t_{CLCL}-25$		5		ns
t_{QVWH}	22	数据有效到 $\overline{WR}$ 高	$7t_{CLCL}-130$		80		ns
t_{RLAZ}	21,22	$\overline{RD}$ 低到地址悬浮		0		0	ns
t_{WHLH}	21,22	$\overline{RD}$ 或 $\overline{WR}$ 高到 ALE 高	$t_{CLCL}-25$	$t_{CLCL}+25$	5	55	ns
外部时钟							
t_{CHCX}	24	高电平时间	$0.38\ t_{CLCL}$	$t_{CLCL}-t_{CLCL}$			ns
t_{CLCX}	24	低电平时间	$0.38\ t_{CLCL}$	$t_{CLCL}-t_{CLCL}$			ns
t_{CLCH}	24	上升时间		5			ns
t_{CHCL}	24	下降时间		5			ns
移位寄存器							
t_{XLXL}	23	串口时钟周期	$12\ t_{CLCL}$		360		ns
t_{QVXH}	23	输出数据建立到时钟上升沿	$10\ t_{CLCL}-133$		167		ns
t_{XHQX}	23	时钟上升沿后输出数据保持	$2\ t_{CLCL}-80$				ns
t_{XHDX}	23	时钟上升沿后输入数据保持	0		0		ns
t_{XHDV}	23	时钟上升沿到输入数据有效		$10\ t_{CLCL}-165$		138	ns

注：

1． 非特别说明，上述参数在操作温度范围内有效。

2． P0 口、ALE 和 $\overline{\text{PSEN}}$ 的容性负载为 100pF，其它输出的容性负载为 80pF。

3． 连接 P87CL5xX2 和器件时允许存在 45ns 的悬浮时间。受限的总线竞争不会对 P0 口造成损坏。

4． 为 12MHz～33MHz 的振荡器频率指定了可变时钟。关于频率等于或小于 12MHz 的情况，请参阅 12MHz 的“AC 电气特性”。

5． 部分频率可降至 0Hz。当使用外部时钟源时，上电或唤醒掉电时 RST 管脚要保持最少 20us 的时间。

AC 符号说明

每个时序符号包含 5 个特征。首先是“t”（时序），其它特征取决于它们的位置，用来表示信号名称或信号的逻辑状态。说明如下：

A－地址　　P－ $\overline{\text{PSEN}}$

C－时钟　　Q－输出数据

D－输入数据　　R－ $\overline{\text{RD}}$ 信号

H－逻辑高电平　　t－时间

I－指令（程序存储器内容）　　V－有效

L－逻辑低电平或 ALE　　W－ $\overline{\text{WR}}$ 信号

X－不再是逻辑有效电平　　Z－悬浮

例如：t_{AVLL}=地址有效到 ALE 低的时间

t_{LLPL}＝ALE 低到 $\overline{\text{PSEN}}$ 低的时间

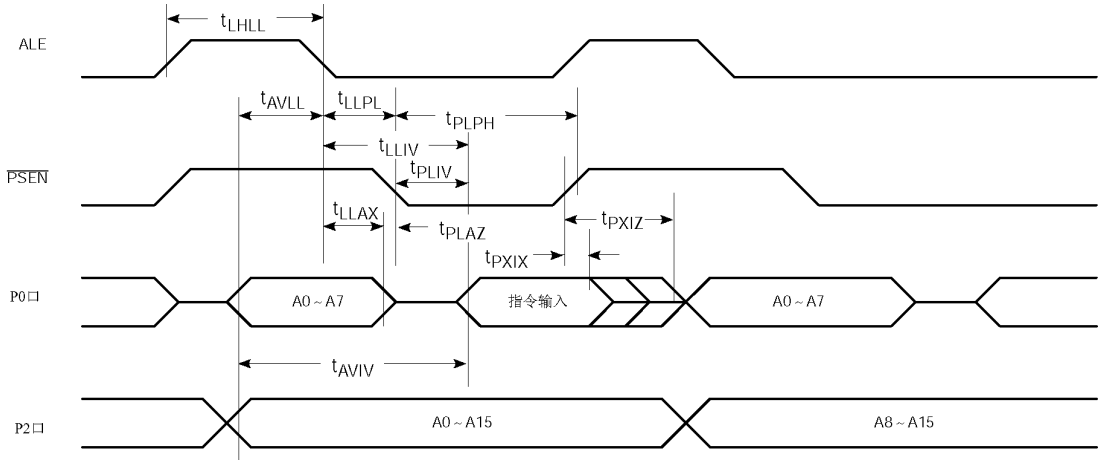


图 20　外部程序存储器读周期

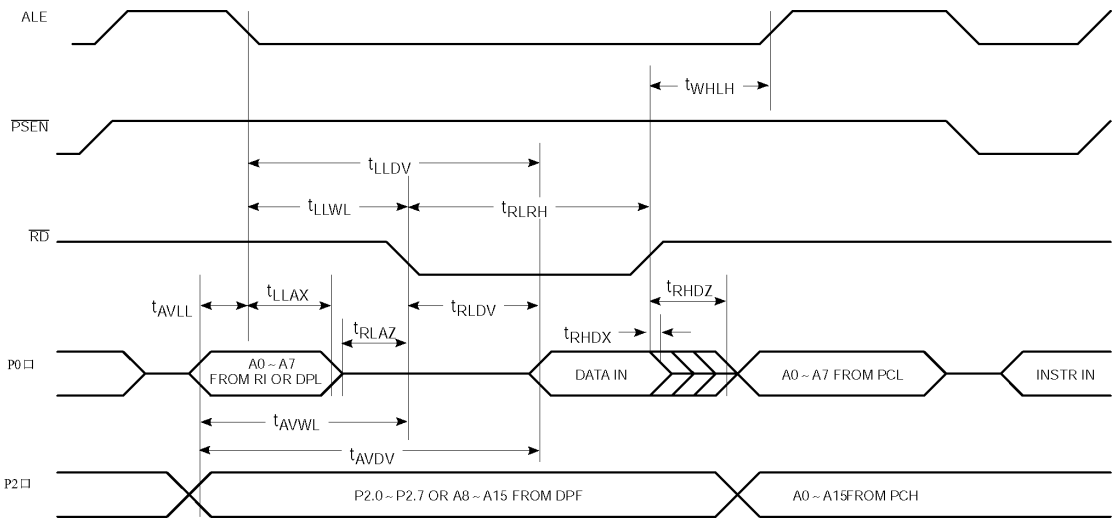


图 21　外部数据存储器读周期

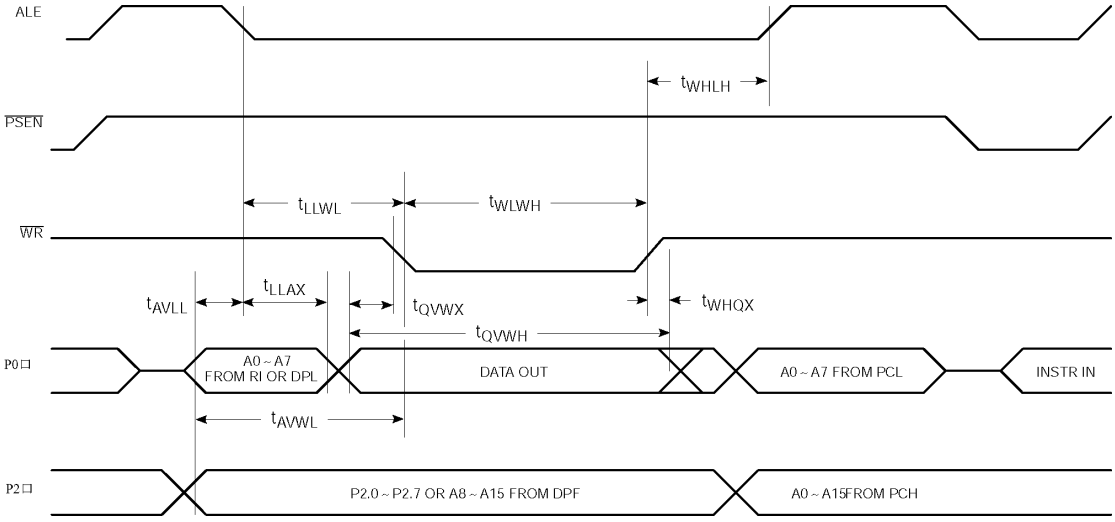


图 22　外部数据存储器写周期

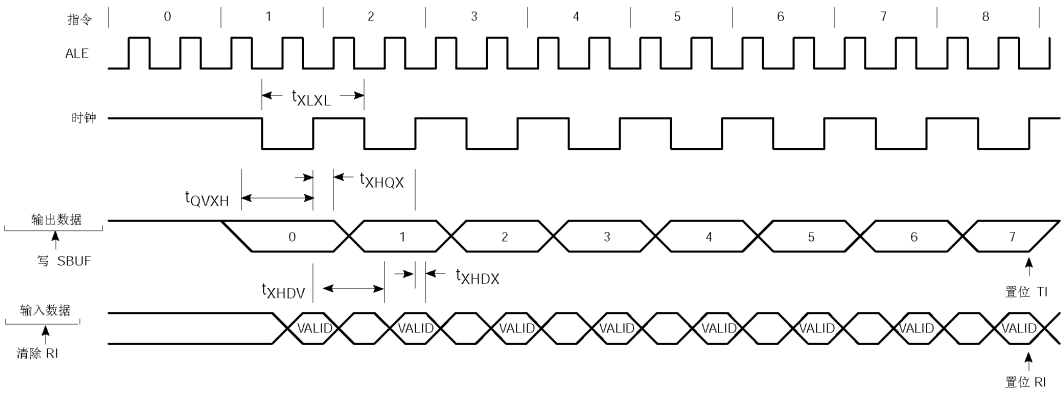


图 23　移位寄存器模式时序

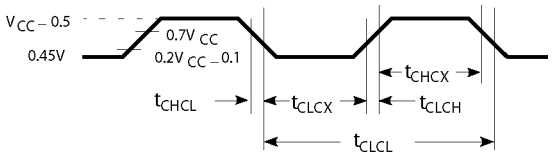
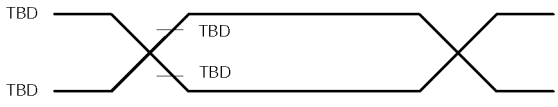


图 24　外部时钟驱动



注：
测试时，AC输入为V_{CC}－0.5时对应逻辑‘1’，0.45V时对应逻辑0。
时序从V_{IH}最小（逻辑‘1’）和V_{IL}（逻辑‘0’）最大处测试而得。

图 25　AC 测试输入/输出

注：
为了测试时序，当负载电压变化了100mV，端口便不再悬浮，端口在负载的V_{OH}/V_{OL}电平出现时返回到悬浮状态。I_{OH}/I_{OL}≥±20mV.

图 26　悬浮波形

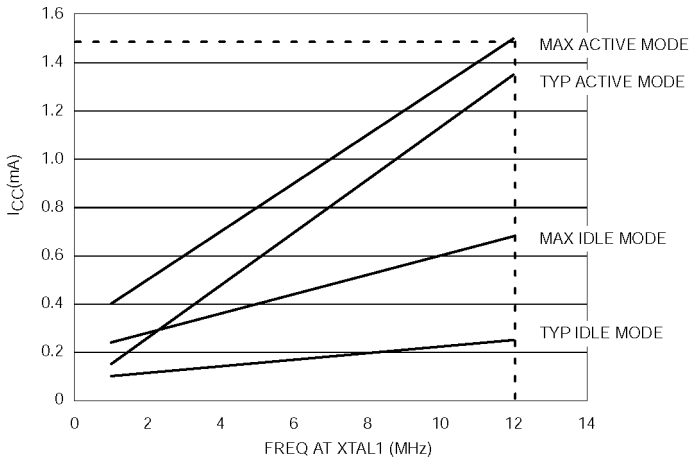


图 27　Icc vs. FREQ(1.8V)

测试时仅在器件的指定频率范围内有效

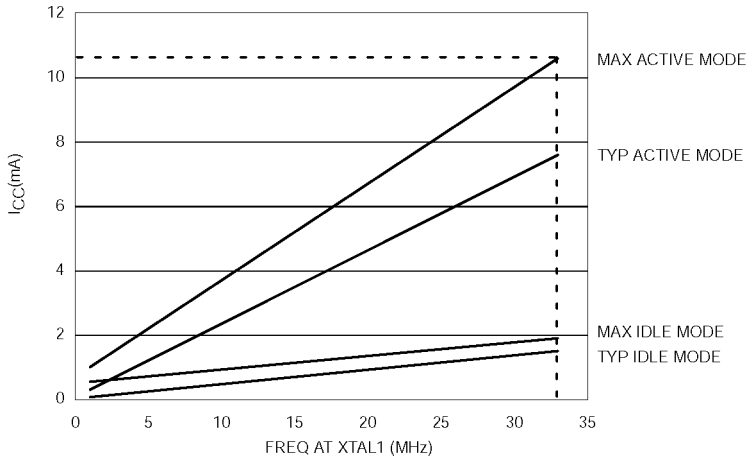


图 28　Icc vs. FREQ(3.3V)

测试时仅在器件的指定频率范围内有效

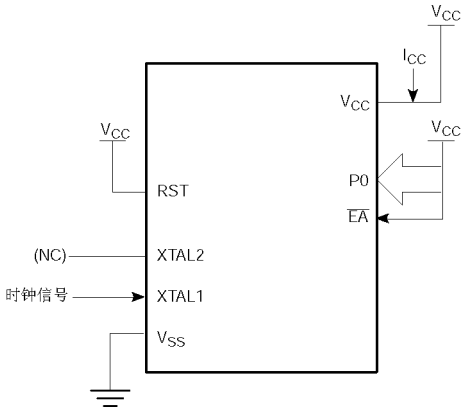


图 29　激活模式下的 Icc 测试

所有其它管脚都没有连接

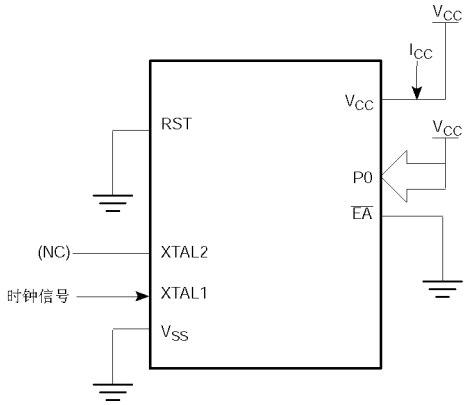


图 30　空闲模式下的 Icc 测试

所有其它管脚都没有连接

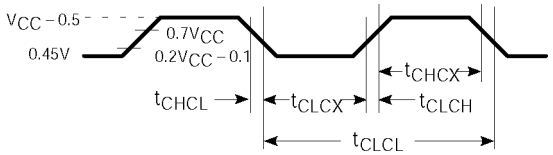


图 31　激活模式和空闲模式下的 Icc 测试时钟信号波形

$t_{CLCH}=t_{CHCL}=5ns$

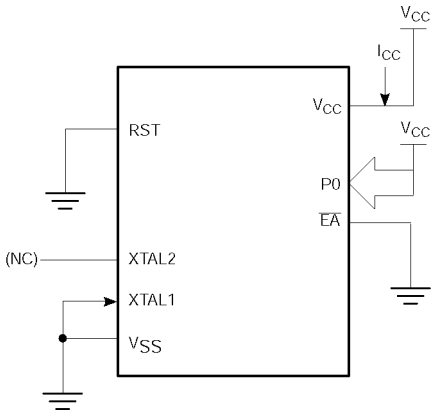


图 32　掉电模式下的 Icc 测试

所有其它管脚都没有连接。Vcc＝TBD

EPROM 特性

本手册中描述的 OTP 器件使用改进的快速脉冲编程 TM 算法。它不同于旧的编程方法，区别在于 Vpp（编程电压）的值和 ALE/ $\overline{\text{PROG}}$ 脉冲的宽度和个数。

该系列包括两个标识字节，可通过EPROM 编程系统读出，对器件进行识别。这两个标识字节可以识别出器件是由PHILIPS 制造的。

表 8 列出了读标识字节、编程程序存储器、加密表或加密位的逻辑电平。快速脉冲编程的电路配置和波形如图 33 和 34 所示。图 35 所示为正常程序存储器校验的电路配置。

快速脉冲编程

微控器快速编程的建立如图 33 所示。注意在这里器件要使用 4 到 6MHz 的振荡器，使用振荡器的原因是器件要在执行内部地址和程序数据的传输。

P1 和 P2 口提供 EPROM 的编程地址，P0 口提供编程代码字节。RST、 $\overline{\text{PSEN}}$ 和表 8 中指定的 P2、P3 口保持在‘编程代码数据’电平上（在表 8 中给定）。ALE/ $\overline{\text{PROG}}$ 产生 5 个低电平脉冲，如图 34 所示。

为了编程加密表，在地址0 至1FH 处重复5 个编程脉冲，并使用‘编程加密表’电平。编程加密表后，校验周期将产生唯一的加密数据。

为了编程加密位，重复 5 个编程脉冲，并使用‘程序加密位’电平。编程一个加密位后，禁止编程程序存储器和加密表。但是，仍编程其它加密位。

注： $\overline{\text{EA}}$ /Vpp 脚电压任何时候都不能超出 Vpp 电平的最大规定值，甚至超过最大值的一个小干扰都有可能造成器件的永久损坏。应精确输出 Vpp 电源，并保证不受干扰。

编程校验

如果保密位 2 和 3 未被编程，则可将片内程序存储器的内容读出进行校验，P1 口和 P2 口提供所要读出的存储器地址，如图 35 所示。其它管脚电平保持在‘校验程序数据’电平上（表 8 中指定）。由 P0 口输出地址单元的内容。该操作下，P0 口需要外部上拉电阻。

如果64 字节加密表已被编程，P0 口的数据是程序字节与其中一个密码字节异或的结果。为了正确解码校验数据，用户必须知道加密表的内容，而加密表的内容不能被读出。

读标识字节

标识字节在 030h 和 031h 内，采用与校验同样的方式读出，区别在于读出标识字节时要将 P3.6 和 P3.7 拉低。读出的值如下：

（030h）＝15h；表明制造商（PHILIPS）

（031h）＝92h－P87CL52X2

BBH－P87CL54X2

编程/校验算法

所有算法均符合表 8 中列出的条件，并满足时序要求。

加密位

所有加密位都未被编程时，可以对程序存储器的代码进行校验。如果加密表被编程，代码在校验时被加密。当只有加密位 1（见表 9）被编程时，禁止用于外部程序存储器的 MOVC 指令从内部存储器取代码字节，$\overline{EA}$ 上电时关闭，禁止对 EPROM 的进一步编程。当加密位 1 和 2 被编程时，除了以上所述之外，禁止校验方式。如果 3 个加密位都被编程，除上述所有内容之外，还禁止外部程序存储器。

加密阵列

64 字节的加密阵列在初始化时均不被编程（全为 1）。

表 8　EPROM 编程方式

方式	RST	$\overline{PSEN}$	ALE/ $\overline{PROG}$	$\overline{EA}$ /Vpp	P2.7	P2.6	P3.7	P3.6	P3.3
读标识	1	0	1	1	0	0	0	0	X
编程代码数据	1	0	0*	Vpp	1	0	1	1	X
校验代码数据	1	0	1	1	0	0	1	1	X
编程加密表	1	0	0*	Vpp	1	0	1	0	X
编程加密位 1	1	0	0*	Vpp	1	1	1	1	X
编程加密位 2	1	0	0*	Vpp	1	1	0	0	X
编程加密位 3	1	0	0*	Vpp	0	1	0	1	X
编程到 6 时钟模式	1	0	0*	Vpp	0	0	1	0	0
校验 6 时钟 [4]	1	0	1	1	e	0	0	1	1
校验加密位 [5]	1	0	1	1	e	0	1	0	X

注：

1．‘0’＝管脚低电平有效，‘1’＝管脚高电平有效。

2．Vpp＝12.75V±0.25V。

3．编程和校验时 Vcc＝5V±10％。

4．P0.4 的输出（1＝12x，0＝6x）。

5．P0.7 输出加密位 1 的值。

P0.6 输出加密位 2 的值。

P0.3 输出加密位 3 的值。

* 当 Vpp 保持在 12.75V，对代码数据编程时 ALE/ $\overline{PROG}$ 接收到 5 个编程脉冲（对用户阵列编程时也如此；对加密或保密位的编程也需要 5 个脉冲）。每个编程脉冲低电平时间为 100us（±10us），高电平时间为 10us。

表 9　为 EPROM 器件编程加密位

编程加密位 [1, 2]				保护描述
	SB1	SB2	SB3	
1	U	U	U	没有加密。（如果编程了加密阵列，代码校验将被加密。）
2	P	U	U	禁止访问外部程序存储器的 MOVC 指令从内部存储器取代码字节。$\overline{EA}$ 被采样并在上电时关闭。禁止对 EPROM 的编程。
3	P	P	U	同 2，再加上校验操作。
4	P	P	P	同 3，禁止对外部存储器的操作，不允许访问内部输入 RAM。

注：

1. P－已编程。 U－未编程。
2. 未定义其它形式的加密位组合。

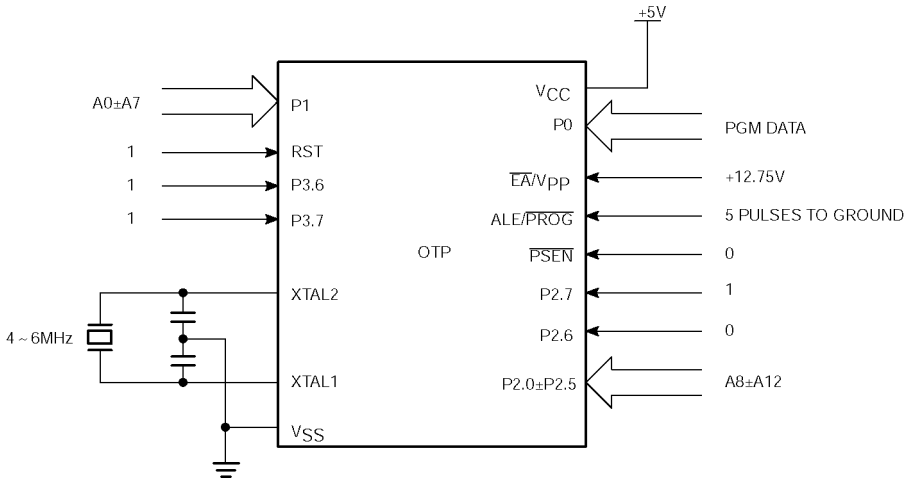


图 33　　编程配置

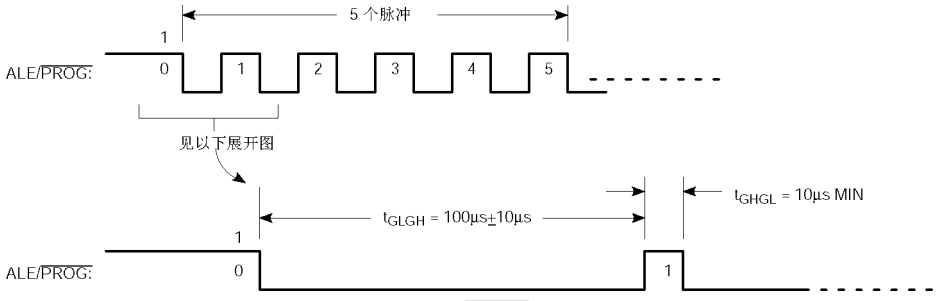


图 34　　$\overline{PROG}$ 波形

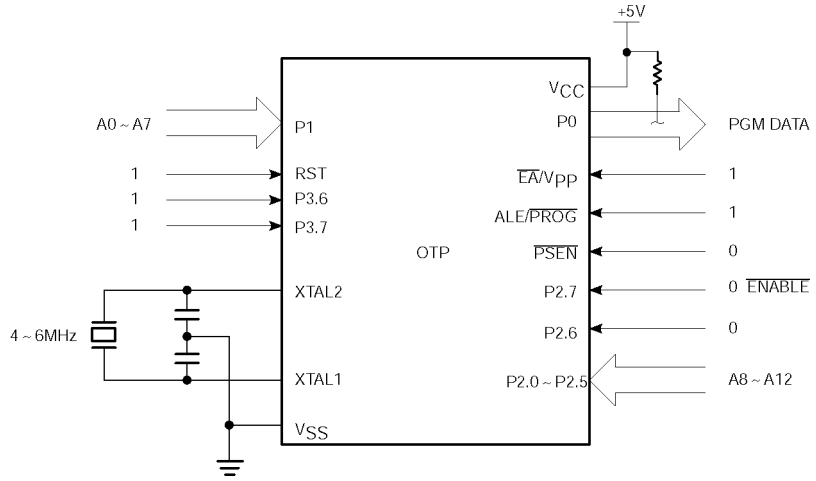


图 35　　编程校验

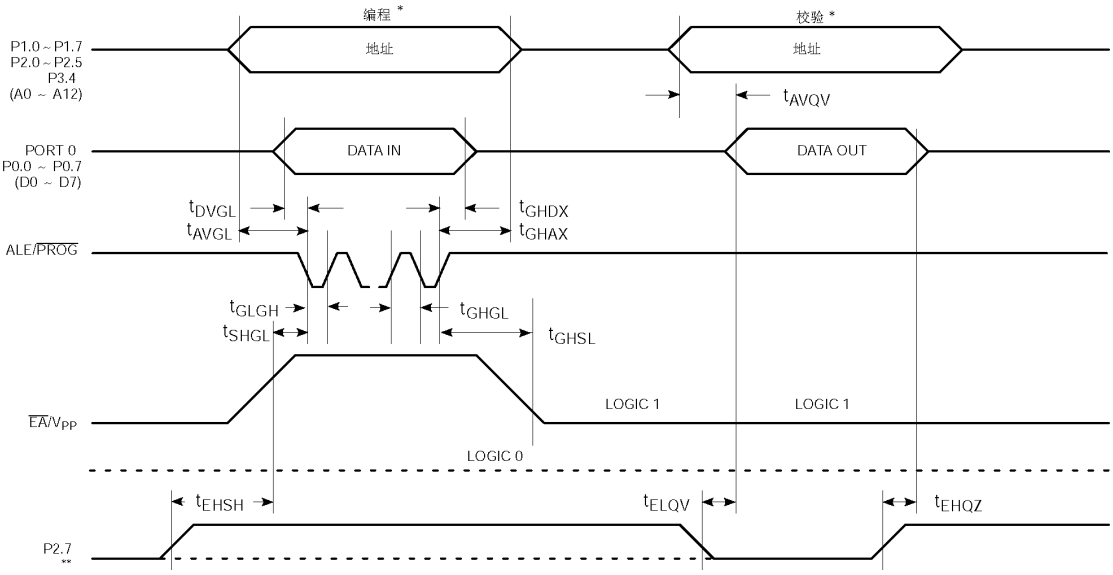
编程和校验特性

Tamb＝21℃～+27℃，Vcc＝5V±10％，Vss＝0V（见图 36）

符号	参数	最小	最大	单位
Vpp	编程电源电压	12.5	13.0	V
Ipp	编程电源电流		50[1]	mA
$1/t_{CLCL}$	振荡器频率	4	6	MHz
t_{AVGL}	地址建立到 $\overline{PROG}$ 低	48 t_{CLCL}		
t_{GHAX}	$\overline{PROG}$ 后地址保持	48 t_{CLCL}		
t_{DVGL}	数据建立到 $\overline{PROG}$ 低	48 t_{CLCL}		
t_{GHDX}	$\overline{PROG}$ 后数据保持	48 t_{CLCL}		
t_{EHSH}	P2.7（$\overline{ENABLE}$）高到 Vpp	48 t_{CLCL}		
t_{SHGL}	Vpp 建立到 $\overline{PROG}$ 低	10		us
t_{GHSL}	$\overline{PROG}$ 后 Vpp 保持	10		us
t_{GLGH}	$\overline{PROG}$ 脉宽	90	110	us
t_{AVQV}	地址到数据有效		48 t_{CLCL}	
t_{ELQZ}	$\overline{ENABLE}$ 低到数据有效		48 t_{CLCL}	
t_{EHQZ}	$\overline{ENABLE}$ 后数据悬浮	0	48 t_{CLCL}	
t_{GHGL}	$\overline{PROG}$ 高到 $\overline{PROG}$ 低	10		us

注：

1． 未经测试。



注：

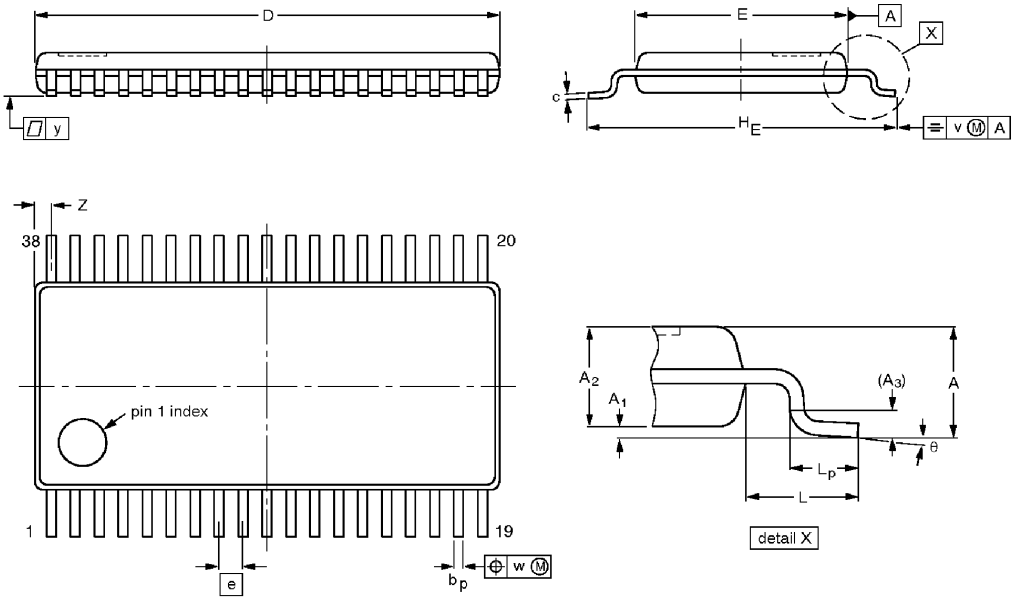
*　编程配置见图 33。

　　校验条件见图 35。

**　见表 8。

图 36　编程和校验

TSSOP38



DIMENSIONS (mm are the original dimensions).

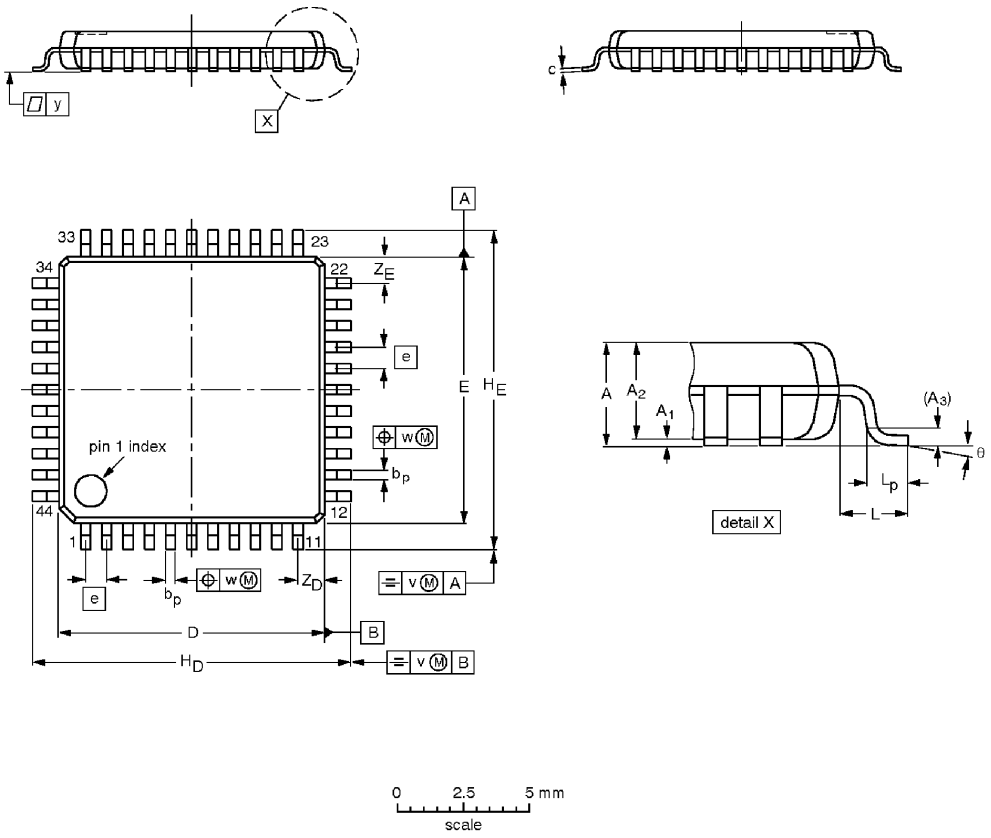
UNIT	A max.	A_1	A_2	A_3	b_p	c	$D^{(1)}$	$E^{(2)}$	e	H_E	L	L_p	v	w	y	$Z^{(1)}$	θ
mm	1.1	0.15 0.05	0.95 0.85	0.25	0.27 0.17	0.20 0.09	9.8 9.6	4.5 4.3	0.5	6.4	1	0.7 0.5	0.2	0.08	0.08	0.49 0.21	8° 0°

Notes

1. Plastic or metal protrusions of 0.15 mm maximum per side are not included.
2. Plastic interlead protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT510-1						~~98-09-16~~ 03-02-18

LQFP44



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A_1	A_2	A_3	b_p	c	$D^{(1)}$	$E^{(1)}$	e	H_D	H_E	L	L_p	v	w	y	$Z_D^{(1)}$	$Z_E^{(1)}$	θ
mm	1.6	0.15 0.05	1.45 1.35	0.25	0.45 0.30	0.20 0.12	10.1 9.9	10.1 9.9	0.8	12.15 11.85	12.15 11.85	1	0.75 0.45	0.2	0.2	0.1	1.14 0.85	1.14 0.85	7° 0°

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT389-1	136E08	MS-026				~~00-01-19~~ 02-06-07