

14 位 2500 MSPS  
单通道数模转换器 DAC

**特性**

**2.5GSPS 直接射频综合**

基带模式 DC 到 1.25GHz

混频模式 1.25GHz 到 3GHz

**业界领先的单/多载波中频或射频综合**

Fout=350MHz, ACLR=80dBc

Fout=950MHz, ACLR=78dBc

Fout=2100MHz, ACLR=69dBc

**双端 LVDS 数据接口**

支持高达 1.25GSPS 的工作

源同步 DDR 驱动

**多芯片同步功能**

**8.7mA 到 31.7mA 的可编程输出电流**

低功耗: 1.6W@2.5GSPS

**应用**

宽带通信系统

军用电台

仪器、自动测试设备

雷达、航空设备

**概述**

YD14S2G5 是 14bit 2.5GSPS 的高性能射频 DAC, 可以产生 DC 到 3GHz 的宽带信号。其 DAC 内核采用四相开关结构, 从而能提供杰出的低失真性能以及业界领先的直接射频输出能力。本芯片能够工作在基带模式时, 能在第一奈奎斯特频率内产生的多载波信号, 而工作在混频模式时, 能在第二、三奈奎斯特区间输出多载波信号。输出电流可以从 8.66mA 配置到 31.66mA。

片上控制器大大简化了系统集成。芯片具有双端、源同步的 LVDS 接口, 从而简化了与 FPGA/ASIC 之间的数字接口。片上控制器能在大温度变化范围内管理内部和外部时钟域接口, 从而保证数据从主机到 DAC 内核的正确传输。

**产品优势**

1. 可在第一、第二奈奎斯特区间内, 输出带宽高达 1.25GHz 的高质量宽带信号。
2. 四相开关 DAC 内核结构提供了杰出的 AC 线性度, 同时支持混频模式。
3. 双端、DDR、LVDS 接口, 支持最大 2.5GSPS 的转换器。
4. 通过片上控制器管理内外时钟域之间的相差。
5. 多芯片同步功能。
6. 可编程差分输出电流, 从 8.66mA 到 31.66mA。

**功能框图**

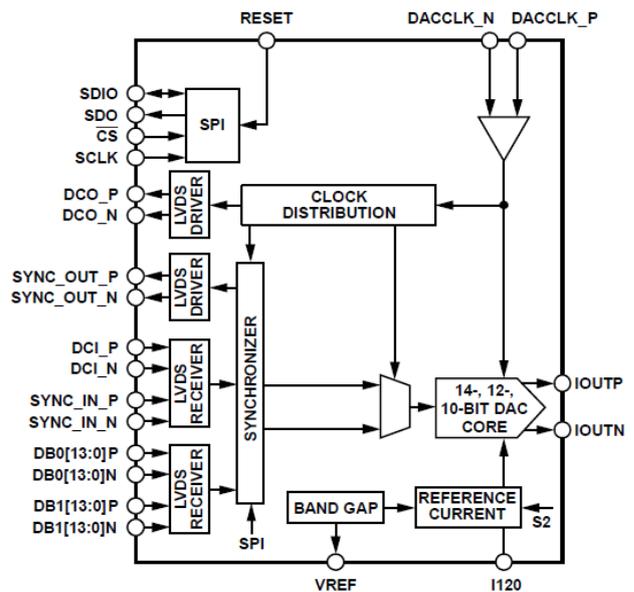


图 1

多芯片同步功能通过片上同步控制器实现。芯片通过串行外围接口 (SPI) 来进行配置和寄存器访问。

YD14S2G5 采用 0.18um CMOS 工艺实现, 工作在 1.8V 和 3.3V 双电源。封装采用 160 脚 CSBGA, 以降低封装寄生参数。

## 目录

特性 .....	1
应用 .....	1
概述 .....	1
产品优势 .....	1
功能框图 .....	1
技术规格 .....	3
DC 规格.....	3
LVDS 数字规格 .....	4
串口规格 .....	5
AC 规格.....	6
引脚配置和功能描述 .....	7
封装信息 .....	9

## 技术规格

### DC 规格

VDDA = VDD33 = 3.3 V, VDDC = VDD = 1.8 V, IOUTFS = 20 mA.

表 1.

参数	最小值	典型值	最大值	单位
分辨率		14		比特
精度				
积分非线性 (INL)		±1.3		LSB
差分非线性 (DNL)		±1.3		LSB
模拟输出				
增益误差 (使用内部参考基准)		5.5		%
满幅输出电流	8.66	20.2	31.66	mA
输出电压范围	-1.0		+1.0	V
共模输出阻抗		10		MΩ
差分输出阻抗		70		Ω
输出电容		1		pF
DAC 时钟输入 (DACCLK_P, DACCLK_N)				
差分峰峰值	1.2	1.6	2.0	V
共模电压	0.9	1.2	1.5	V
DAC 时钟速率	0.8		2.5	GHz
温漂				
增益		60		ppm/°C
参考电压		20		ppm/°C
参考基准				
外部参考电压	1.15	1.2	1.25	V
输出阻抗		5		kΩ
模拟电源电压				
VDDA	3.1	3.3	3.5	V
VDDC	1.70	1.8	1.9	V
数字电源电压				
VDD33	3.10	3.3	3.5	V
VDD	1.70	1.8	1.90	V
电源电流和功耗, 2.0GSPS				
IVDDA		37	38	mA
IVDDC		159	166	mA
IVDD33		34	37	mA
IVDD		233	238	mA
功耗		0.940	0.976	W
睡眠模式, IVDDA		2.5	2.75	mA
断电模式 (寄存器 0x01=0x03, 0x02=0x80)				
IVDDA		0.02		mA
IVDDC		3.8		mA
IVDD33		0.5		mA
IVDD		0.1		mA
电源电流和功耗, 2.5GSPS				
IVDDA		37		mA
IVDDC		223		mA
IVDD33		34		mA
IVDD		290		mA
功耗		1.16		W

## LVDS 数字规格

VDDA = VDD33 = 3.3 V, VDDC = VDD = 1.8 V, IOUFS = 20 mA. 除非特别说明, LVDS 驱动和接收机与 IEEE 标准 1596.3-1996 一致。

表 2.

参数	最小值	典型值	最大值	单位
LVDS 数据输入 (DB0[13:0], DB1[13:0]) <sup>1</sup>				
输入共模电压范围, VCOM	825		1575	mV
差分输入逻辑高电平阈值, VIH_DTH	175	400		mV
差分输入逻辑低电平阈值, VIL_DTH	-175	-400		mV
接收机差分输入阻抗, RIN	80		120	Ω
输入电容		1.2		pF
LVDS 输入速率	1250			MSPS
LVDS 最小数据有效周期, tVALID (见图 41)			344	ps
LVDS 时钟输入 (DCI 和 SYNC_IN) <sup>2</sup>				
输入共模电压范围, VCOM	825		1575	mV
差分输入逻辑高电平阈值, VIH_DTH	175	400		mV
差分输入逻辑低电平阈值, VIL_DTH	-175	-400		mV
接收机差分输入阻抗, RIN	80		120	Ω
输入电容		1.2		pF
最大时钟速率	625			MHz
LVDS 时钟输出 (DCO 和 SYNC_OUT) <sup>3</sup>				
输出电压高电平 (x_P 或 x_N)			1375	mV
输出电压低电平 (x_P 或 x_N)	1025			mV
输出差分电压,  VOD	150	200	250	mV
输出失调电压, VOS	1150		1250	mV
输出阻抗, 单端, RO	80	100	120	Ω
RO 单端失配			10	%
最大时钟速率	625			MHz

1 引脚 DB0[x]P, DB0[x]N, DB1[x]P 和 DB1[x]N

2 引脚 DCI\_P 和 DCI\_N, SYNC\_IN\_P 和 SYNC\_IN\_N

3 引脚 DCO\_P 和 DCO\_N, SYNC\_OUT\_P/SYNC\_OUT\_N, 接 100 Ω 差分终端

## 串口规格

VDDA = VDD33 = 3.3 V, VDDC = VDD = 1.8 V.

**表 3**

参数	最小值	典型值	最大值	单位
写操作 (见图 36)				
SCLK 时钟速率, $f_{SCLK}$ (或 $t_{SCLK}$ )			20	MHz
SCLK 时钟高, $t_{HI}$	18			ns
SCLK 时钟低, $t_{LOW}$	18			ns
SDIO 至 SCLK 建立时间, $t_{DS}$	2			ns
SCLK 至 SDIO 保持时间, $t_{DH}$	1			ns
$\overline{CS}$ 至 SCLK 建立时间, $t_S$	3			ns
SCLK 至 $\overline{CS}$ 保持时间, $t_H$	2			ns
写操作 (见图 37 和图 38)				
SCLK 时钟速率, $f_{SCLK}$ (或 $t_{SCLK}$ )			20	MHz
SCLK 时钟高, $t_{HI}$	18			ns
SCLK 时钟低, $t_{LOW}$	18			ns
SDIO 至 SCLK 建立时间, $t_{DS}$	2			ns
SCLK 至 SDIO 保持时间, $t_{DH}$	1			ns
$\overline{CS}$ 至 SCLK 建立时间, $t_S$	3			ns
SCLK 至 SDIO (或 SDO) 数据有效时间, $t_{DV}$			15	ns
$\overline{CS}$ 至 SDIO (或 SDO) 到 High-Z 有效输出, $t_{EZ}$		2		ns
输入 (SDIO, SCLK, $\overline{CS}$ )				
输入高电平电压, $V_{IH}$	2.0	3.3		V
输入低电平电压, $V_{IL}$		0	0.8	V
输入高电平电流, $I_{IH}$	-10		+10	$\mu A$
输入低电平电流, $I_{IL}$	-10		+10	$\mu A$
输出 (SDIO)				
输出高电平电压, $V_{OH}$	2.4			V
输出低电平电压, $V_{OL}$	0		3.5	V
输出高电平电流, $I_{OH}$		4	0.4	mA
输出低电平电流, $I_{OL}$		4		mA

## AC 规格

VDDA = VDD33 = 3.3 V, VDDC = VDD = 1.8 V, IOUTFS = 20 mA, fDAC = 2400 MSPS.

**表 4**

参数	最小值	典型值	最大值	单位
动态性能				
DAC 时钟速率	800		2500	MSPS
可调 DAC 更新率范围 <sup>4</sup>	800		2500	MSPS
输出稳定时间 ( $t_{st}$ ), 至 0.1%		13		ns
无杂散动态范围 (SFDR)				
$f_{out}=100\text{MHz}$		69.5		dBc
$f_{out}=350\text{MHz}$		58.5		dBc
$f_{out}=550\text{MHz}$		54		dBc
$f_{out}=950\text{MHz}$		60		dBc
双音信号交调失真 (IMD), $f_{out2}=f_{out1}+1.25\text{MHz}$				
$f_{out}=100\text{MHz}$		94		dBc
$f_{out}=350\text{MHz}$		78		dBc
$f_{out}=550\text{MHz}$		72		dBc
$f_{out}=950\text{MHz}$		68		dBc
噪声谱密度 (NSD), 0dBFS 单音信号				
$f_{out}=100\text{MHz}$		-166		dBm/Hz
$f_{out}=350\text{MHz}$		-161		dBm/Hz
$f_{out}=550\text{MHz}$		-160		dBm/Hz
$f_{out}=850\text{MHz}$		-160		dBm/Hz
WCDMA ACLR (单载波), 相邻/相间的相邻通道				
$f_{DAC}=2457.6\text{MSPS}$ , $f_{out}=350\text{MHz}$		80/80		dBc
$f_{DAC}=2457.6\text{MSPS}$ , $f_{out}=950\text{MHz}$		78/79		dBc
$f_{DAC}=2457.6\text{MSPS}$ , $f_{out}=1700\text{MHz}$ (混频模式)		74/74		dBc
$f_{DAC}=2457.6\text{MSPS}$ , $f_{out}=2100\text{MHz}$ (混频模式)		69/72		dBc

<sup>4</sup> 可调 DAC 更新率计算:  $f_{DAC}$  除以最小需要的差值系数。对 LTD14S2G5, 最小差值系数是 1。所以, 当  $f_{DAC}=2500\text{MSPS}$ ,  $f_{out}=2500\text{MSPS}$ 。

## 引脚配置和功能描述

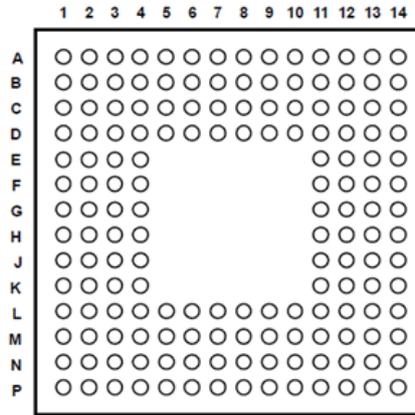


图2

表 5.

端口号	端口符号	功能描述	特性说明				
			模式	I/O	电压范围	最大频率	其它
C1, C2, D1, D2, E1, E2, E3, E4	VDDC	时钟模块电源	/	/	1.8V	/	/
A1, A2, A3, A4, A5, B1, B2, B3, B4, B5, C4, C5, D4, D5	VSSC	时钟模块地	/	/	0V	/	/
A10, A11, B10, B11, C10, C11, D10, D11	VDDA	模拟电源	/	/	3.3V	/	/
A12, A13, B12, B13, C12, C13, D12, D13	VSSA	模拟地	/	/	0V	/	/
A6, A9, B6, B9, C6, C9, D6, D9, F1, F2, F3, F4, E11, E12, E13, E14, F11, F12	VSSA Shield	模拟地屏蔽, 连接 DAC 的 VSSA	/	/	0V	/	/
A14	NC	悬空	/	/	/	/	/
A7, B7, C7, D7	IOUTN	DAC 输出负端	Analog	0	3.3V, 10 <sup>-30</sup> mA 满幅输出电流	3.6GHz	/
A8, B8, C8, D8	IOUTP	DAC 输出正端	Analog	0	3.3V, 10 <sup>-30</sup> mA 满幅输出电流	3.6GHz	/
B14	I120	1.2V 基准电压, 通过 10k $\Omega$ 电阻接模拟地, 产生 120 $\mu$ A 基准电流	Analog	0	约 1.2V	/	/
C14	VREF	带隙基准电压端口, 通过 1nF 电容接模拟地, 输出阻抗约为 5k $\Omega$	Analog	I/O	约 1.2V	/	/
D14	IPTAT	工厂测试端口。输出电流与绝对温度成正比, 大约在 25 $^{\circ}$ C 时 10 $\mu$ A, 按 20nA/ $^{\circ}$ C 斜率变化	Analog	0	3.3V, 约 10 $\mu$ A 电流输出	/	/

C3, D3	DACCLK_N/ DACCLK_P	负/正 DAC 时钟输入	Analog	I	1.8V	2.5GHz	/
F13	IRQ	漏端开路中断请求输出, 通过 10k $\Omega$ 电阻连到 DVDD33, 低电平有效	Digital	0	3.3V	/	/
F14	RESET	重置, 高电平有效	Digital	I	3.3V	/	/
G13	$\overline{CS}$	片选信号, 低电平有效	Digital	I	3.3V	/	/
G14	SDIO	SPI 接口输入/输出端口	Digital	I/O	3.3V	/	/
H13	SCLK	SPI 接口时钟	Digital	I	3.3V	/	/
H14	SDO	SPI 接口输出端口	Digital	0	3.3V	/	/
J3, J4, J11, J12	VDD33	3.3V 数字电源	/	/	3.3V	/	/
G1, G2, G3, G4, G11, G12	VDD	1.8V 数字电源	/	/	1.8V	/	/
H1, H2, H3, H4, H11, H12, K3, K4, K11, K12	VSS	数字地	/	/	0V	/	/
J1, J2	SYNC_OUT_P/ SYNC_OUT_N	正/负同步输出 (SYNC_OUT)	Digital	0	1.8V	625MHz	/
K1, K2	SYNC_IN_P/ SYNC_IN_N	正/负同步输入 (SYNC_IN)	Digital	I	1.8V	625MHz	/
J13, J14	DCO_P/ DCO_N	正/负数据输出时钟 (DCO)	Digital	0	1.025V~1.375V	625MHz	/
K13, K14	DCI_P/ DCI_N	正/负数据输入时钟 (DCI)	Digital	I	0.825V~1.575V	625MHz	/
L1, M1	DB1[0]P/DB1[0]N	端口 1 正/负数据输入位 0	Digital	I	0.825V~1.575V	1.25GSPS	/
L2, M2	DB1[1]P/DB1[1]N	端口 1 正/负数据输入位 1	Digital	I	0.825V~1.575V	1.25GSPS	/
L3, M3	DB1[2]P/DB1[2]N	端口 1 正/负数据输入位 2	Digital	I	0.825V~1.575V	1.25GSPS	/
L4, M4	DB1[3]P/DB1[3]N	端口 1 正/负数据输入位 3	Digital	I	0.825V~1.575V	1.25GSPS	/
L5, M5	DB1[4]P/DB1[4]N	端口 1 正/负数据输入位 4	Digital	I	0.825V~1.575V	1.25GSPS	/
L6, M6	DB1[5]P/DB1[5]N	端口 1 正/负数据输入位 5	Digital	I	0.825V~1.575V	1.25GSPS	/
L7, M7	DB1[6]P/DB1[6]N	端口 1 正/负数据输入位 6	Digital	I	0.825V~1.575V	1.25GSPS	/
L8, M8	DB1[7]P/DB1[7]N	端口 1 正/负数据输入位 7	Digital	I	0.825V~1.575V	1.25GSPS	/
L9, M9	DB1[8]P/DB1[8]N	端口 1 正/负数据输入位 8	Digital	I	0.825V~1.575V	1.25GSPS	/
L10, M10	DB1[9]P/DB1[9]N	端口 1 正/负数据输入位 9	Digital	I	0.825V~1.575V	1.25GSPS	/
L11, M11	DB1[10]P/DB1[10]N	端口 1 正/负数据输入位 10	Digital	I	0.825V~1.575V	1.25GSPS	/
L12, M12	DB1[11]P/DB1[11]N	端口 1 正/负数据输入位 11	Digital	I	0.825V~1.575V	1.25GSPS	/
L13, M13	DB1[12]P/DB1[12]N	端口 1 正/负数据输入位 12	Digital	I	0.825V~1.575V	1.25GSPS	/
L14, M14	DB1[13]P/DB1[13]N	端口 1 正/负数据输入位 13	Digital	I	0.825V~1.575V	1.25GSPS	/
N1, P1	DB0[0]P/DB0[0]N	端口 0 正/负数据输入位 0	Digital	I	0.825V~1.575V	1.25GSPS	/
N2, P2	DB0[1]P/DB0[1]N	端口 0 正/负数据输入位 1	Digital	I	0.825V~1.575V	1.25GSPS	/
N3, P3	DB0[2]P/DB0[2]N	端口 0 正/负数据输入位 2	Digital	I	0.825V~1.575V	1.25GSPS	/
N4, P4	DB0[3]P/DB0[3]N	端口 1 正/负数据输入位 3	Digital	I	0.825V~1.575V	1.25GSPS	/
N5, P5	DB0[4]P/DB0[4]N	端口 1 正/负数据输入位 4	Digital	I	0.825V~1.575V	1.25GSPS	/
N6, P6	DB0[5]P/DB0[5]N	端口 1 正/负数据输入位 5	Digital	I	0.825V~1.575V	1.25GSPS	/
N7, P7	DB0[6]P/DB0[6]N	端口 1 正/负数据输入位 6	Digital	I	0.825V~1.575V	1.25GSPS	/
N8, P8	DB0[7]P/DB0[7]N	端口 1 正/负数据输入位 7	Digital	I	0.825V~1.575V	1.25GSPS	/
N9, P9	DB0[8]P/DB0[8]N	端口 1 正/负数据输入位 8	Digital	I	0.825V~1.575V	1.25GSPS	/
N10, P10	DB0[9]P/DB0[9]N	端口 1 正/负数据输入位 9	Digital	I	0.825V~1.575V	1.25GSPS	/
N11, P11	DB0[10]P/DB0[10]N	端口 1 正/负数据输入位 10	Digital	I	0.825V~1.575V	1.25GSPS	/
N12, P12	DB0[11]P/DB0[11]N	端口 1 正/负数据输入位 11	Digital	I	0.825V~1.575V	1.25GSPS	/
N13, P13	DB0[12]P/DB0[12]N	端口 1 正/负数据输入位 12	Digital	I	0.825V~1.575V	1.25GSPS	/
N14, P14	DB0[13]P/DB0[13]N	端口 1 正/负数据输入位 13	Digital	I	0.825V~1.575V	1.25GSPS	/

封装信息

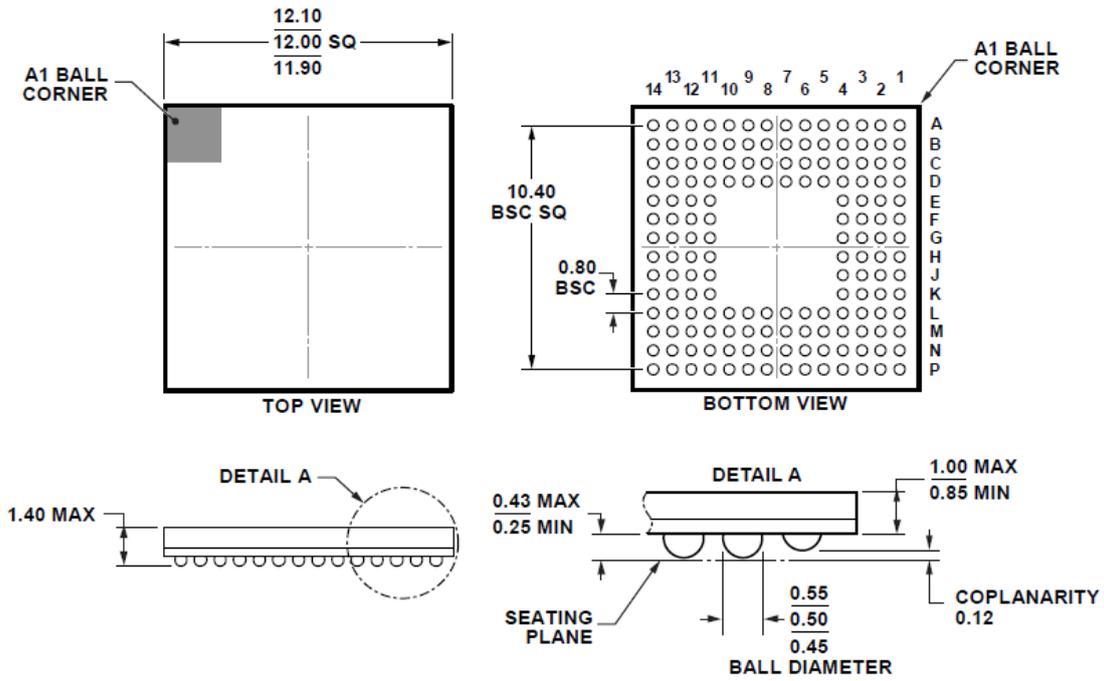


图3

160脚 CSP\_BGA 封装