

JY-1714CLDNA

嵌入式 CPU 单板, 带 CPU /CRT
/LVDS /LAN /SSD /Audio

版本: A0

非常感谢您购买“EVOC”产品

在打开包装箱后请首先依据物件清单检查配件，若发现物件有所损坏、或是有任何配件短缺的情况，请尽快与您的经销商联络。

- 1 块 JY-1714CLDNA 主板
- 1 条硬盘线
- 1 条软驱线
- 1 条 ISA 转接线
- 1 张 EVOC 软件与用户手册光盘
- 跳线帽

声明

除列明随产品配置的配件外，本手册包含的内容并不代表本公司的承诺，本公司保留对此手册更改的权利，且不另行通知。对于任何因安装、使用不当而导致的直接、间接、有意或无意的损坏及隐患概不负责。

订购产品前，请向经销商详细了解产品性能是否符合您的需求。

EVOC是研祥智能科技股份有限公司的注册商标。本手册所涉及到的其他商标，其所有权为相应的产品厂家所拥有。

本手册内容受版权保护，版权所有。未经许可，不得以机械的、电子的或其它任何方式进行复制。

安全使用小常识

1. 产品使用前，务必仔细阅读产品说明书；
2. 对未准备安装的板卡，应将其保存在防静电保护袋中；
3. 在从防静电保护袋中拿出板卡前，应将手先置于接地金属物体上一会儿（比如 10 秒钟），以释放身体及手中的静电；
4. 在拿板卡时，需佩戴静电保护手套，并且应该养成只触及边缘部分的习惯；
5. 为避免人体被电击或产品被损坏，在每次对主板、板卡进行拔插或重新配置时，须先关闭交流电源或将交流电源线从电源插座中拔掉；
6. 在需对板卡或整机进行搬动前，务必先将交流电源线从电源插座中拔掉；
7. 对整机产品，需增加 / 减少板卡时，务必先拔掉交流电源；
8. 当您需连接或拔除任何设备前，须确定所有的电源线事先已被拔掉；
9. 为避免频繁开关机对产品造成不必要的损伤，关机后，应至少等待 30 秒后再开机。

目 录

第一章 产品介绍.....	1
简介.....	1
操作系统支持.....	1
微处理器（CPU）	2
芯片组（CHIPSET）	2
系统存储器（SYSTEM MEMORY）	2
IDE 功能.....	2
USB 功能.....	2
显示功能.....	2
网络功能（LAN）	3
音频（AUDIO）功能.....	3
扩展总线.....	3
CF 卡	3
FPGA 模块.....	3
WATCHDOG 功能	3
I/O 功能	4

省电特性	4
其他特性	4
第二章 安装说明	5
产品外形	5
接口位置示意图	6
跳线功能设置	7
系统内存安装	8
USB.....	9
IRDA/红外接口.....	9
网络接口	9
键盘与鼠标接口	10
IDE 接口.....	10
并口与串口	12
显示接口	13
音频功能	14
数字 I/O 接口	14
电源接口	19

ISA 总线	19
FPGA 配置端口.....	28
FPGA 的 JTAG 配置端口	28
CF.....	30
风扇接口.....	31
软驱接口.....	31
PCIMG 接口	32
第三章 BIOS 功能简介.....	33
附录.....	34
WATCHDOG 编程指引	34
I/O 口地址映射表	38
IRQ 中断分配表.....	39

第一章

产品介绍

简介

JY-1714CLDNA是一款采用Intel 最新笔记本电脑芯片组852GM在254mm×244mm尺寸上开发的全功能、高性能、低功耗嵌入式ULV Celeron-M单板电脑，在嵌入式单板上集成了讯驰核心的超低功耗 Celeron-M处理器、支持两条184 DDR266的内存条、支持CRT+LVDS的“双显示”、一个Intel 100Mbps网络接口、AC' 97 Audio接口、一个PS/2键盘鼠标接口、一个40针标准ATA-100 IDE接口、CompactFlash接口、两串口，COM2支持422或485串口、一个并口、四个USB2.0高速接口，使嵌入式单板的海量移动存储成为可能、IrDA红外接口、看门狗定时器、四个数字IO、二十四个USER IO、一个标准ISA、三个扩展ISA插槽、一个PC104插槽，提供一个PCI总线给客户扩展标准PCI设备。在板提供一个高集成度的FPGA可编程逻辑接口给用户编程。

JY-1714CLDNA以其高性能、低功耗和丰富的扩展接口使用户无需增加任何部件即可使用，可广泛应用于网络安全、信息家电、仪器仪表、军事、多媒体查询、智能产品各种嵌入式领域。

操作系统支持

MS-DOS

Windows98SE

Windows XP

Windows 2000

Windows CE

Linux

环境与机械尺寸

- I 尺寸: 254mm×244mm
- I 温度: 0°C~60°C
- I 湿度: 5%~90%

微处理器 (CPU)

讯驰核心的ULV Celeron-M系列超低功耗CPU。

芯片组 (Chipset)

Intel 852GM + 82801DB芯片组。

系统存储器 (System Memory)

提供两条184 pin DDR266 DIMM内存插槽。

IDE 功能

一个40Pin ATA100 通道, 支持2个EIDE 设备。

USB 功能

提供四个USB2.0高速接口, 使嵌入式单板的海量移动存储成为可能。

显示功能

Intel 852GM显示芯片, 支持CRT+LVDS的“双显示”、支持最大64MB的动态显示内存共享。

网络功能（LAN）

本CPU卡集成了一个Intel82562ET 100Mb以太网控制器，为您提供高速稳定的网络平台选择。

音频（Audio）功能

板上集成一个标准的AC' 97音效芯片，提供优质的声音效果。

扩展总线

一个标准PICMG的PCI扩展总线，一个标准ISA扩展总线，三个ISA扩展插槽，一个PC104插槽。

CF 卡

支持标准的TYPE I和TYPE II型CF卡，满足用户更多的扩展需求。

FPGA 模块

在板提供一个可编程的FPGA模块，FPGA芯片采用：ALTERA 公司的Cyclone II EP2C5T144C8

Watchdog 功能

- I 1~255 级，可编程
- I 超时事件复位系统
- I 另增看门狗定时器：
- I 1（秒/分）分辨率的 8 位向下计数器

I/O 功能

- I 一个高速并口, SPP/EPP/ECP 方式
- I 两个 RS-232 串口, COM2 还可支持 422 或 485
- I 4 进 4 出可编程的数字 I/O
- I 标准 PS/2 键盘和鼠标
- I 一个 115kbps IrDA 接口

省电特性

通过 BIOS 可将电源开关信号定义为 ATX 电源开关功能或系统睡眠/工作状态转换功能。

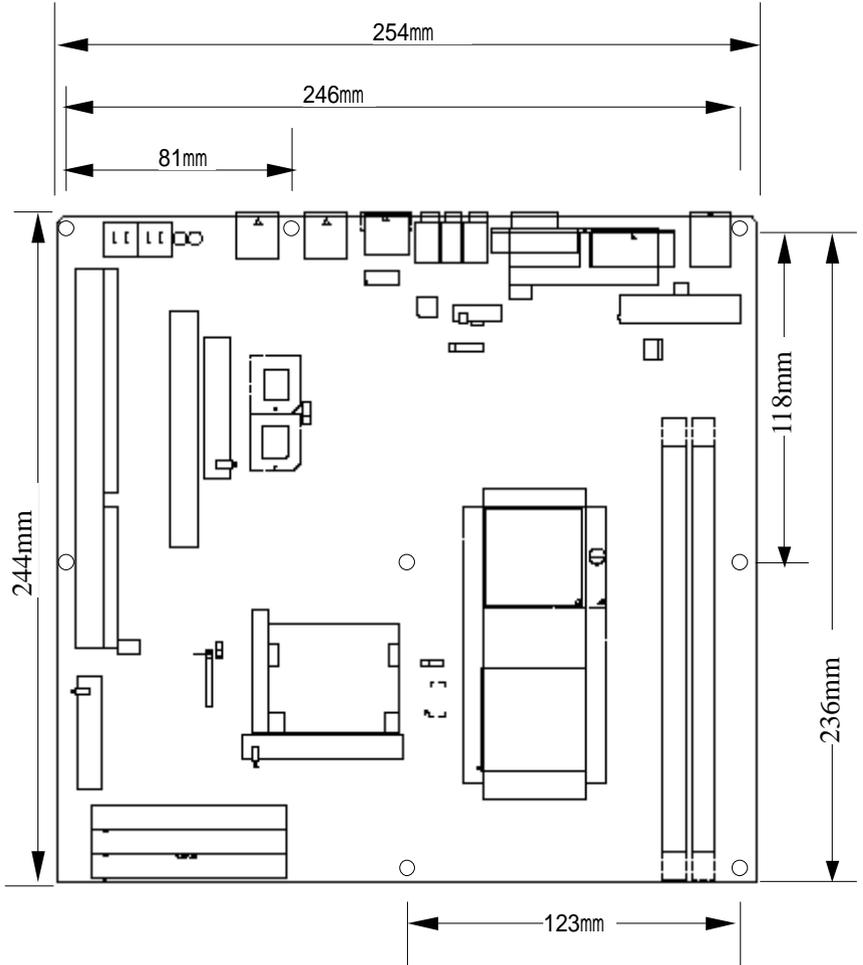
其他特性

- I 温度监测: CPU 内带一个传感器, 用以监测 CPU 的温度。
- I ATX 电源供电。
- I 符合 Windows98 规格的增强型 ACPI (高级配置和电源接口标准), 支持更多的电源管理功能。

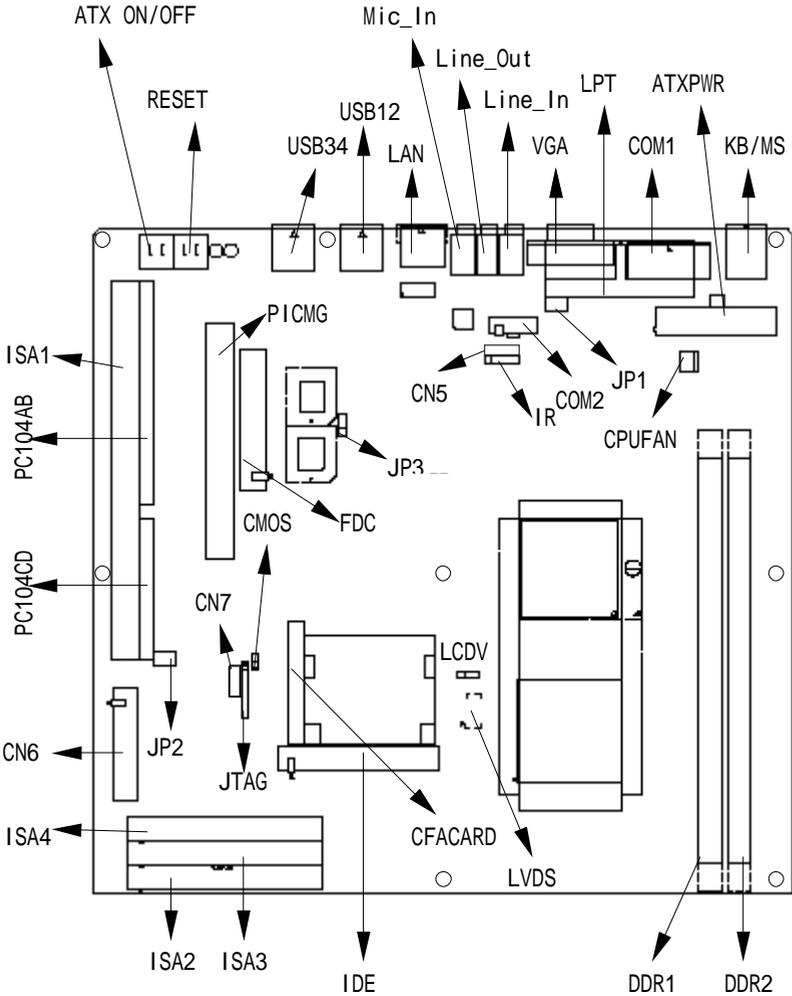
第二章

安装说明

产品外形



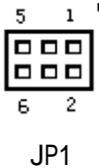
接口位置示意图



跳线功能设置

1) COM2口跳线选择

通过设置JP1可使COM2口工作在RS-232或是RS-422/RS-485模式。缺省设置是RS-232。



JP1选择	管脚		
	1-2	3-4	5-6
RS-232	ON (默认)	OFF	OFF
RS-422	OFF	ON	OFF
RS-485	OFF	OFF	ON

COM2定义选择参见串口定义。

2) CMOS:CMOS内容清除/保持设置

通过改变CMOS的短接帽所处状态来实现此项功能。

如果由于BIOS设置不当而引起系统不能正常启动，则可尝试清除CMOS内容以便恢复所有系统参数的默认值，再启动系统。通过改变CMOS的短接帽所处状态来实现此项功能。



CMOS

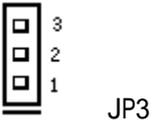
设置	CMOS
开路	[1-2] (正常工作状态，默认设置)
短路	[1-2] (清除CMOS内容，所有BIOS设置恢复成出厂值)

3) LCDV: LVDS电压选择

不同的LVDS屏电压可能不同，本板提供了3.3V和5V两种电压选择，当所选择的LVDS电压与所使用的LVDS屏的工作电压一致时，LVDS屏才能正常显示。

3.3V设置	5V设置
 1 2 3 (缺省值)	 1 2 3

4) BIOS跳线选择



设置	功能设置
1-2短路	System BIOS
2-3短路	User BIOS

系统内存安装

本CPU卡配有两条DDR (Double Data Rate) DIMM (Dual Inline Memory Modules) 184pin内存插槽。(图示标识为DDR1, DDR2)

安装内存条时, 要注意以下几点:

- Ø 安装时, 先对准内存 DIMM 条的缺口和 DIMM 插槽的缺口后再用力插到位。
- Ø 可使用符合 Intel 2.5V DDR266 规格的 DDR 内存, 最大内存容量达 512MB。
- Ø 最好选择带 SPD (内存自动识别功能) 的 DIMM 内存条, 以保证内存条工作稳定。

USB

本CPU卡提供四个USB标准插座，下表给出了USB接口的管脚定义。



USB12/USB34

USB12	信号名称
1	+5V
2	USB Data-
3	USB Data+
4	GND

IrDA/红外接口

提供一组红外线模组插针（IR），支持IrDA 1.0版SIR协议或夏普ASK-IR协议红外线数据传输功能。



IR

管脚	信号名称
1	+5V
2	N.C.
3	IrRx
4	GND
5	IrTx

网络接口

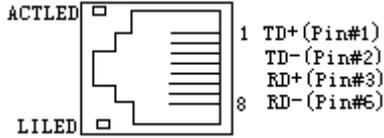
此接口是主板上10/100Mbps以太网接口，L1LED和ACTLED是以太网接口两边的绿色和黄色LED，它们显示着LAN的活动和传输状态。请参考以下每一个LED的状态描述：

TD+,TD-: 正/负发送数据信号。

RD+,RD-: 正/负接收数据信号。

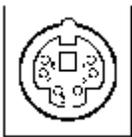
ACTLED: 网络活动状态灯。

LILED: 网络链路状态灯。



LILED (绿色灯)	指示状态	ACTLED (黄色灯)	指示状态
亮	网络链路有效	亮	正在收发数据
灭	网络链路无效	灭	没有数据要收发

键盘与鼠标接口



KB/MS

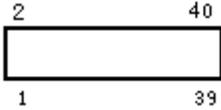
管脚	信号名称	管脚	信号名称
1	Keyboard data	2	Mouse data
3	GND	4	+5V
5	Keyboard clock	6	Mouse clock

IDE 接口

本单板电脑提供一组40针IDE接口（IDE），安装IDE设备时，需注意：

- Ø IDE 接口可以连接两台 IDE 设备：一个为主设备（Master），一个为从设备（Slave）。设备的连接方法是：主设备接在电缆的末端，从设备接在电缆的中间。
- Ø 连接使用 Ultra100 的硬盘时，建议使用 80 线的专用扁平电缆(IDE

电缆有红色标示的为第一脚)。



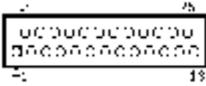
IDE

管脚	信号名称	管脚	信号名称
1	Reset IDE	2	GND
3	Host data 7	4	Host data 8
5	Host data 6	6	Host data 9
7	Host data 5	8	Host data 10
9	Host data 4	10	Host data 11
11	Host data 3	12	Host data 12
13	Host data 2	14	Host data 13
15	Host data 1	16	Host data 14
17	Host data 0	18	Host data 15
19	GND	20	Key
21	DRQ0/1	22	GND
23	Host IOW	24	GND
25	Host IOR	26	GND
27	IOCHRDY	28	Host ALE
29	DACK0/1	30	GND
31	IRQ14/15	32	Null
33	Address 1	34	ATA/66 detect
35	Address 0	36	Address 2
37	Chip select 0	38	Chip select 1
39	Activity	40	GND

注：中断请求：IDE用IRQ14；DMA请求/响应：IDE用DRQ0/DACK0。

并口与串口

1) 并口：并行接口，可依据您的需求用来连接并行接口外设。

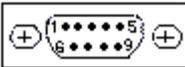


LPT

管脚	信号名称	管脚	信号名称
1	OUT_STB-	14	P_-AFD
2	OUT_PD0	15	P_-ERR
3	OUT_PD1	16	P_-INIT
4	OUT_PD2	17	P_-SLIN
5	OUT_PD3	18	GND
6	OUT_PD4	19	GND
7	OUT_PD5	20	GND
8	OUT_PD6	21	GND
9	OUT_PD7	22	GND
10	P_-ACK	23	GND
11	P_BUSY	24	GND
12	P_PE	25	GND
13	P_SLCT		

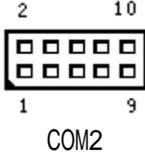
2) 串口：

COM1是一个9芯D-SUB接口，COM2是2×5Pin接口。COM1，COM2可以连接具有RS-232标准接口的鼠标、调制解调器、数码相机等设备。



COM1

管脚	信号名称	管脚	信号名称
1	DCD, 数据运载检测	2	RXD, 接收数据
3	TXD, 传输数据	4	DTR, 数据终端准备好
5	GND, 地	6	DSR, 数据设置准备好
7	RTS, 请求发送	8	CTS, 清发送
9	RI, 响铃指示	10	N.C.



管脚	信号名称		
	RS-232	RS-422	RS-485
1	DCD, 数据运载检测	TX-	RTX-
2	RXD, 接收数据	TX+	RTX+
3	TXD, 传输数据		
4	DTR, 数据终端准备好		
5	GND, 地		
6	DSR, 数据设置准备好		
7	RTS, 请求发送		
8	CTS, 清发送	RX+	X
9	RI, 响铃指示	RX-	X
10	N.C.		

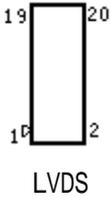
显示接口

1) 15芯D型VGA显示器插座



管脚	信号名称	管脚	信号名称
1	Red	2	Green
3	Blue	4	N.C.
5	GND	6	GND
7	GND	8	GND
9	+5V	10	GND
11	N.C.	12	DDCDATA
13	HSYNC	14	VSYNC
15	DDCCLK		

2) LVDS: LVDS输出接口



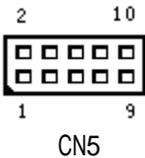
管脚	信号名称	管脚	信号名称
1	LVDS0+	2	LVDS0-
3	GND	4	GND
5	LVDS1+	6	LVDS1-
7	GND	8	GND
9	LVDS2+	10	LVDS2-
11	GND	12	GND
13	LVDSCLK+	14	LVDSCLK-
15	GND	16	GND
17	LVDS3+	18	LVDS3-
19	VDD	20	VDD

音频功能

主板上直接提供三个音频输入/输出的插孔，分别是：音频输入（Line_In）、音频输出（Line_Out）、麦克风输入（Mic_In）。

数字 I/O 接口

主板提供了一个4路输入和4路输出的可编程接口，接口的输入和输出是独立的，在CN5位置的插针共有8 Pin与8个数字位相对应。该接口是由Winbond W83627THF Super I/O提供的。



管脚	信号名称	管脚	信号名称
1	VCC5	2	GND
3	INPUT0	4	OUTPUT0
5	INPUT 1	6	OUTPUT1
7	INPUT2	8	OUTPUT2
9	INPUT3	10	OUTPUT3

OUTPUT(0~3) 对应 W83627THF 的 GPIO Port5 Bit 0~3(GP50~53); INPUT (0~3) 对应 W83627THF 的 GPIO Port2 Bit 3~6(GP23~

26)。下面是 JY-1714CLDNA 输入/输出接口的编程范例（测试程序）：

```
;MASM
;;JY-1714CLDNA GPIO Test Program..
Model Small
386
INDEX_ADDR EQU 02Eh
INDEX_DATA EQU 02Fh

;;Read Winbond83627 PnP Register
ReadReg macro x
mov al, x
out INDEX_ADDR, al
jmp $+2
in al, INDEX_DATA
endm

;;Write Winbond83627 PnP Register
WriteReg macro x,y
mov al, x
out INDEX_ADDR, al
jmp $+2
mov al, y
out INDEX_DATA, al
endm

;;take Winbond83627 to programmable state
EnterProgram macro
mov al, 087h
out INDEX_ADDR, al
jmp $+2
out INDEX_ADDR, al
endm
```

```
;;exit/end programmable state
ExitProgram macro
mov al, 0aah
out INDEX_ADDR, al
endm
;;select Logical Device Number
SelectLDN macro x
WriteReg 007h, x
endm
```

code

```
start proc far
    push ds
    xor ax, ax
    push ax
push cs
pop ds
push cs
pop es
```

```
EnterProgram
;;output 005h
mov al, 05h
call outputport
;;input
call inport
cmp al, 05h
jne error_exit
```

```
;;output 00Ah
```

```
mov al, 0ah
call outpost
;;input
call inport
cmp al, 00Ah
jne error_exit
mov bp, offset OK
mov cx, 8
out_string:
push cx
mov ax, 0300h
xor bx, bx
int 10h
pop cx
mov ax, 1301h
mov bx, 07h
int 10h

ExitProgram
ret
error_exit:
mov bp, offset ERROR
mov cx, 6
jmp out_string

OK db "SUCCESS!",$'
ERROR db "ERROR!",$'
start endp

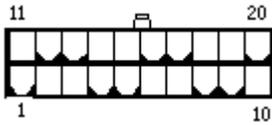
;;read data from I/O port
inport proc near
;;input:
```

```
; none
;;output:
; al: port data
;;destroy: AX
SelectLDN 08h
ReadReg 0F1h
push cx
mov cl, 3
shr al, cl
pop cx
and al, 0fh
ret
inport endp

;;output data to I/O port
outport proc near
;;input:
; al: port data
;;output:
; none
;;destroy: AX
and al, 00Fh
mov ah, al
SelectLDN 07h
ReadReg 0F4h
and al, 0F0h
or ah, al
WriteReg 0F4h, ah
ret
outport endp
END
```

电源接口

ATX电源接口



ATXPWR

信号名称	管脚		信号名称
+3.3V	11	1	+3.3V
-12V	12	2	+3.3V
GND (地)	13	3	GND (地)
PS-ON(电源 开关控制)	14	4	+5V
GND (地)	15	5	GND (地)
GND (地)	16	6	+5V
GND (地)	17	7	GND (地)
-5V	18	8	Power Good
+5V	19	9	+5V SB(后备 +5V)
+5V	20	10	+12V

ISA 总线

此主板提供标准的16位ISA总线，连接方式包括：

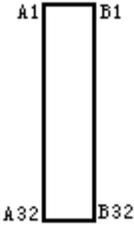
- I 一个标准ISA插槽：ISA1 ；
- I 一组ISA信号连接孔 PC104AB, PC104CD；
- I 两个ISA信号连接槽：ISA2、ISA3；
- I 一个方便FPGA的I/O脚连接ISA信号的连接槽：ISA4 ；

ISA1 的管脚定义:

管脚	信号名称	管脚	信号名称	管脚	信号名称	管脚	信号名称
A1	IOCHCK#	B1	GND	C1	SBHE#	D1	MEMCS16#
A2	SD7	B2	RSTDRV	C2	LA23	D2	IOCS16#
A3	SD6	B3	VCC	C3	LA22	D3	IRQ10
A4	SD5	B4	IRQ9	C4	LA21	D4	IRQ11
A5	SD4	B5	-5V	C5	LA20	D5	IRQ12
A6	SD3	B6	DRQ2	C6	SA19	D6	IRQ15
A7	SD2	B7	-12V	C7	SA18	D7	IRQ14
A8	SD1	B8	NOWS#	C8	SA17	D8	DACK0#
A9	SD0	B9	+12V	C9	MEMR#	D9	DRQ0
A10	IOCHRDY	B10	GND	C10	MEMW#	D10	DACK5#
A11	AEN	B11	SMEMW#	C11	SD8	D11	DRQ5
A12	SA19	B12	SMEMR#	C12	SD9	D12	DACK6#
A13	SA18	B13	IOW#	C13	SD10	D13	DRQ6
A14	SA17	B14	IOR#	C14	SD11	D14	DACK7#
A15	SA16	B15	DACK3#	C15	SD12	D15	DRQ7
A16	SA15	B16	DRQ3	C16	SD13	D16	VCC
A17	SA14	B17	DACK1#	C17	SD14	D17	MASTER#
A18	SA13	B18	DRQ1	C18	SD15	D18	GND
A19	SA12	B19	REFRESH#				
A20	SA11	B20	BCLK				
A21	SA10	B21	IRQ7				
A22	SA9	B22	IRQ6				
A23	SA8	B23	IRQ5				
A24	SA7	B24	IRQ4				
A25	SA6	B25	IRQ3				
A26	SA5	B26	DACK2#				
A27	SA4	B27	TC				
A28	SA3	B28	BALE				
A29	SA2	B29	VCC				
A30	SA1	B30	ISA_SLOTT_14M				
A31	SA0	B31	GND				

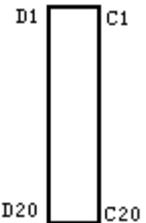
PC104针孔：此PC104只留针孔，以方便客户将某些ISA信号单独引线。

管脚	信号名称	管脚	信号名称
A1	IOCHK#	B1	GND
A2	SD7	B2	RSTDRV
A3	SD6	B3	VCC
A4	SD5	B4	IRQ9
A5	SD4	B5	-5V
A6	SD3	B6	DRQ2
A7	SD2	B7	-12V
A8	SD1	B8	NOWS#
A9	SD0	B9	+12V
A10	IOCHRDY	B10	GND
A11	AEV	B11	SMEMW#
A12	SA19	B12	SMEMR#
A13	SA18	B13	IOW#
A14	SA17	B14	IOR#
A15	SA16	B15	DACK3#
A16	SA15	B16	DRQ3
A17	SA14	B17	DACK1#
A18	SA13	B18	DRQ1
A19	SA12	B19	REFRESH#
A20	SA11	B20	BCLK
A21	SA10	B21	IRQ7
A22	SA9	B22	IRQ6
A23	SA8	B23	IRQ5
A24	SA7	B24	IRQ4
A25	SA6	B25	IRQ3
A26	SA5	B26	DACK2#
A27	SA4	B27	TC
A28	SA3	B28	BALE
A29	SA2	B29	VCC
A30	SA1	B30	PC104_OSC
A31	SA0	B31	GND
A32	GND	B32	GND



PC104AB

PC104CD 管脚定义:

		管脚	信号名称	管脚	信号名称
		D1	GND	C1	GND
D2	MEMCS16#	C2	SBHE#		
D3	IOCS16#	C3	LA23		
D4	IRQ10	C4	LA22		
D5	IRQ11	C5	LA21		
D6	IRQ12	C6	LA20		
D7	IRQ15	C7	SA19		
D8	IRQ14	C8	SA18		
D9	DACK0#	C9	SA17		
D10	DRQ0	C10	MEMR#		
D11	DACK5#	C11	Memw#		
D12	DRQ5	C12	SD8		
D13	DACK6#	C13	SD9		
D14	DRQ6	C14	SD10		
D15	DACK7#	C15	SD11		
D16	DRQ7	C16	SD12		
D17	VCC	C17	SD13		
D18	MASTER#	C18	SD14		
D19	GND	C19	SD15		
D20	GND	C20	GND		

ISA2 的管脚定义:

管脚	信号名称	管脚	信号名称	管脚	信号名称	管脚	信号名称
1	VCC	2	SD7	3	SD6	4	SD5
5	SD4	6	SD3	7	SD2	8	SD1
9	SD0	10	VCC	11	NC	12	IOR#
13	IOW#	14	AEN	15	DACK1#	16	DRQ1
17	IRQ5	18	VCC	19	SA9	20	SA8
21	SA7	22	SA6	23	SA5	24	+12V
25	SA4	26	GND	27	SA3	28	-12V
29	SA2	30	GND	31	SA1	32	GND
33	SA0	34	GND	35	MEMW#	36	MEMR#
37	BCLK	38	RSTDRV	39	SA19	40	SA18
41	BALE	42	TC	43	SA16	44	SA17
45	SA15	46	SA14	47	SA13	48	SA12
49	SA10	50	SA11				

ISA3 的管脚定义:

管脚	信号名称	管脚	信号名称	管脚	信号名称	管脚	信号名称
1	VCC	2	SD7	3	SD6	4	SD5
5	SD4	6	SD3	7	SD2	8	SD1
9	SD0	10	VCC	11	NC	12	IOR#
13	IOW#	14	AEN	15	DACK#	16	DRQ1
17	IRQ	18	VCC	19	SA9	20	SA8
21	SA7	22	SA6	23	SA5	24	+12V
25	SA4	26	GND	27	SA3	28	-12V
29	SA2	30	GND	31	SA1	32	GND
33	SA0	34	GND	35	MEMW#	36	MEMR#
37	BCLK	38	RSTDRV	39	SA19	40	SA18
41	BALE	42	TC	43	SA16	44	SA17
45	SA15	46	SA14	47	SA13	48	SA12
49	SA10	50	SA11				

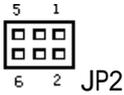
在板FPGA的配置端口、输入/输出端口、ISA4的管脚定义:

在板提供一个可编程的FPGA模块，FPGA芯片采用：ALTERA 公司的Cyclone II EP2C5T144C8，FPGA的配置EEPROM是ASC系列的EPCS1 1Mb的Flash，在使用Quartus II编译或者在线编程时注意选择配置器件的型号。EVOC将随主板提供部分芯片资料和一个简单的事例程序，ALTERA的集成编译工具、下载电缆以及更详细的资料和编程方法请访问ALTERA的网站或者与ALTERA联络。

<http://www.altera.com.cn/literature/lit-cyc2.jsp>

ISA4 是 EP2C5T144C8 的一组I/O引脚，如果将 ISA4 用一对一的排线与 ISA3 相连，则 EP2C5T144C8 的I/O引脚ISA4 的信号定义就可以定义成与 ISA3 一致，方便使用ISA总线信号设计FPGA功能:

JP2:设置 ISA3/ISA4 的 17 脚使用的系统中断:



设置	ISA3 IRQx
1-2 短路	IRQ4
3-4 短路	IRQ7
5-6 短路(缺省)	IRQ10

ISA4 的管脚定义:

(假设将 ISA4 用一对一的排线与 ISA3 相连)

管脚	信号名称	FPGA 引脚	管脚	信号名称	FPGA 引脚
1	空		2	SD7_FPGA	73
3	SD6_FPGA	74	4	SD5_FPGA	75
5	SD4_FPGA	76	6	SD3_FPGA	79
7	SD2_FPGA	86	8	SD1_FPGA	87
9	SD0_FPGA	92	10	空	
11	空		12	IOR#_FPGA	93
13	IOW#_FPGA	94	14	AEN_FPGA	96
15	DACK1#_FPGA	97	16	DRQ1_FPGA	99
17	IRQ_FPGA	100	18	空	
19	SA9_FPGA	101	20	SA8_FPGA	103
21	SA7_FPGA	104	22	SA6_FPGA	112
23	SA5_FPGA	113	24	空	
25	SA4_FPGA	114	26	空	
27	SA3_FPGA	115	28	空	
29	SA2_FPGA	118	30	空	
31	SA1_FPGA	119	32	空	
33	SA0_FPGA	120	34	空	
35	MEMW#_FPGA	122	36	MEMR#_FPGA	121
37	BCLK_FPGA	17	38	RSTDRV_FPGA	125
39	SA19_FPGA	132	40	SA18_FPGA	133
41	BALE_FPGA	126	42	TC_FPGA	129
43	SA16_FPGA	135	44	SA17_FPGA	134
45	SA15_FPGA	136	46	SA14_FPGA	137
47	SA13_FPGA	139	48	SA12_FPGA	141
49	SA10_FPGA	143	50	SA11_FPGA	142

ISA4 与 FPGA 的 I/O 脚的连接关系如下图:

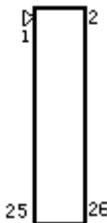
ISA4		HEADER 25X2							
1	2	1	2						
S06 FPGA	3	0	4	S07 FPGA	RNS3 1	1	2	73	VCC
S05 FPGA	6	0	6	S06 FPGA	100Y 3	4	4	74	VCC
S04 FPGA	7	0	8	S05 FPGA	5	1	6	76	VCC
S03 FPGA	8	0	8	S04 FPGA	7	1	8	76	VCC
S02 FPGA	9	0	10	S03 FPGA	RNS6 1	2	2	79	VCC
S01 FPGA	11	0	12	S02 FPGA	100Y 3	1	4	86	VCC
IOV# FPGA	13	0	14	S01 FPGA	5	1	8	87	VCC
DACKI# FPGA	15	0	16	S00 FPGA	RNS7 1	8	8	92	VCC
DIRQ1 FPGA	17	0	18	IOV# FPGA	100Y 3	1	2	93	VCC
S09 FPGA	19	0	20	DIRQ1# FPGA	RNS7 1	6	6	96	VCC
S08 FPGA	21	0	22	IOV# FPGA	100Y 3	1	1	97	VCC
S07 FPGA	23	0	24	DIRQ1# FPGA	RNS6 1	7	7	97	VCC
S06 FPGA	25	0	26	IOV# FPGA	RNS8 1	5	2	100	VCC
S05 FPGA	27	0	28	DIRQ1# FPGA	100Y 3	1	2	101	VCC
S04 FPGA	29	0	30	IOV# FPGA	100Y 3	1	6	108	VCC
S03 FPGA	31	0	32	DIRQ1# FPGA	RNS4 1	5	2	108	VCC
S02 FPGA	33	0	34	IOV# FPGA	100Y 3	1	4	108	VCC
MEMM# FPGA	35	0	36	DIRQ1# FPGA	RNS5 1	7	7	108	VCC
RS1DRY FPGA	37	0	40	IOV# FPGA	100Y 3	1	2	117	VCC
BALE FPGA	39	0	40	MEMM# FPGA	5	1	0	121	VCC
S017 FPGA	43	0	44	RS1DRY FPGA	RNS1 1	5	4	122	VCC
S016 FPGA	45	0	46	BALE FPGA	100Y 3	5	6	126	VCC
S015 FPGA	47	0	48	IOV# FPGA	RNS2 1	7	8	129	VCC
S014 FPGA	49	0	50	S017 FPGA	100Y 3	4	4	132	VCC
				S016 FPGA	5	1	5	133	VCC
				S015 FPGA	7	1	7	134	VCC
				S014 FPGA	RNS4 1	2	2	136	VCC
				S013 FPGA	100Y 3	1	4	137	VCC
				S012 FPGA	100Y 3	1	4	141	VCC
				S011 FPGA	5	1	6	147	VCC
				S010 FPGA	7	1	8	149	VCC
								144	VCC

EP2C8T144C8/EP2C5T144C8

VCC
VCC
VCC

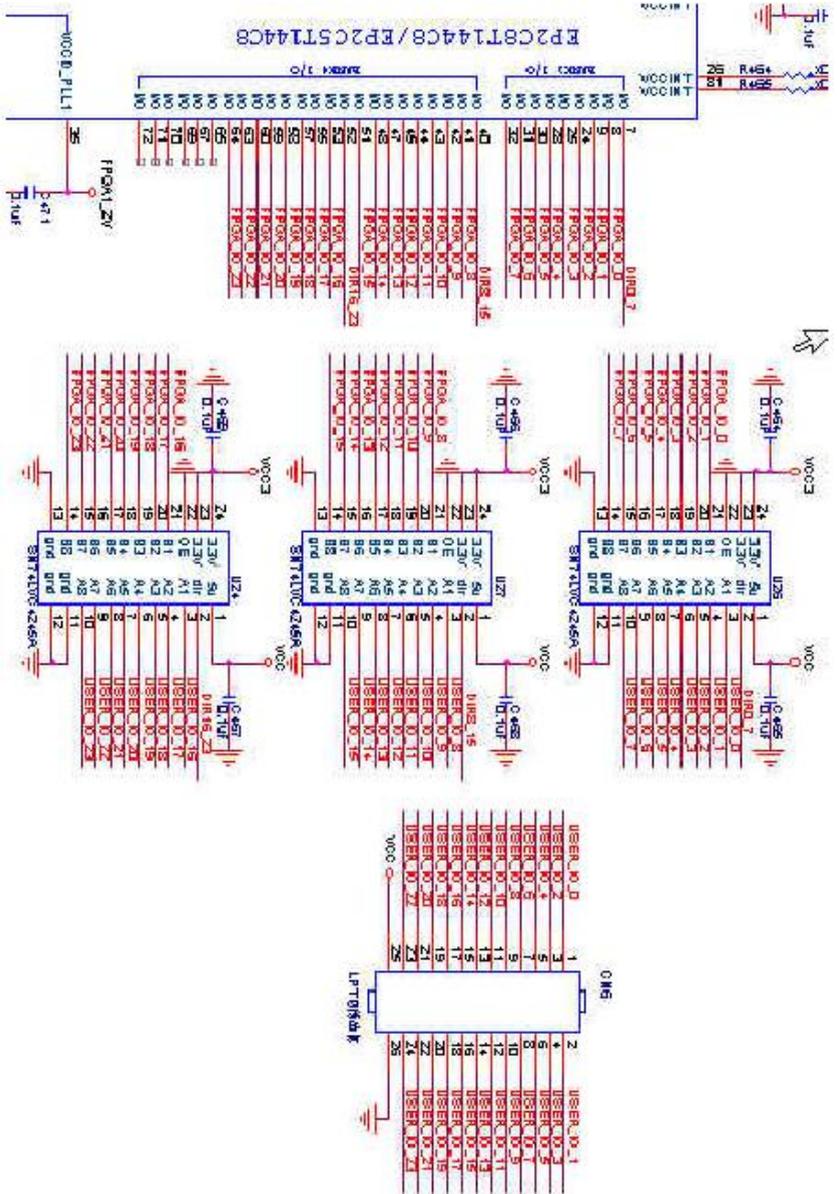
FPGA 输入/输出端口

FPGA 的 I/O 管脚与用户输出接口 CN6 之间使用三个 Ti SN74LVC4245A 把 FPGA 的 3.3V 电平转换为 5V，每 8 位 I/O 使用一个 I/O 脚控制方向，FPGA 的 I/O 脚与 CN6 的连接关系以及输入/输出方向控制的连接关系如下图：

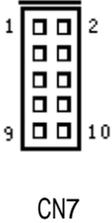


管脚	信号名称	FPGA引脚	管脚	信号名称	FPGA引脚
	USER IO 0~7 方向控制	7			
1	USER IO 0	8	2	USER IO 1	9
3	USER IO 2	24	4	USER IO 3	25
5	USER IO 4	28	6	USER IO 5	30
7	USER IO 6	31	8	USER IO 7	32
	USER IO 8~15 方向控制	40			
9	USER IO 8	41	10	USER IO 9	42
11	USER IO 10	43	12	USER IO 11	44
13	USER IO 12	45	14	USER IO 13	47
15	USER IO 14	48	16	USER IO 15	51
	USER IO 8~15 方向控制	52			
17	USER IO 16	53	18	USER IO 17	55
19	USER IO 18	57	20	USER IO 19	58
21	USER IO 20	59	22	USER IO 21	60
23	USER IO 22	63	24	USER IO 23	64
25	VCC		26	GND	

FPGA 与用户输出接口 CN6 的连接关系以及输入/输出方向控制的连接关系如下图：



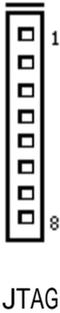
FPGA 配置端口



管脚	信号名称	管脚	信号名称
1	DCLK	6	nCE
2	GND	7	DATA0
3	CONF_DONE	8	nCS0
4	VCC3	9	ASD0
5	nCONFIG	10	GND

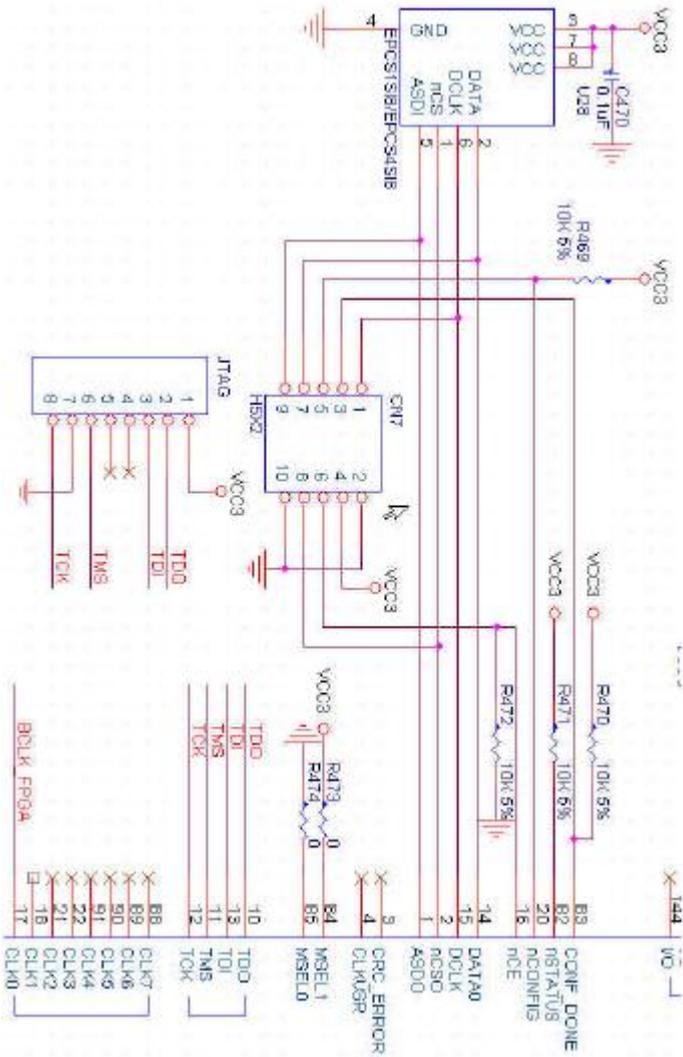
相关图示见下面图示：

FPGA 的 JTAG 配置端口



管脚	信号名称
1	VCC3
2	TDO
3	TDI
4	NC
5	NC
6	TMS
7	GND
8	TCK

相关图示见下面图示：



CF

COMPACT FLASH卡是一种快速存储器，体积很小，使用方便，存储量随所用的卡变化，如128M，256M等。CF卡插入时只能以一个方向插入（图示标识为CFCARD）。

管脚	信号名称	管脚	信号名称
1	GND	26	NC
2	IDESD3	27	IDESD11
3	IDESD4	28	IDESD12
4	IDESD5	29	IDESD13
5	IDESD6	30	IDESD14
6	IDESD7	31	IDESD15
7	IDESCS0X	32	IDESCS1X
8	GND	33	NC
9	GND	34	IDESI0RX
10	GND	35	IDESI0WX
11	GND	36	VCC3V
12	GND	37	IDESINTR
13	VCC3V	38	VCC3V
14	GND	39	GND
15	GND	40	NC
16	GND	41	IDESRSTX
17	GND	42	IDESI0RDY
18	IDESA2	43	NC
19	IDESA1	44	VCC3V
20	IDESA0	45	HDDLLED
21	IDESD0	46	NC
22	IDESD1	47	IDESD8
23	IDESD2	48	IDESD9
24	IOCS16X	49	IDESD10
25	NC	50	GND

风扇接口

本CPU卡提供一组标准CPUFAN风扇插座。

使用风扇插座时要注意以下三点：

- Ø 风扇电流不大于 350 毫安（4.2 瓦，12 伏特）。
- Ø 请确认风扇接线和本插座的接线是否相符。电源线（通常为红色）在中间位置。另外就是地线（通常为黑色）和风扇转速输出脉冲信号线（其它颜色）。有些风扇没有转速检测，但该引线却有高达 12V 的输出，会损坏 CPU 卡，这是非标准接线。建议使用带转速检测风扇。
- Ø 将风扇气流调整成能将热量排出的方向。

 <p>CPUFAN</p>	管脚	信号名称
	1	地
	2	+12V
	3	转速脉冲

软驱接口

FDC是一个2.0间距2×17针的针座，需要使用随主板配置的专用转接电缆才能连接软盘驱动器使用。



信号名称	管脚	管脚	信号名称
Ground	1	2	RM/LC
Ground	3	4	空
Ground	5	6	空
Ground	7	8	Index
Ground	9	10	Motor enable 0
Ground	11	12	Drive select 1
Ground	13	14	Drive select 0
Ground	15	16	Motor enable 1
Ground	17	18	Direction
Ground	19	20	Step
Ground	21	22	Write data
Ground	23	24	Write gate
Ground	25	26	Track 00
Ground	27	28	Write protect
Ground	29	30	Read data
Ground	31	32	Side 1 select
Ground	33	34	Diskette

PCIMG 接口

PCI槽可以支持直接插一个PCI卡，也可以通过扩展卡转接PCIMG总线支持最多三个PCI卡的扩展。

第三章

BIOS 功能简介

JY-1714CLDNA主板BIOS相关功能简介请参照我公司的《AMI BIOS 设置指南》。

附录

Watchdog 编程指引

JY-1714CLDNA提供一个可按分或按秒计时的，最长达255级的可编程看门狗定时器(以下简称WDT)。通过编程，WDT超时事件可用将来将系统复位或者产生一个可屏蔽中断。

以下用C语言形式描述了WDT的编程。必须注意：在对WDT进行操作之前，需先进入WDT编程模式；在结束对WDT的操作之后，退出WDT。

对WDT的编程需遵循以下步骤：

- Ø 进入WDT编程模式
- Ø 设置WDT工作方式/启动WDT/关闭WDT
- Ø 退出WDT编程模式

WDT的编程方法，请参看以下示范代码：

```
#define INDEXP 0x2e
#define DATAP 0x2f
//Super I/O Watchdog
#define STARTPROG { outputb(INDEXP,0x87);
outputb(INDEXP,0x87);}
#define ENDPROG outputb(INDEXP,0xaa);
#define SELEDEV(x) { outputb(INDEXP,7);
outputb(DATAP,x); }
#define WRITEREG(reg,val) { outputb(INDEXP,reg);
outputb(DATAP,val); }
//1.Initial Watchdog device
short SLOWTD_Setup(short irq)
```

```
/* irq=3,4,5,6,7,9,12,0:disable interrupt,0xff:reset*/
{
    //start programming Watchdog
    STARTPROG
    //Active Watchdog Device
    SELEDEV(8) //logical device 8
    WRITEREG(0x30,0x01)
    //read IC is 627HF or 627THF
    outportb(INDEXP, 0x20);
    unsigned char thfver = inportb(DATAP);
    // {0x52=HF,0x82=THF}
    outportb(INDEXP,0x2b);
    unsigned char olddval=inportb(DATAP);
    if(irq==0xff) //WatchDog cause System Reset
    {
        if(thfver == 0x82)
        { //is 627THF
            olddval &= 0xf3;
            olddval |= 0x04; //bit3,2=01
        }
        else
        {
            olddval &= 0xef; //BIT4=0
        }
    }
}
```

```
WRITEREG(0x2b, oldval);
}
else //Watchdog cause System Interrupt
{
if(thfver == 0x82)
{ //is 627THF
oldval &= 0xf3; //bit3,2=00
}
else
{
oldval |= 0x10; //BIT4=1
}
WRITEREG(0x2B,oldval)
WRITEREG(0xf7,irq)
}
//end programming watchdog
ENDPROG
return 0;
}
//2.start Watchdog to count
short SLOWTD_Enable(short time,short unit)
/*unit=0:second,=1:minutes */
{
if(time<1 || time>255) return -1;
```

```
if(unit<0 || unit>1) return -1;
//start programming watchdog
STARTPROG
SELEDEV(8) //logical device 8
//select Watchdog Timer clock
switch(unit)
{
case 0:
WRITEREG(0xf5,0x00) //BIT3=0,secondes
break;
case 1:
WRITEREG(0xf5,0x08) //BIT3=1,minutes
break;
}
WRITEREG(0xF6,time) //set timeout value
//end programming watchdog
ENDPROG
return 0;
}
```

I/O 口地址映射表

系统 I/O 地址空间总共有 64K，每一外围设备都会占用一段 I/O 地址空间。下表给出了本 CPU 卡部分设备的 I/O 地址分配，由于 PCI 设备（如 PCI 网卡）的地址是由软件配置的，表中没有列出。

地址	设备描述
000h - 00Fh	DMA 控制器#1
020h - 021h	可编程中断控制器#1
040h - 043h	系统计时器
060h - 064h	标准 101/102 键或 Microsoft 键盘
070h - 071h	系统 CMOS/实时钟
0A0h - 0A1h	可编程中断控制器#2
0C0h - 0DEh	DMA 控制器#2
0F0h - 0FFh	数据数值处理器
170h - 177h	从 IDE
1F0h - 1F7h	主 IDE
295h - 296h	硬件监测器
2F8h - 2FFh	串行端口#2(COM2)
376h	从 IDE(dual FIFO)
378h - 37Fh	并行端口#1(LPT1)
3B0h - 3DFh	Intel(R) 82852/82855 GM/GME Graphics Controller
3F6h - 3F6h	Intel(R) 82801DB Ultra ATA Storage Controller - 24CB
3F6h - 3F6h	主 IDE(dual FIFO)
3F8h - 3FFh	串行端口#1(COM1)

IRQ 中断分配表

系统共有15个中断源，有些已被系统设备独占。只有未被独占的中断才可分配给其他设备使用。ISA设备要求独占使用中断；只有即插即用ISA设备才可由BIOS或操作系统分配中断。而多个PCI设备可共享同一中断，并由BIOS或操作系统分配。下表给出了本CPU卡部分设备的中断分配情况，但没有给出PCI设备所占用的中断资源。

级别	功能
IRQ0	系统计时器
IRQ1	标准 101/102 键或 Microsoft 键盘
IRQ2	可编程的中断控制器
IRQ3	串口#2
IRQ4	串口#1
IRQ5	Intel(R) 82801DB/DBM USB Universal Host Controller -24C4
IRQ5	ACPI IRQ Holder for PCI IRQ Steering
IRQ6	保留
IRQ7	并口#1
IRQ8	系统 CMOS/实时时钟
IRQ9	SCI IRQ used by ACPI bus
IRQ10	Intel(R) 82801DB/DBM USB Universal Host Controller-24C2
IRQ10	Intel(R) 82852/82855 GM/GME Graphics Controller
IRQ10	ACPI IRQ Holder for PCI IRQ Steering
IRQ11	Realtek AC'97 Audio
IRQ12	PS/2 兼容型鼠标端口
IRQ13	数据数值处理器
IRQ14	Intel(R) 82801DB Ultra ATA Storage Controller-24CB
IRQ15	Intel(R) 82801DB Ultra ATA Storage Controller-24CB

若需了解更多关于我公司产品信息，请至我司网站：

<http://www.evoc.com.cn>