

Spartan7 FPGA 核心板

用户手册

AC7050

REV 1.0 版

芯驿电子科技（上海）有限公司

黑金动力社区

目录

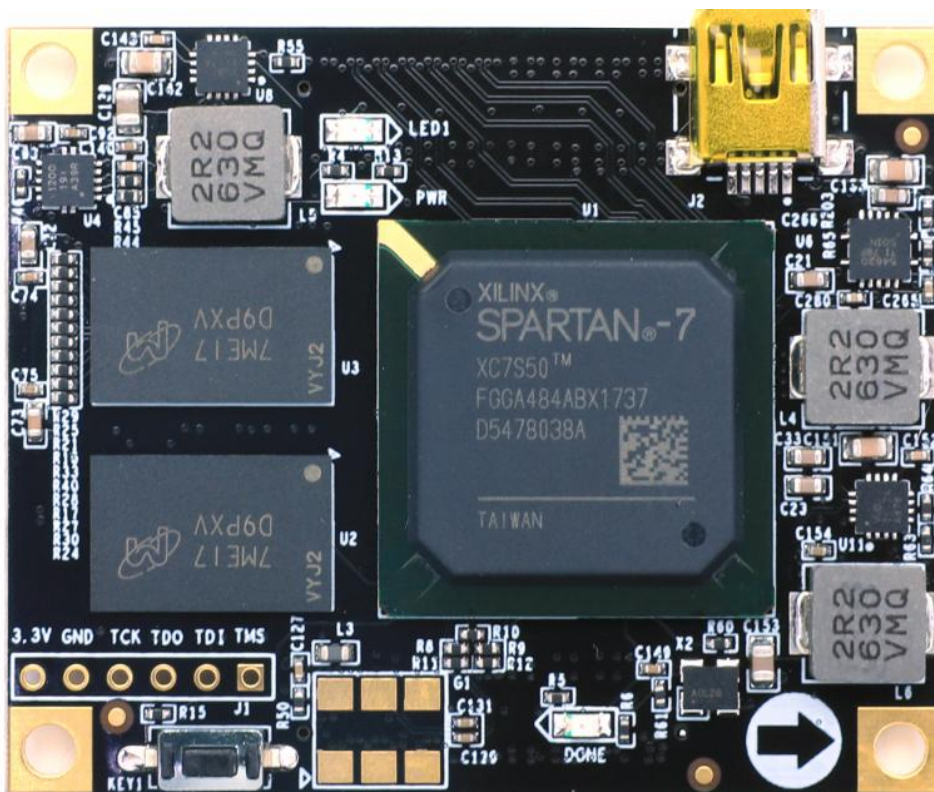
(一) 简介	3
(二) FPGA	4
(三) 有源晶振	6
(四) DDR3	7
(五) QSPI Flash	11
(六) LED 灯	13
(七) JTAG 接口	14
(八) 电源接口	14
(九) 扩展接口	15
(十) 电源	19
(十一) 结构图	22

(一) 简介

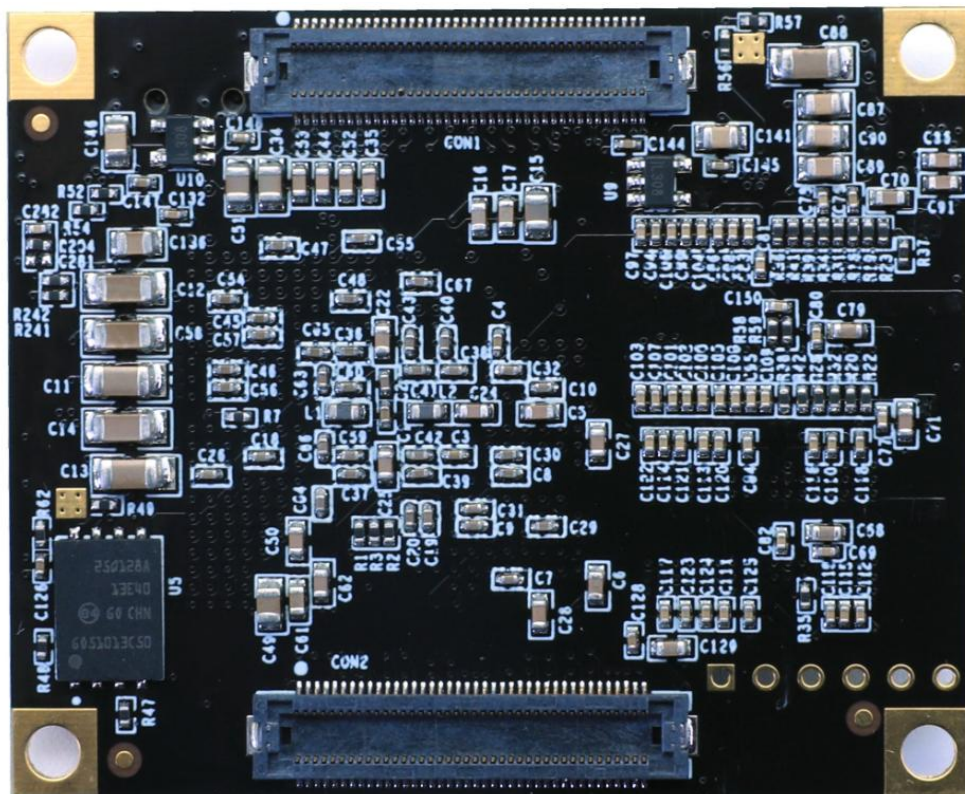
AC7050(核心板型号, 下同)核心板, 是基于 XILINX 公司的 Spartan 7 系列的 XC7S50FGGA484 这款芯片开发的高性能核心板, 具有高速, 高带宽, 高容量等特点, 适合高速数据通信, 视频图像处理, 高速数据采集等方面使用。

这款核心板使用了 2 片 Micron 公司的 MT41J256M16HA-125 这款 DDR3 芯片, 每片 DDR3 的容量为 4Gbit; 2 片 16 位数据宽度的 DDR3 芯片和 FPGA 芯片的组成总线宽度 32bit, 数据时钟频率高达 333.3Mhz; 这样的配置, 可以满足高带宽的数据处理的需求。板上的 128Mb QSPI FLASH 芯片的型号为 N25Q128, 用于存储 FPGA 系统的启动镜像文件。

这款核心板扩展出 114 个 FPGA 的 IO 口(默认 3.3V 电平标准), 其中有 65 个 IO 可以通过修改核心板上的 LDO 芯片来改变电平标准。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且, FPGA 芯片到接口之间走线做了等长和 12 对 LVDS 差分走线处理, 并且核心板尺寸仅为 45*55 (mm), 对于二次开发来说, 非常适合。



AC7050 核心板正面图



AC7050 核心板背面图

(二) FPGA

前面已经介绍过了,我们所使用的 FPGA 型号为 **XC7S50FGGA484**,属于 XILINX 公司最新的 Spartan7 系列的产品,速度等级为-1,温度等级为商业级。此型号为 **FGGA484** 封装,484 个引脚。XILINX Spartan7 FPGA 的芯片命名规则如下:

SPARTAN⁷										
XC	7	S	###	-1	FG	G	A	484	C	
Commercial Xilinx	Generation	Family	Logic Cells in 1K units	Speed Grade -1 = Slowest -L1 = Low Power -2 = Mid	Package Type CP: Wire-bond (.5mm) CS: Wire-bond (.8mm) FG: Wire-bond (1mm) FT: Wire-bond (1mm)	G: RoHS 6/6	Package Designator	Package Pin Count	Temperature Grade (C, I, Q)	

图 2-2-1 为开发板所用的 FPGA 芯片实物图。



图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 XC7S50 的主要参数如下所示：

		I/O Optimization at the Lowest Cost and Highest Performance-per-Watt (1.0V, 0.95V)					
	Part Number	XC7S6	XC7S15	XC7S25	XC7S50	XC7S75	XC7S100
Logic Resources	Logic Cells	6,000	12,800	23,360	52,160	76,800	102,400
	Slices	938	2,000	3,650	8,150	12,000	16,000
	CLB Flip-Flops	7,500	16,000	29,200	65,200	96,000	128,000
Memory Resources	Max. Distributed RAM (Kb)	70	150	313	600	832	1,100
	Block RAM/FIFO w/ ECC (36 Kb each)	5	10	45	75	90	120
	Total Block RAM (Kb)	180	360	1,620	2,700	3,240	4,320
Clock Resources	Clock Mgmt Tiles (1 MMCM + 1 PLL)	2	2	3	5	8	8
I/O Resources	Max. Single-Ended I/O Pins	100	100	150	250	400	400
	Max. Differential I/O Pairs	48	48	72	120	192	192
Embedded Hard IP Resources	DSP Slices	10	20	80	120	140	160
	Analog Mixed Signal (AMS) / XADC	0	0	1	1	1	1
	Configuration AES / HMAC Blocks	0	0	1	1	1	1
Speed Grades	Commercial Temp (C)	-1,-2	-1,-2	-1,-2	-1,-2	-1,-2	-1,-2
	Industrial Temp (I)	-1,-2,-1L	-1,-2,-1L	-1,-2,-1L	-1,-2,-1L	-1,-2,-1L	-1,-2,-1L
	Expanded Temp (Q)	-1	-1	-1	-1	-1	-1
Package ⁽¹⁾		Available User I/O: 3.3V SelectIO™ HR I/O					
	Body Area (mm)						
	CPGA196	8x8	100	100			
	CSGA225	13x13	100	100	150		
	CSGA324	15x15			150	210	
	FTGB196	15x15	100	100	100		
	FGGA484	23x23			250	338	338
	FGGA676	27x27				400	400

FPGA 供电系统

XILINX Spartan7 FPGA 电源有 VCCINT, VCCBRAM, VCCAUX 和 VCCIO。VCCINT

为 FPGA 内核供电引脚，需接+1.0V；V_{CC}BRAM为 FPGA Block RAM 的供电引脚；接 1.0V；V_{CCAUX}为 FPGA 辅助供电引脚，接 1.8V；V_{CCO}为 FPGA 的各个 BANK 的电压，包含 BANK0,BANK14, BANK15~16 ,BANK34~35 ,在 AC7050 核心板上 ,BANK34 , BANK35 因为需要连接 DDR3 , BANK 的电压连接的是 1.5V , 其它 BANK 的电压都是 3.3V , 其中 BANK15 和 BANK16 的 V_{CCO} 是由 LDO 供电，可以通过更换 LDO 芯片更改 BANK 的电平。

(三) 有源晶振

AC7050 核心板上配有一个 50Mhz 的有源差分晶振，用于 FPGA 的系统主时钟。晶振输出连接到 FPGA 的时钟输入管脚(IO_L13P_T2_MRCC_14, Pin P15)，这个时钟可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLLs 来实现更高的时钟。

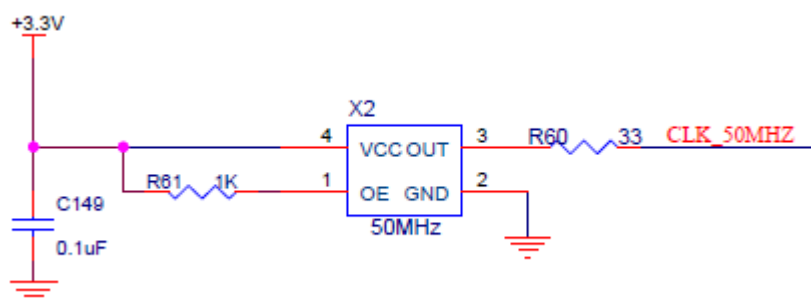


图 2-3-1 50Mhz 有源晶振

图 2-3-2 为 50Mhz 有源晶振实物图

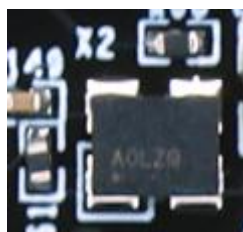


图 2-3-2 50M 有源晶振实物图

时钟引脚分配：

时钟网络名称	FPGA 引脚
CLK_50MHZ	P15

另外 AC7050 核心板上预留了一个有源差分晶振，默认为不安装。差分晶振输出连

接到 FPGA 的 BANK34 全局时钟管脚 MRCC(AA6 和 AB6)，用户可以根据需要来自己安装不同频率的时钟。

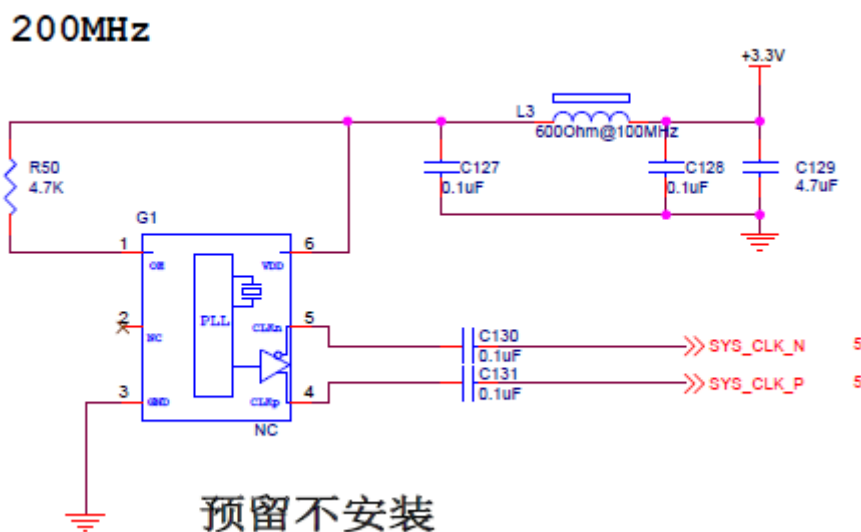


图 2-3-3 预留的有源差分晶振

预留差分时钟引脚分配：

引脚名称	FPGA 引脚
SYS_CLK_P	AA6
SYS_CLK_N	AB6

(四) DDR3

AC7050 核心板上配有两个 Micron(美光) 的 4Gbit (512MB) 的 DDR3 芯片(共计 8Gbit),型号为 MT41J256M16HA-125 (兼容 MT41K256M16HA-125)。DDR 的总线宽度共为 32bit。DDR3 SDRAM 的最高运行时钟速度可达 333.3MHz(数据速率 667Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK 34 和 BANK35 的存储器接口上。DDR3 SDRAM 的具体配置如下表 2-4-1 所示。

表 2-4-1 DDR3 SDRAM 配置

位号	芯片类型	容量	厂家
U5,U6	MT41J256M16HA-125	256M x 16bit	micron

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR3 的高

速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 2-4-所示:

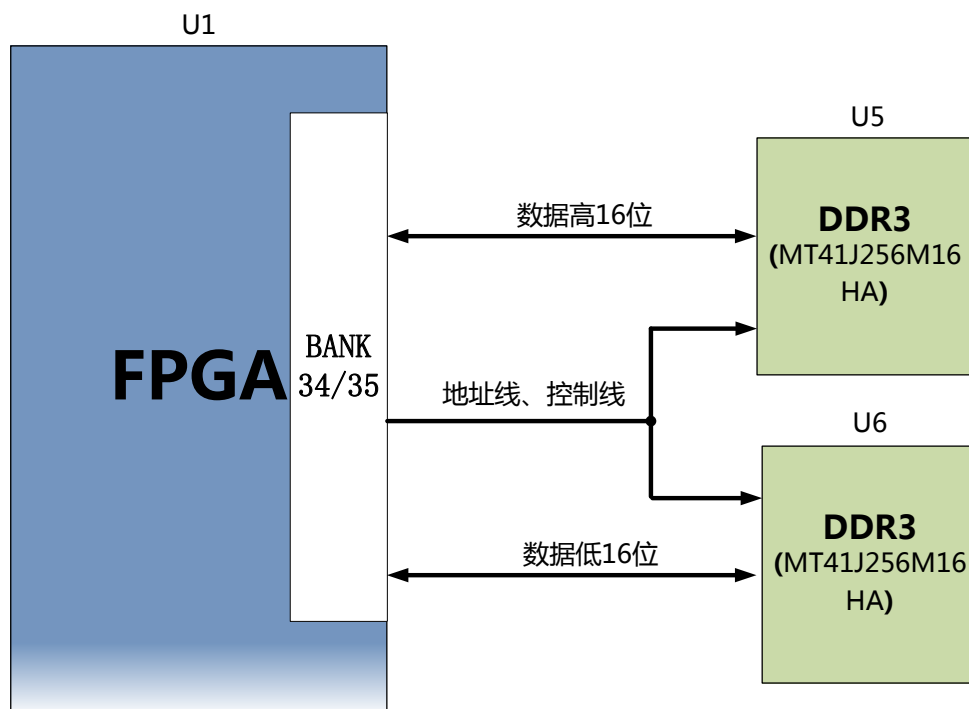


图2-4-1 DDR3 DRAM原理图示意图

图 2-4-2 为 DDR3 DRAM 实物图



图2-4-2 DDR3 DRAM实物图

DDR3 DRAM 引脚分配：

信号名称	FPGA 引脚名	FPGA 管脚号
DDR3_DQS0_P	IO_L2N_T0_AD12N_35	J2
DDR3_DQS0_N	IO_L3P_T0_DQS_AD5P_35	J1
DDR3_DQS1_P	IO_L9P_T1_DQS_AD7P_35	L5
DDR3_DQS1_N	IO_L9N_T1_DQS_AD7N_35	K5
DDR3_DQS2_P	IO_L15P_T2_DQS_35	M2
DDR3_DQS2_N	IO_L15N_T2_DQS_35	M1
DDR3_DQS3_P	IO_L21P_T3_DQS_35	P6
DDR3_DQS3_N	IO_L21N_T3_DQS_35	N6
DDR3_DQ[0]	IO_L1N_T0_AD4N_35	H2
DDR3_DQ [1]	IO_L4N_T0_35	K2
DDR3_DQ [2]	IO_L2N_T0_AD12N_35	H3
DDR3_DQ [3]	IO_L5P_T0_AD13P_35	H6
DDR3_DQ [4]	IO_L5N_T0_AD13N_35	H5
DDR3_DQ [5]	IO_L6P_T0_35	K6
DDR3_DQ [6]	IO_L2P_T0_AD12P_35	H4
DDR3_DQ [7]	IO_L1P_T0_AD4P_35	J3
DDR3_DQ [8]	IO_L12P_T1_MRCC_35	M8
DDR3_DQ [9]	IO_L11P_T1_SRCC_35	L8
DDR3_DQ [10]	IO_L8N_T1_AD14N_35	L6
DDR3_DQ [11]	IO_L7P_T1_AD6P_35	J8
DDR3_DQ [12]	IO_L10N_T1_AD15N_35	K4
DDR3_DQ [13]	IO_L11N_T1_SRCC_35	K8
DDR3_DQ [14]	IO_L10P_T1_AD15P_35	L4
DDR3_DQ [15]	IO_L7N_T1_AD6N_35	J7
DDR3_DQ [16]	IO_L14P_T2_SRCC_35	L1
DDR3_DQ [17]	IO_L18P_T2_35	P3
DDR3_DQ [18]	IO_L14N_T2_SRCC_35	K1
DDR3_DQ [19]	IO_L16P_T2_35	N4

DDR3_DQ [20]	IO_L17N_T2_35	N1
DDR3_DQ [21]	IO_L17P_T2_35	P1
DDR3_DQ [22]	IO_L13N_T2_MRCC_35	M3
DDR3_DQ [23]	IO_L16N_T2_35	N3
DDR3_DQ [24]	IO_L24N_T3_35	R4
DDR3_DQ [25]	IO_L23N_T3_35	R6
DDR3_DQ [26]	IO_L22P_T3_35	P7
DDR3_DQ [27]	IO_L20P_T3_35	N5
DDR3_DQ [28]	IO_L23P_T3_35	R7
DDR3_DQ [29]	IO_L22N_T3_35	N7
DDR3_DQ [30]	IO_L19P_T3_35	P8
DDR3_DQ [31]	IO_L24P_T3_35	R5
DDR3_DM0	IO_L4P_T0_35	K3
DDR3_DM1	IO_L8P_T1_AD14P_35	L7
DDR3_DM2	IO_L13P_T2_MRCC_35	M4
DDR3_DM3	IO_L20N_T3_35	M5
DDR3_A[0]	IO_L10N_T1_34	Y3
DDR3_A[1]	IO_L11N_T1_SRCC_34	U3
DDR3_A[2]	IO_L4P_T0_34	T5
DDR3_A[3]	IO_L2P_T0_34	T7
DDR3_A[4]	IO_L1P_T0_34	W5
DDR3_A[5]	IO_L2N_T0_34	T6
DDR3_A[6]	IO_L7N_T1_34	W1
DDR3_A[7]	IO_L4N_T0_34	U5
DDR3_A[8]	IO_L1N_T0_34	W4
DDR3_A[9]	IO_L14P_T2_SRCC_34	Y6
DDR3_A[10]	IO_L14N_T2_SRCC_34	Y5
DDR3_A[11]	IO_L8P_T1_34	W2
DDR3_A[12]	IO_L9N_T1_DQS_34	U1
DDR3_A[13]	IO_L11P_T1_SRCC_34	U4
DDR3_A[14]	IO_L15P_T2_DQS_34	Y4

DDR3_BA[0]	IO_L8N_T1_34	Y1
DDR3_BA[1]	IO_L9P_T1_DQS_34	U2
DDR3_BA[2]	IO_L10P_T1_34	W3
DDR3_S0	IO_L7P_T1_34	V1
DDR3_RAS	IO_L5P_T0_34	V7
DDR3_CAS	IO_L6P_T0_34	T8
DDR3_WE	IO_L6N_T0_VREF_34	U8
DDR3_ODT	IO_L5N_T0_34	V6
DDR3_RESET	IO_L17N_T2_34	AA1
DDR3_CLK_P	IO_L12P_T1_MRCC_34	T3
DDR3_CLK_N	IO_L12N_T1_MRCC_34	T2
DDR3_CKE	IO_L3N_T0_DQS_34	V4

(五) QSPI Flash

核心板上使用了一片 128Mbit 大小的 QSPI FLASH 芯片，型号为 N25Q128，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U8	N25Q128	128M Bit	Numonyx

表2-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK0 和 BANK14 的专用管脚上，其中时钟管脚连接到 BANK0 的 CCLK0 上，其它数据和片选信号分别连接到 BANK14 的 D00~D03 和 FCS 管脚上。图 2-5-1 为 QSPI Flash 在硬件连接示意图。

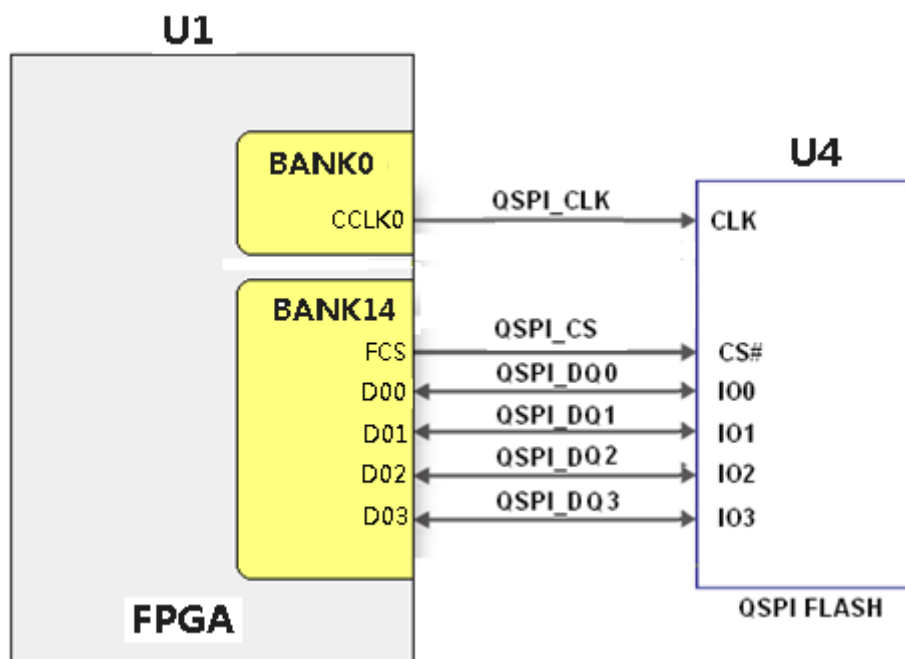


图2-5-1 QSPI Flash连接示意图

配置芯片引脚分配：

信号名称	FPGA 引脚名	FPGA 管脚号
QSPI_CLK	CCLK_0	D9
QSPI_CS	IO_L6P_T0_FCS_B_14	N17
QSPI_DQ0	IO_L1P_T0_D00_MOSI_14	M21
QSPI_DQ1	IO_L1N_T0_D01_DIN_14	M22
QSPI_DQ2	IO_L2P_T0_D02_14	N21
QSPI_DQ3	IO_L2N_T0_D03_14	N22

图 2-5-2 为开发板上 QSPI Flash 的实物图(核心板背面)



图 2-5-2 QSPI FLASH 部分实物图

(六)LED 灯

AC7050 核心板上有 3 个红色 LED 灯,其中 1 个是电源指示灯(PWR),1 个是配置 LED 灯(DONE),另外一个为用户 LED 灯(LED1)。当核心板供电后,电源指示灯会亮起;当 FPGA 配置程序后,配置 LED 灯会熄灭。用户 LED 灯用户连接到 BANK16 的 IO 上,可以通过程序来控制亮和灭,当连接用户 LED 灯的 IO 电压为高时,用户 LED 灯熄灭,当连接 IO 电压为低时,用户 LED 会被点亮。LED 灯硬件连接的示意图如图 2-6-1 所示:

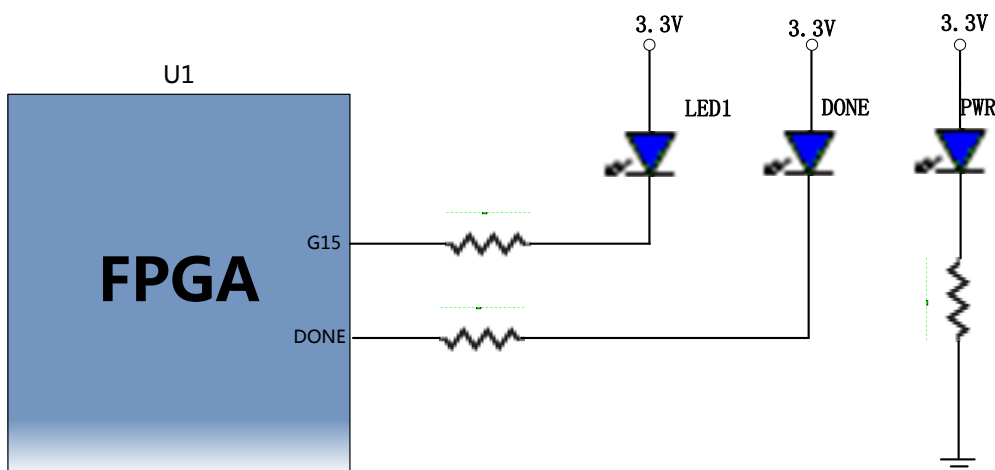


图 2-6-1 核心板 LED 灯硬件连接示意图

图 2-6-2 为核心板上的 LED 灯实物图

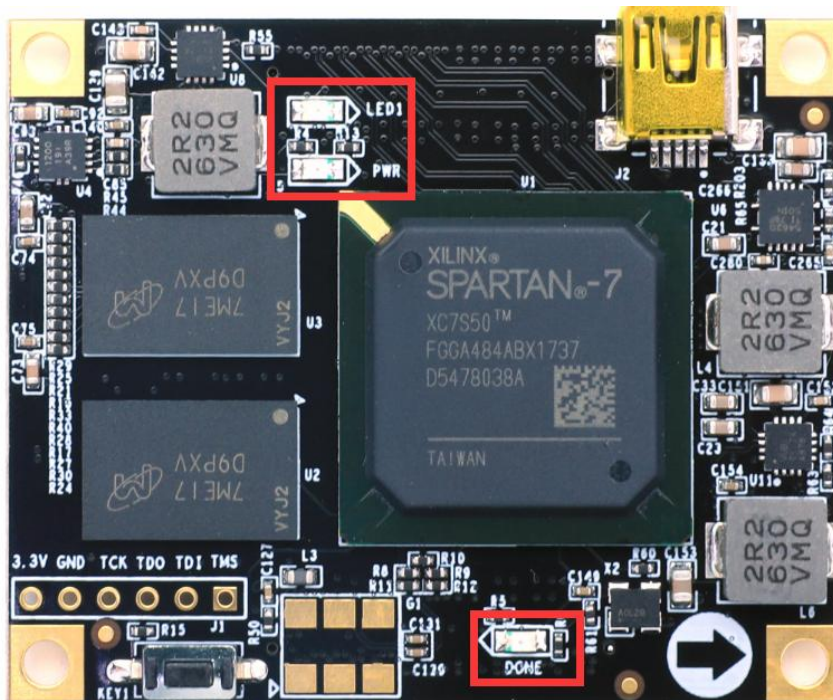


图 2-6-2 核心板的 LED 灯实物图

用户 LED 灯的引脚分配

信号名称	FPGA 管脚号	备注
LED1	G15	用户LED灯

(七) JTAG 接口

在 AC7050 核心板上我们也预留了 JTAG 的测试座 J1 ,用来核心板单独 JTAG 下载和调试 , 图 2-7-1 就是 JTAG 口的原理图部分 , 其中涉及到 TMS,TDI,TDO,TCK,GND,+3.3V 这六个信号。

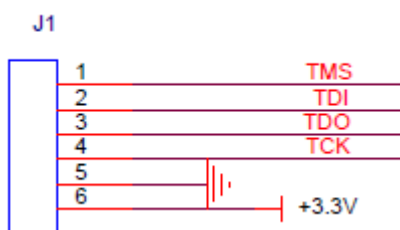


图 2-7-1 核心板原理图中 JTAG 接口部分

核心板上 JTAG 接口 J1 采用 6 针的 2.54mm 间距的单排测试孔，用户如果需要在核心板上用 JTAG 连接调试的话，需要焊接 6 针的单排排针。图 2-7-2 为 JTAG 接口在开发板上的实物图



图 2-7-2 JTAG 接口实物图

(八) 电源接口

为了能使核心板单独工作，我们为核心板预留了 Mini USB 接口，通过 USB 线连接电脑的 USB 口给核心板进行+5V 供电。这样用户就可以无需底板的情况下调试核心板的功能。Mini USB 口在核心板上的接口是 J2, 当用户通过 Mini USB 口 (J2) 给核心板供电时，不能再通过底板供电，否则会造成电流冲突，可能会烧坏电脑的 USB 接口。

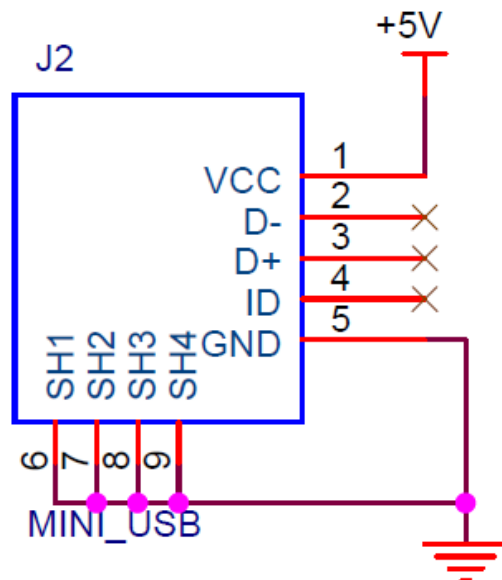


图 2-8-1 MINI USB 接口电路

图 2-8-2 为 Mini USB 接口在开发板上的实物图

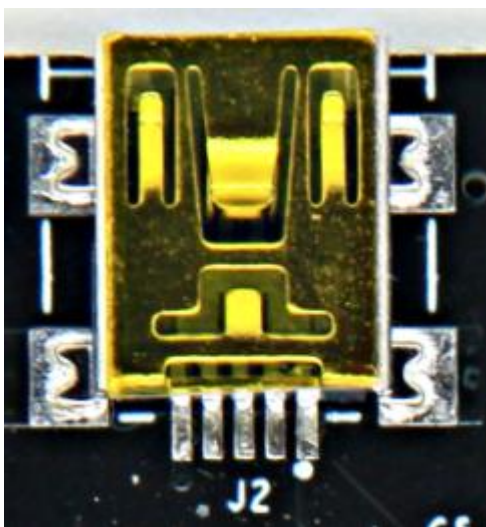


图 2-8-2 MINI USB 接口实物图

(九) 扩展接口

核心板的背面一共扩展出 2 个高速扩展口，使用 2 个 80Pin 的板间连接器和底板连接，FPGA 的 IO 口和差分信号通过通过这 2 个扩展口跟底板连接。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器连接来实现核心板和底板的高速数据通信。

扩展口 CON1

80Pin 的连接器 CON1 用来连接 FPGA 的普通 IO (其中包含 6 对差分方式的 IO , 可作为 LVDS 数据通信使用), 默认 IO 的电平标准为 3.3V。CON1 扩展口的管脚分配如表 2-9-1 所示 :

2-9-1 表 : 扩展口 CON1 引脚分配

CON1 管脚	信号 名称	FPGA 管脚号	输入/ 输出	CON1 管脚	信号 名称	FPGA 管脚号	输入/ 输出
PIN1	B15_L10_P	E22	I/O	PIN2	B15_L11_P	F21	I/O
PIN3	B15_L10_N	D22	I/O	PIN4	B15_L11_N	F22	I/O
PIN5	B15_L7_P	B21	I/O	PIN6	B15_L20_P	G21	I/O
PIN7	B15_L7_N	B22	I/O	PIN8	B15_L20_N	G22	I/O
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	B15_L9_P	D21	I/O	PIN12	B15_L12_P	F19	I/O
PIN13	B15_L9_N	C22	I/O	PIN14	B15_L12_N	F20	I/O
PIN15	B15_L8_P	D20	I/O	PIN16	B16_L24_P	E19	I/O
PIN17	B15_L8_N	C20	I/O	PIN18	B16_L24_N	D19	I/O
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	B16_L20_P	C19	I/O	PIN22	B16_L22_P	E17	I/O
PIN23	B16_L20_N	B19	I/O	PIN24	B16_L22_N	E18	I/O
PIN25	B16_L19_P	D18	I/O	PIN26	B16_L16_P	E15	I/O
PIN27	B16_L19_N	C18	I/O	PIN28	B16_L16_N	E16	I/O
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	B16_L15_P	D16	I/O	PIN32	B16_L6_P	G14	I/O
PIN33	B16_L15_N	C17	I/O	PIN34	B16_L6_N	F15	I/O
PIN35	B16_L13_P	C15	I/O	PIN36	B16_L4_P	F13	I/O
PIN37	B16_L13_N	C16	I/O	PIN38	B16_L4_N	F14	I/O
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B16_L23_N	A20	I/O	PIN42	B16_IO0	G13	I/O
PIN43	B16_L23_P	B20	I/O	PIN44	B16_L17_N	A14	I/O
PIN45	GND	-	地	PIN46	B16_L17_P	B14	I/O
PIN47	B16_L21_N	A19	I/O	PIN48	B16_L7_N	C13	I/O
PIN49	B16_L21_P	A18	I/O	PIN50	B16_L7_P	D13	I/O
PIN51	GND	-	地	PIN52	GND	-	地

PIN53	B16_L18_N	A17	I/O	PIN54	B16_L11_P	D14	I/O
PIN55	B16_L18_P	A16	I/O	PIN56	B16_L11_N	D15	I/O
PIN57	GND	-	地	PIN58	B16_L12_P	D12	I/O
PIN59	B16_L14_N	B16	I/O	PIN60	B16_L12_N	C12	I/O
PIN61	B16_L14_P	B15	I/O	PIN62	B16_L5_N	E12	I/O
PIN63	GND	-	地	PIN64	GND	-	地
PIN65	B16_L9_N	A13	I/O	PIN66	B16_L5_P	F12	I/O
PIN67	B16_L9_P	B13	I/O	PIN68	B16_L3_N	D11	I/O
PIN69	GND	-	地	PIN70	B16_L3_P	E11	I/O
PIN71	B16_L8_N	A12	I/O	PIN72	B16_L1_N	F11	I/O
PIN73	B16_L8_P	A11	I/O	PIN74	B16_L1_P	G11	I/O
PIN75	GND	-	地	PIN76	GND	-	地
PIN77	B16_L10_N	C11	I/O	PIN78	B16_L2_N	F10	I/O
PIN79	B16_L10_P	C10	I/O	PIN80	B16_L2_P	G10	I/O

其中 B16_L23_P/N, B16_L21_P/N, B16_L18_P/N, B16_L14_P/N, B16_L9_P/N 和 B16_L8_P/N 的管脚在 PCB 上以差分方式引出, 可以作为高速 LVDS 数据通信使用。

图 2-9-1 为 CON1 扩展口连接器的实物图, 连接器的 Pin1 已经在板上用圆点标示出。

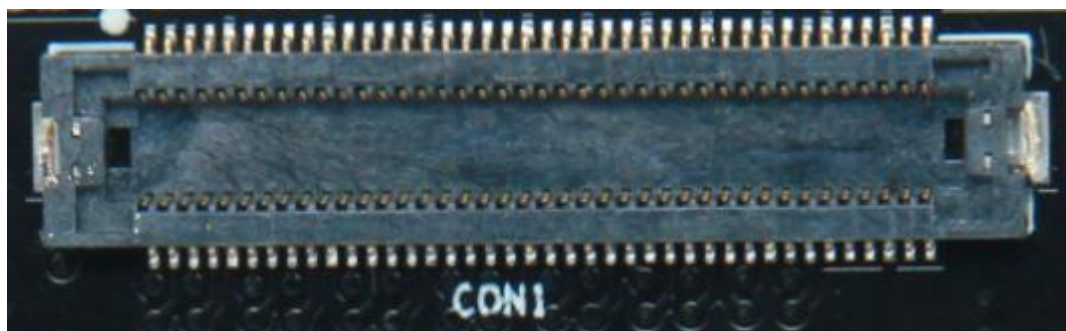


图 2-9-1 CON1 扩展口连接器的实物图

扩展口 CON2

80Pin 的连接器 CON2 用来连接核心板的 +5V 电源, JTAG 接口信号和 FPGA 的普通 IO 口 (其中包含 6 对差分方式的 IO, 可作为 LVDS 数据通信使用) 到底板, IO 的电压标准默认都是 3.3V 的。CON2 扩展口的管脚分配如表 2-9-2 所示:

2-9-2 表: 扩展口 CON2 引脚分配

CON2 管脚	信号 名称	FPGA 管脚号	输入/ 输出	CON2 管脚	信号 名称	FPGA 管脚号	输入/ 输出
PIN1	+5V	-	电源	PIN2	+5V	-	电源
PIN3	+5V	-	电源	PIN4	+5V	-	电源
PIN5	+5V	-	电源	PIN6	+5V	-	电源
PIN7	+5V	-	电源	PIN8	+5V	-	电源
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	B14_L4_N	P22	I/O	PIN12	B14_L5_P	N20	I/O
PIN13	B14_L4_P	P21	I/O	PIN14	B14_L5_N	P20	I/O
PIN15	B14_L7_N	T22	I/O	PIN16	B14_L20_N	AA22	I/O
PIN17	B14_L7_P	T21	I/O	PIN18	B14_L20_P	Y22	I/O
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	B14_L9_P	U22	I/O	PIN22	B14_L22_N	AB21	I/O
PIN23	B14_L9_N	V22	I/O	PIN24	B14_L22_P	AA21	I/O
PIN25	B14_L8_N	W22	I/O	PIN26	B14_L23_P	AB19	I/O
PIN27	B14_L8_P	V21	I/O	PIN28	B14_L23_N	AB20	I/O
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	B14_L24_N	V19	I/O	PIN32	B14_L19_P	Y20	I/O
PIN33	B14_L24_P	V18	I/O	PIN34	B14_L19_N	AA20	I/O
PIN35	B14_L12_N	U19	I/O	PIN36	B14_L21_P	W18	I/O
PIN37	B14_L12_P	U18	I/O	PIN38	B14_L21_N	Y19	I/O
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B14_L15_N	U17	I/O	PIN42	B15_L14_N	M18	I/O
PIN43	B14_L15_P	T17	I/O	PIN44	B15_L14_P	M17	I/O
PIN45	B14_L16_N	R17	I/O	PIN46	GND	-	地
PIN47	B14_L16_P	R16	I/O	PIN48	B15_L16_N	K19	I/O
PIN49	B14_IO0	N15	I/O	PIN50	B15_L16_P	K18	I/O
PIN51	GND	-	地	PIN52	GND	-	地
PIN53	B14_L14_N	R18	I/O	PIN54	B15_L5_N	J16	I/O
PIN55	B14_L14_P	P17	I/O	PIN56	B15_L5_P	K16	I/O
PIN57	B14_L10_N	Y21	I/O	PIN58	GND	-	地

PIN59	B14_L10_P	W21	I/O	PIN60	B15_L13_N	L15	I/O
PIN61	B14_L11_N	V20	I/O	PIN62	B15_L13_P	M15	I/O
PIN63	GND	-	地	PIN64	GND	-	地
PIN65	B14_L11_P	U20	I/O	PIN66	B15_L6_N	J15	I/O
PIN67	B14_L18_N	T20	I/O	PIN68	B15_L6_P	K15	I/O
PIN69	B14_L18_P	T19	I/O	PIN70	GND	-	地
PIN71	B14_L17_N	R20	空脚	PIN72	B15_L4_N	G16	I/O
PIN73	B14_L17_P	R19	空脚	PIN74	B15_L4_P	H16	I/O
PIN75	GND	-	地	PIN76	GND	-	地
PIN77	TDI	W9	O	PIN78	TCK	G9	O
PIN79	TMS	Y10	O	PIN80	TDO	W10	I

其中 B15_L14_P/N, B15_L16_P/N, B15_L5_P/N, B15_L13_P/N, B15_L6_P/N 和 B15_L4_P/N 的管脚在 PCB 上以差分方式引出，可以作为高速 LVDS 数据通信使用。

图 2-9-2 为 CON2 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。



图 2-9-2 CON2 扩展口连接器的实物图

(十)电源

AC7050 核心板供电电压为+5V，单独使用时通过 Mini USB 接口供电，连接底板时通过底板供电，请注意不要 Mini USB 和底板同时供电，以免造成损坏。板上的电源设计示意图如下图 2-10-1 所示:

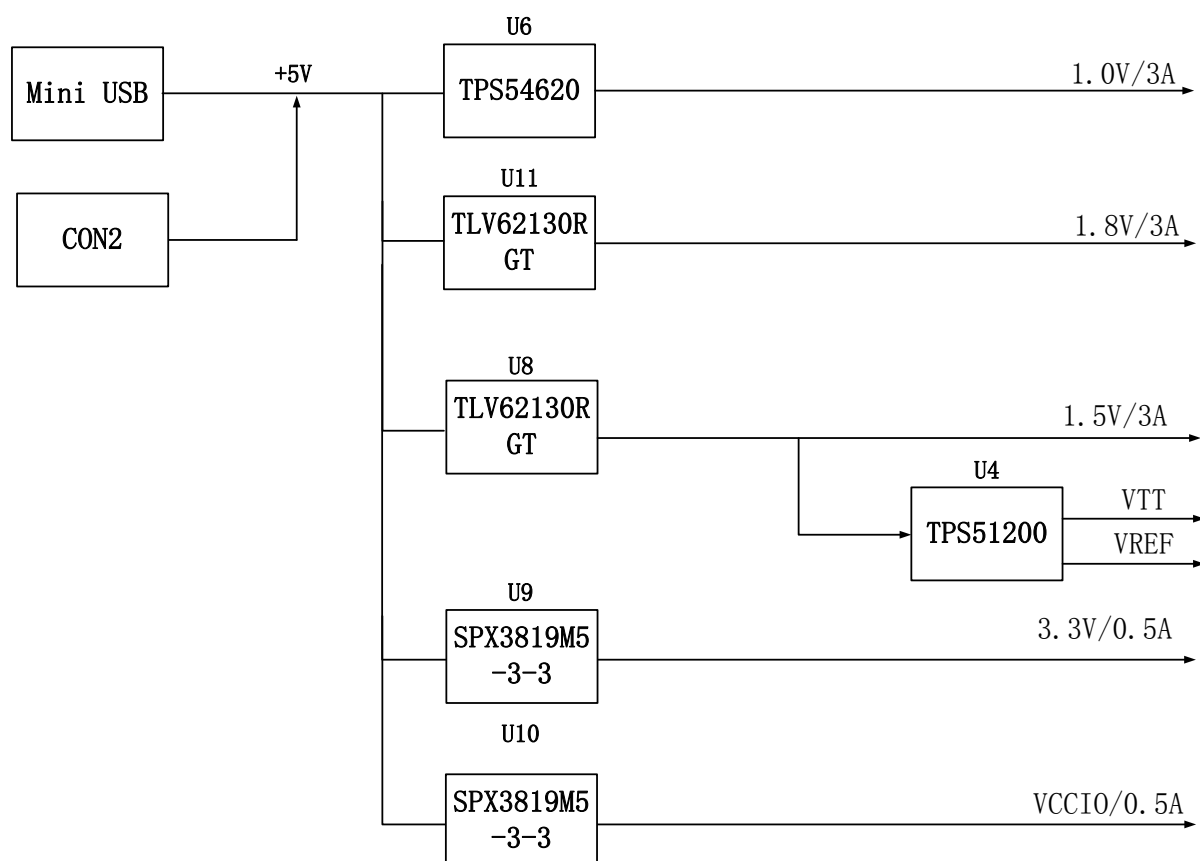
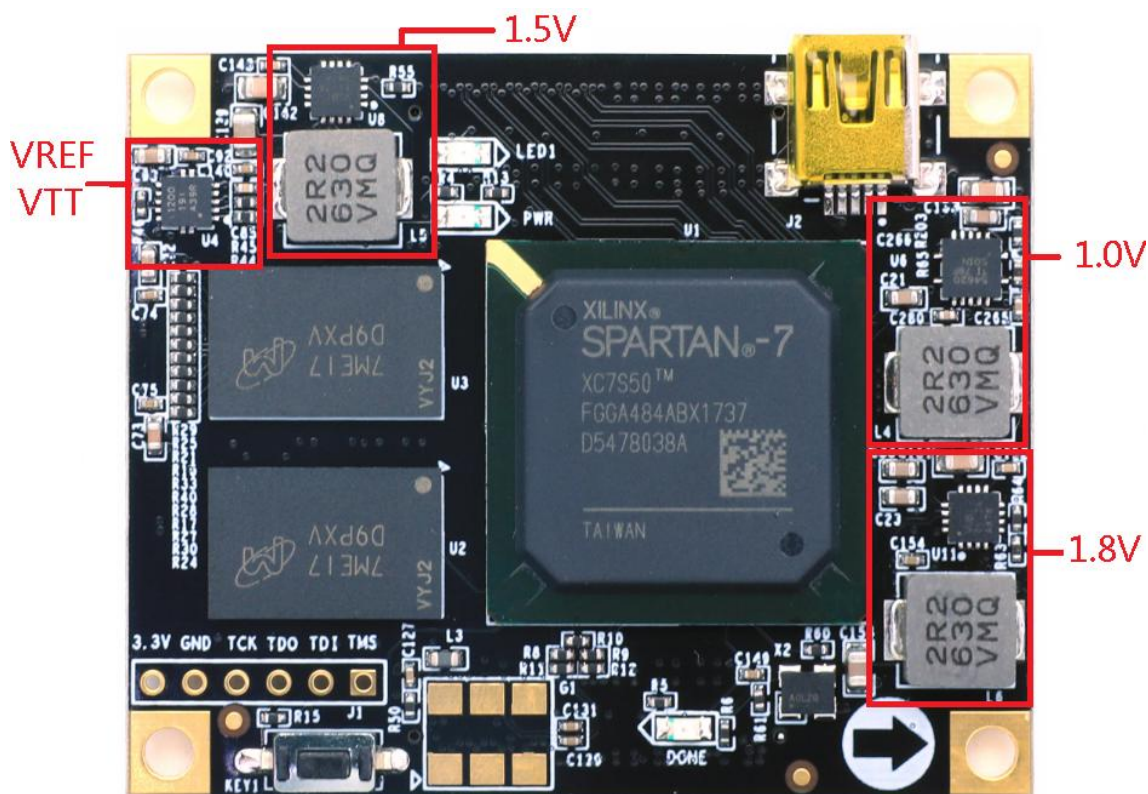


图 2-10-1 原理图中电源接口部分

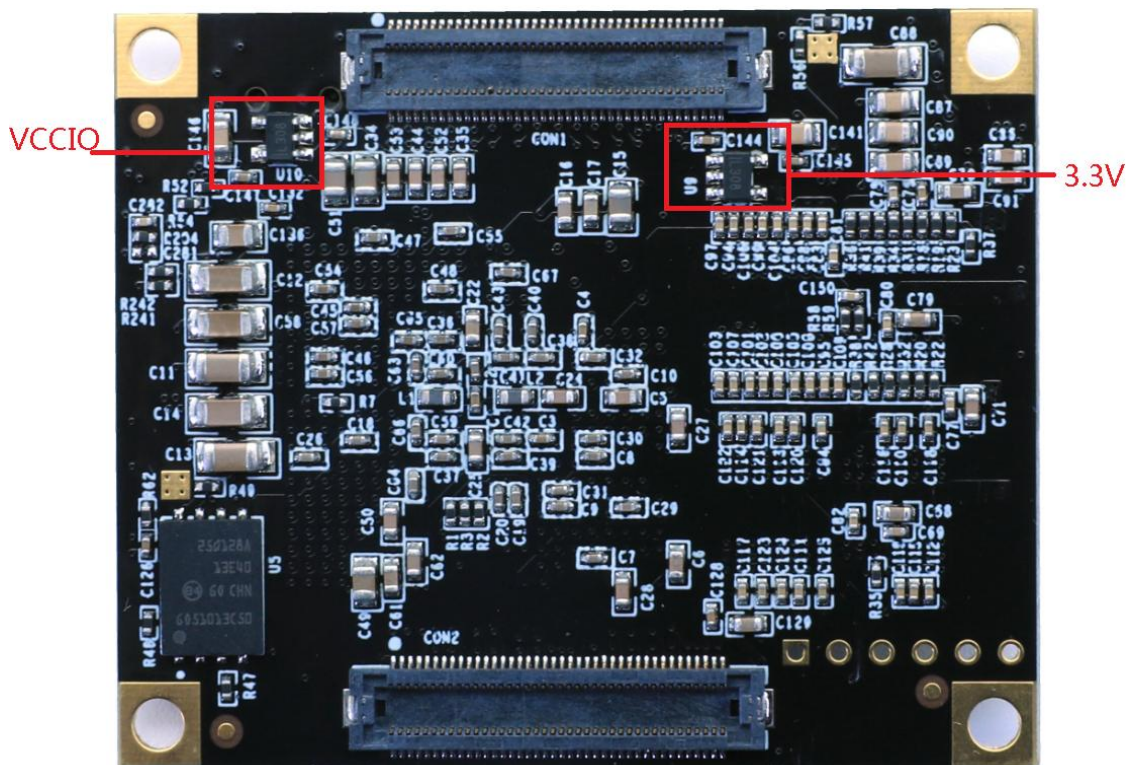
核心板通过+5V 供电, 通过 1 路 DC/DC 电源芯片 TPS54620 转化成+1.0V , 输出电流可高达 6A。通过 2 路 DC/DC 电源芯片 TLV62130RGT 转化成+1.8V , +1.5V 两路电源, 每路输出电流可高达 3A。另外通过 2 路 LDO SPX3819M5-3-3 产生 VCCIO 电源和+3.3V 电源, VCCIO 主要是对 FPGA 的 BANK15 , BANK16 进行供电, 用户可以通过更换其它的 LDO 芯片, 使得 BANK15 , 16 的 IO 适应不同的电压标准, 使得连接到 BANK15 和 BANK16 的差分信号实现不同电平标准的 LVDS 数据通信。各个电源分配的功能如下表所示:

电源	功能
+3.3V	FPGA Bank0, Bank14 的 VCCIO, QSIP FLASH, Clock 晶振
+1.8V	FPGA 辅助电压
+1.0V	FPGA 的核心电压
+1.5V	DDR3, FPGA Bank34 和 Bank35
VREF, VTT (+0.75V)	DDR3
VCCIO(+3.3V)	FPGA Bank15, Bank16

AC7050 核心板的电源电路在板上的分别实物图所下图 2-11-2 和 2-11-3 所示。

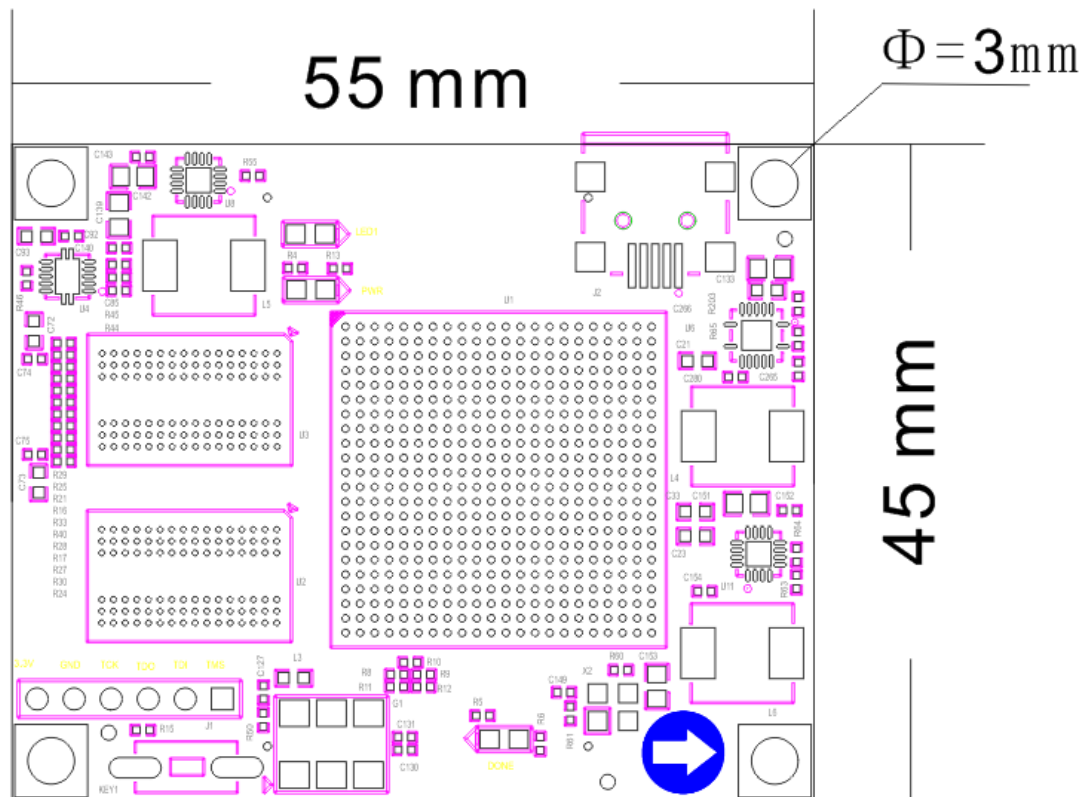


2-11-2 核心板电源部分实物图（正面）

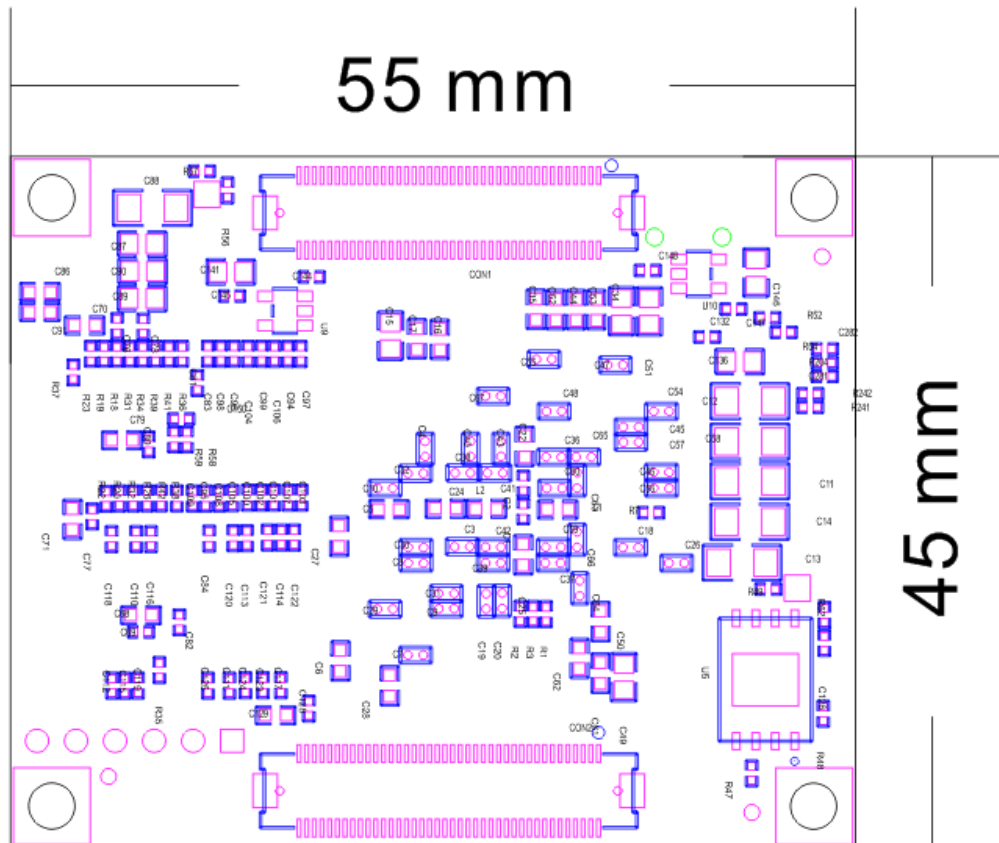


2-11-3 核心板电源部分实物图（背面）

(十一) 结构图



正面图 (Top View)



背面图 (Bottom View)