

SEP4020处理器

Data sheet

V1.2

南京博芯电子技术有限公司

2009 年 10 月

This document contains information on a product under development. Prochip reserves the right to change or discontinue this product without notice.

© Prochip, 2009. All rights reserved.

版权说明

版权所有。没有南京博芯信息技术有限公司的许可，这份说明文档不可以被复制或以任何形式或方式（电子的或是机械的）传播，包括影印，记录或是用其他任何信息存储及检索系统。文档所描述的任何一种电路对于第三方没有专利权及专利特许权。

否认书：

南京博芯信息技术有限公司保留对文档随时进行修改的权利，无须任何申明。南京博芯信息技术有限公司所提供的信息是精确可靠的。对于它的应用以及由于应用而导致违反专利权或是第三方的其他权利，本公司不负任何责任。

版本历史

时间	版本号	备注	作者
2008-9-12	1.0	创建文档	武建平
2009-4-11	1.1	修改文档细节，整改格式	武建平
2009-10-15	1.2	修改功耗测试部分，添加最新测试数据	袁东

目 录

版本历史	- 3 -
目 录	- 4 -
第 1 章 绪 论	- 5 -
1.1 规 约	- 5 -
1.2 参考文档	- 5 -
第 2 章 处理器简介	- 6 -
2.1 概述	- 6 -
第 3 章 封装尺寸及管脚定义	- 7 -
3.1 封装尺寸定义	- 7 -
3.2 管脚分布	- 8 -
第 4 章 电气参数	- 12 -
4.1 最大额定值	- 12 -
4.2 推荐工作范围	- 12 -
4.3 DC 电气参数	- 12 -
4.4 AC 电气参数	- 13 -
4.5 EMI 接口	- 14 -
4.5.1 SRAM 时序参数	- 14 -
4.5.2 NAND FLASH 时序参数	- 15 -
4.5.3 SDRAM 时序参数	- 18 -
4.6 LCDC 接口时序参数	- 19 -
4.6.1 STN 屏接口参数	- 19 -
4.6.2 TFT 屏接口参数	- 20 -
4.7 通用串口/红外 (UART/IrDA)	- 22 -
4.8 系统主时钟 DPLL 参数说明	- 23 -
4.8.1 介 绍	- 23 -
4.8.2 结构描述	- 23 -
4.8.3 性能参数	- 24 -
4.8.4 原理介绍	- 24 -
4.9 功耗测试	- 26 -
4.9.1 动态功耗	- 26 -
4.9.2 特殊模式的功耗	- 28 -
4.9.3 低电压模式的功耗	- 30 -
4.9.4 高低温环境下的功耗	- 33 -
4.9.5 RTC 功耗	- 34 -

第 1 章 绪 论

本文档介绍东南大学国家专用集成电路系统工程技术研究中心所设计之嵌入式微处理器SEP4020的电气、机械及热力学方面的各项参数。本文档在对一些用到的表达方式进行了规约后，先介绍了SEP4020的大体功能和结构，然后是芯片的封装、物理尺寸、管脚的排布及说明，最后给出的是SEP4020的限额、AC、DC 等各项电气性能参数，最佳储藏和工作的温度范围，以及各模块的工作波形及时序关系等。关于芯片及各模块的更详细的功能描述请参阅SEP4020用户手册（*User Manual*）。

1.1 规 约

本文档使用如下表达方式：

- ◆ nXXX 表示信号被拉低时有效，如nRESET。
- ◆ 逻辑高电平 表示与布尔真值true（1）相关
- ◆ 逻辑低电平 表示与布尔真值false（0）相关
- ◆ 设置 某个或某些位为1 表示建立逻辑高电平
- ◆ 清除 某个或某些位为0 表示建立逻辑低电平
- ◆ 管脚（*pin*）表示外围物理连接点，一个管脚可与多路信号进行连接
- ◆ 低有效 表示信号从逻辑高电平变成逻辑低电平时起作用
- ◆ 高有效 表示信号从逻辑低电平变成逻辑高电平时起作用
- ◆ *LSB* 表示最低位
- ◆ *MSB* 表示最高位
- ◆ *0x* 在数字前面代表该数字为十六进制

1.2 参考文档

- ◆ *ARM Architecture Reference Manual (ARM Ltd., order number ARM DDI 0100)*
- ◆ *ARM7TDMI Data Sheet (ARM Ltd., order number ARM DDI 0029)*
- ◆ *SEP4020 用户手册 V2.0 (Prochip)*
- ◆ *SEP4020应用开发手册 (Prochip)*

上述与SEP4020相关的文档可以www.prochip.com.cn上进行下载，与ARM Core相关的文档可以在英国

ARM公司主页<http://www.arm.com>上进行下载。

第 2 章 处理器简介

2.1 概述

SEP4020 由东南大学国家专用集成电路系统工程技术研究中心设计，采用 0.18um 标准 CMOS 的工艺设计，内嵌 ASIX CORE (32 位 RISC 内核，带 8KB 指令数据 Cache)，SEP4020 芯片中集成各种功能包括：

- 8/16 位 SRAM/NOR FLASH 接口，16 位 SDRAM 接口
- 硬件 NAND FLASH 控制器，支持 NAND FLASH 自启动
- 10M/100M 自适应以太网 MAC，支持 RMII 接口
- 64K Byte 高速片上 SRAM
- USB1.1 Device，全速 12Mbps
- 支持 IIS 音频接口
- 支持 MMC/SD 卡
- LCD 控制器，支持 TFT 彩屏和 STN 黑白、灰度屏
- RTC，支持日历功能/WatchDog，支持后备电源
- 10 通道 TIMER，支持捕获、外部时钟驱动和 MATCH OUT
- 4 通道 PWM，支持高速 GPIO
- 4 通道 UART，均支持红外
- 2 通道 SSI，支持 SPI 和 Microwire 协议
- 2 通道 SmartCard 接口，兼容 ISO7816 协议
- 支持最多 97 个 GPIO，14 个外部中断
- 支持外部 DMA 传输
- 片上 DPLL，支持多种功耗模式，IDLE、SLOW、NORMAL、SLEEP

3.2 管脚分布

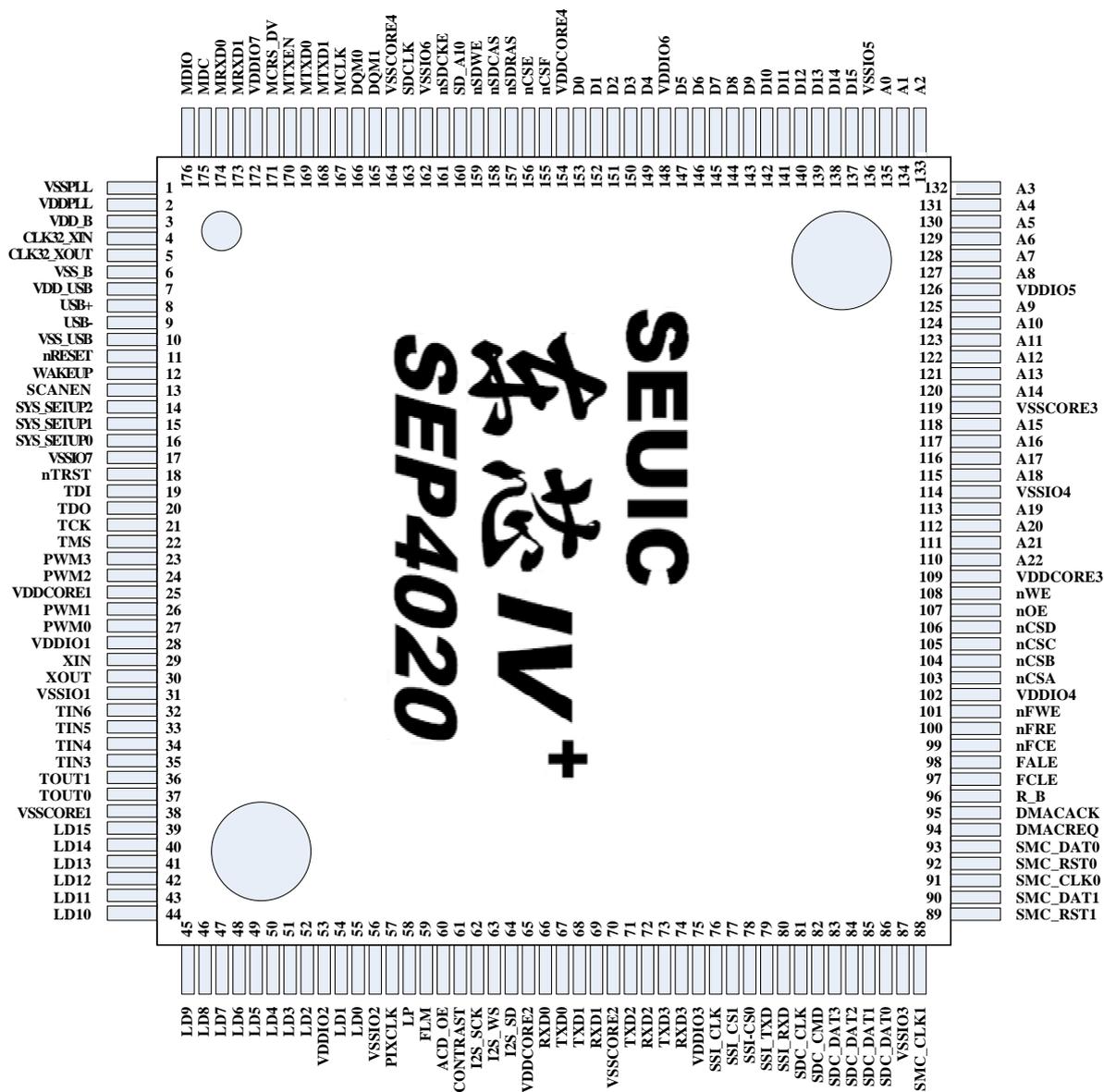


图 3.2 SEP4020 管脚分布图

管脚定义

管脚名	专用信号方向	描述	驱动 电流 (mA)	属性	复位值
全局 (10)					
nRESET	I	芯片 Reset, 低电平有效	4	PU	-
XIN	CI	晶振的时钟输入	4	-	-
XOUT	CO	晶振的时钟输出	4	-	-
WAKEUP	I	系统唤醒信号	4	PD	-
SCANENABLE	I	测试扫描使能	4	-	-
SYS_SETUP[2:0]	I	系统配置, 包括 NAND 启动、NAND 启动配置、TestMode 和 ScanEnable 000: NOR FLASH 启动 001: NAND 启动, NAND 为 512, 地址 3 级 010: NAND 启动, NAND 为 512, 地址 4 级 011: NAND 启动, NAND 为 2K, 地址 4 级 100: NAND 启动, NAND 为 2K, 地址 5 级 101: 测试内部 Memory、ASIXCORE 和 DPLL 110: 测试随机逻辑 Others: 测试随机逻辑	4	PD	-
VDD_PLL	P	数字锁相环电源, +1.8V	-	-	-
VSS_PLL	P	数字锁相环地	-	-	-
EMI (63)					
A[20:0] A[22:21]	0	地址总线	4		1' H0
D[15:0]	I/O	数据总线	4		-
nCSA	0	SRAM/NOR FLASH 片选	4		1, H1
nCSB	0	SRAM/NOR FLASH 片选	4		1, H1
nCSC	0	SRAM/NOR FLASH 片选	4		1, H1
nCSD	0	SRAM/NOR FLASH 片选	4		1, H1
nWE	0	SRAM/NOR FLASH 写使能	4		1, H1
nOE	0	SRAM/NOR FLASH 读使能	4		1, H1
nSDCSE	0	SRAM/NOR FLASH/SDRAM 片选, 缺省 SDRAM 片选	4		1, H1
nSDCSF	0	SRAM/NOR FLASH/SDRAM 片选, 缺省 SRAM/NOR FLASH 片选	4		1, H1
SDCLK	0	SDRAM 时钟	12		-

nSDCKE	0	SDRAM 时钟使能	4		1, H1
nSDRAS	0	SDRAM 行地址	4		1, H1
nSDCAS	0	SDRAM 列地址	4		1, H1
nSDWE	0	SDRAM 写使能	4		1, H1
SD_A10	0	SDRAM 专用地址线, 用于输出命令	4		1, H1
DQM[1:0]	0	SRAM/SDRAM 字节使能	4		1' H0
DMACREQ	I	DMAC 服务请求	4		-
DMACACK	0	DMAC 服务应答	4		1' H0
R_B	I	NAND FLASH ready/busy	4		-
FCLE	0	NAND FLASH 命令锁存	4		1' H0
FALE	0	NAND FLASH 地址锁存	4		1' H0
nFCE	0	NAND FLASH 片选	4		1, H1
nFRE	0	NAND FLASH 读	4		1, H1
nFWE	0	NAND FLASH 写	4		1, H1
MAC (9)					
MCLK	I	50MHz 时钟	4		-
MTXD[1:0]	0	发送数据	4		1' H0
MTXEN	0	发送数据使能	4		1' H0
MCRS_DV	I	接收数据 Valid	4		-
MRXD[1:0]	I	接收数据	4		-
MDC	0	管理接口时钟	4		1' H0
MDIO	I/O	双向管理接口	4		-
SMC (6)					
SMC_CLK[1:0]	I/O	Smart Card 时钟	4		1' H0
SMC_IO[1:0]	I/O	Smart Card 数据	4		-
SMC_RST[1:0]	I/O	Smart Card 复位	4		1, H1
SDIO (6)					
SD_CMD	I/O	MMC/SD 命令	4		-
SD_DAT[3:0]	I/O	MMC/SD 数据	4		-
SD_CLK	0	MMC/SD 时钟	4		1' H0
RTC (4)					
CLK32_XIN	CI	32.768KHz 晶振输入端	-		-
CLK32_XOUT	CO	32.768KHz 晶振输出端	-		-
VDD_B	P	备用电池电源, +1.8V	-		+1.8V
VSS_B	P	备用电池地	-		1' H0
TIMER (6)					
TIN[6:3]	I	时钟触发输入	4		-
TOUT[1:0]	0	Match Out 输出	4		1' H0
PWM (4)					
PWM[3:0]	I/O	脉宽调制输出信号/高速 IO 的输入输出/TIMER 的 Match Out	4		1' H0
USB (2)					

USB D+	I/O	USB 差分信号	4		1, H1
USB D-	I/O	USB 差分信号	4		-
IIS (3)					
SCK	I/O	I2S 时钟	4		1' H0
WS	I/O	I2S 字选择信号	4		1' H0
SD	I/O	I2S 数据	4		1' H0
UART/IrDA (10)					
RXD0	I	UART0 串行数据输入	4		-
TXD0	O	UART0 串行数据输出	4		1, H1
CTS0	I	UART0 数据接收响应	4		1, H1
RTS0	O	UART0 数据发送请求	4		-
TXD1	O	UART1 串行数据输出	4		1, H1
RXD1	I	UART1 串行数据输入	4		-
TXD2	O	UART2 串行数据输出	4		1, H1
RXD2	I	UART2 串行数据输入	4		-
TXD3	O	UART3 串行数据输出	4		
RXD3	I	UART3 串行数据输入	4		1' H0
SSI (5)					
SSI_CLK	O	SSI 时钟	4		1' H0
SSI_CS[1:0]	O	SSI 片选	4		-
SSI_TXD	O	SSI 数据输出	4		
SSI_RXD	I	SSI 输入数据	4		1' H0
LCDC (21)					
LD[15:0]	O	LCD 屏数据总线	4		1' H0
PIXCLK	O	像素时钟	4		1' H0
LP	O	行脉冲信号	4		1' H0
FLM	O	帧同步信号	4		1' H0
ACD/OE	O	极性控制信号/LCD 使能信号	4		
CONTRAST	O	对比度调节信号	4		-
JTAG (5)					
nTRST	I	TAP 控制器复位信号	4		-
TMS	I	TAP 控制状态	4		-
TCK	I	JTAG 模块时钟信号	4		-
TDI	I	JTAG 数据输入信号	4		
TDO	O	JTAG 数据输出信号	4		+3.3V
POWER (22)					
VDD_I0[7:1]	P	I0 电源, +3.3V	-		+1.8V
VSS_I0[7:1]	G	I0 地	-		0
VDD_CORE[4:1]	P	内核电源, +1.8V	-	PU	-
VSS_CORE[4:1]	G	内核地	-	-	-

注释: 1.) "I" 表示输入, "O" 表示输出, "I/O" 表示输入/输出, "P" 表示电源或者逻辑地管脚。

2.) "ST" 表示标准的输入/输出, "PU" 表示内部带上拉电阻的输入/输出管脚, "PD" 表示内部带下拉电阻的输入/输出管脚。

3.) 复位值表示系统复位后各个管脚的默认值。“-”表示当前管脚为时钟或者其复位时默认为输入

第 4 章 电气参数

4.1 最大额定值

SEP4020所能承受的最大电源电压及温度范围如表4-1 所示。

表4-1 最大电源电压及温度范围

参数定义	名称	最小值	最大值	单位
Supply Voltage (I/O)	Vdd	2.7	3.6	V
Max operating temp range	TA	-40	85	°C
Storage temp	Test	-55	125	°C

4.2 推荐工作范围

SEP4020有三对电源和地，包括内核电源、IO 口电源、PLL 逻辑电源。

各路电源的推荐工作范围如表4-2 所示。

表4-2 电源电压工作范围

管脚名称	定义	最小值	典型值	最大值	单位
VDD_PLL	数字锁相环电源	1.62	1.8	1.98	V
COREVDD	内核逻辑电源	1.62	1.8	1.98	V
IOVDD	输入输出管脚逻辑电源	2.7	3.3	3.6	V
VBAT	后备电池电源	1.6	1.8	2.5	V

实际应用中，我们认为PLL 模拟电源应当得到良好有效隔离以达到更好的效果，模拟电源、地与逻辑数字电源、地之间应当增加如磁珠等滤波器件以增加系统工作可靠稳定性。

4.3 DC 电气参数

SEP4020 的各项DC 电气参数如表4-3 所示

表4-3 DC 电气参数

参数名称	定义	最小值	典型值	最大值	单位
Iop	全速工作电流 COREVDD&PLLxDVDD=1.8V, IOVDD =3.3V 全速: Core=96MHz, System=96MHz 间歇: Core=100MHz, System=40MHz,	—	85.7	—	mA
SIDD	待机电流 (CORE VDD= 1.80V)	—	0.89	—	mA

VIH	输入高电平	0.7IOVDD	—	IOVDD	V
VIL	输入低电平	0	—	0.3IOVDD	V
VOH	输出高电平	0.8IOVDD	—	IOVDD	V
VOL	输出低电平	—	—	0.2IOVDD	
Vit+	正输入阈值电压	—	—	2.10	V
Vit-	负输入阈值电压	0.70	—	—	V
Vhys	滞后电压	—	0.3	—	V
IIL	输入低电平漏电流 (VIN=GND)	—	—	1	uA
IIH	输入高电平漏电流 VIN= (VDD)	—	—	1	uA
IOL	输出高电平电流	—	—	Strong: -12 Normal:-4	mA
IOH	输出低电平电流	Normal:4	—	—	mA
IOZ	输出漏电流 (VOUT=VDD)	—	—	5	uA
Ci	输入端电容	—	—	5	pF
Co	输出端电容	—	—	5	pF

4.4 AC 电气参数

SEP4020 的各项AC 电气参数如表4-4 所示

表4-4 AC 电气参数

4M 晶振上升/下降时间：（负载20pF）

参数名称	定义	最小值	典型值	最大值	单位
tRISE	CLK 上升时间	—	—	15	ns
tFALL	CLK下降时间	—	—	14	ns

32.768k 晶振上升/下降时序（负载15pF）

参数名称	定义	最小值	典型值	最大值	单位
tRISE	32.768k上升时间	—	—	8	ns
tFALL	32.768k下降时间	—	—	7	ns

注：最大额定值是指器件应该遵循的极限值，超过最大额定值可能会造成器件永久损坏。测量电压都是相对GND而言。器件含有保护电路，可以避免高静电电压或电磁场对输入信号造成损害，但还是建议对该高阻抗电路采用正规的预防措施，以避免在具体的应用中电压超过最大额定电压。如果将未用的输入与相应的逻辑电压电平（例如，GND或VDD）相连，可以提高工作的稳定。

4.5 EMI 接口

4.5.1 SRAM 时序参数

表4-5 SRAM接口时序参数定义

参数名称	定义
Tcs_wait	数据有效到片选有效之间的延时
Tcs_hold	片选无效后数据保持的时间
Toe_wait	片选有效到数据输出使能有效之间的延时
Toe_hold	数据输出有效结束到片选有效结束之间的延时
Toe_en	读数据使能信号的宽度
Twe_wait	片选有效到写使能信号之间的延时
Twe_hold	数据输出使能有效结束到片选有效结束之间的延时
Twe_en	写数据使能信号的宽度

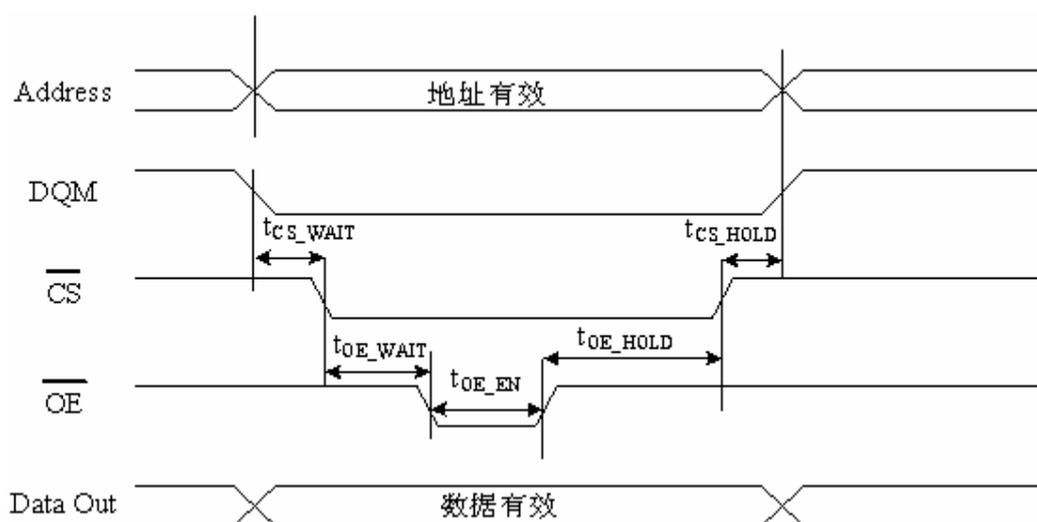


图 4.1 SRAM 读数据时序

如果寄存器中配置的OE_EN值小于Ready信号为低电平的节拍数，则当Ready信号拉高后，OE_EN需重新计数OE_EN个节拍；如果寄存器中配置的OE_EN值大于Ready信号为低电平的节拍数，则当OE_EN信号拉高后，直接进入等待OE_HOLD个节拍的状态。

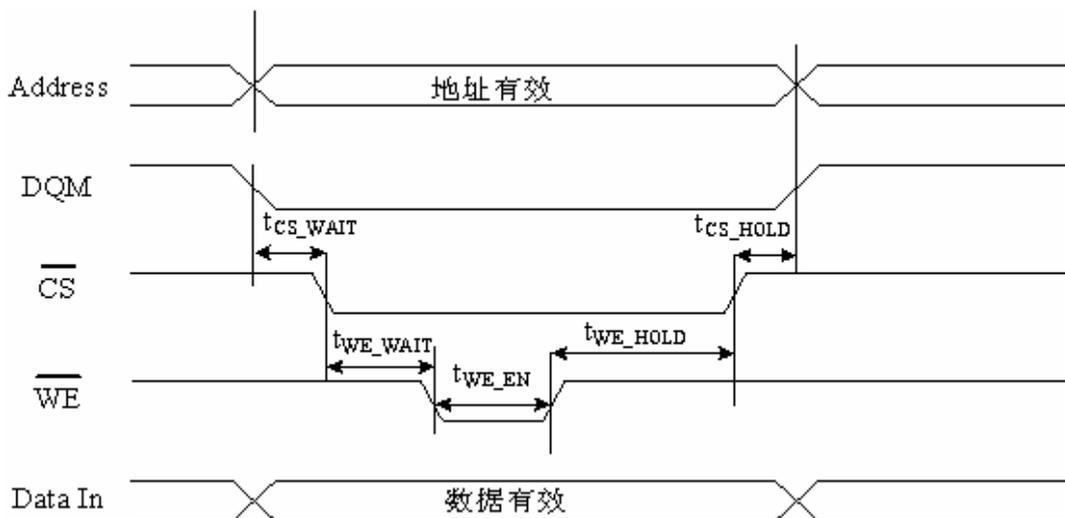


图 4.1 SRAM 写数据时序

如果寄存器中配置的WE_EN值小于Ready信号为低电平的节拍数，则当Ready信号拉高后，WE_n需重新计数WE_EN个节拍；如果寄存器中配置的WE_EN值大于Ready信号为低电平的节拍数，则当WE_n信号拉高后，直接进入等待WE_HOLD个节拍的状态。

4.5.2 NAND FLASH 时序参数

表4-6 Nand Flash接口时序参数

参数名称	定义
tCLH	CLE Hold时间
tALH	ALE Hold时间
tWH	WE高电平最小时间
tAR	ALE to RE的最小时间
tRP	RE脉冲的最小时间
tREH	RE高电平的最小时间
tWP	WE脉冲的最小时间
tWHR	WE高到RE低的时间
tWB	WE高到采样R/B的最小时间
tRR	R/B高到RE低的最小时间

(以 1 页 512 byte 为例，列出的阴影部分为可配置参数，2k byte 的情况与此类似)

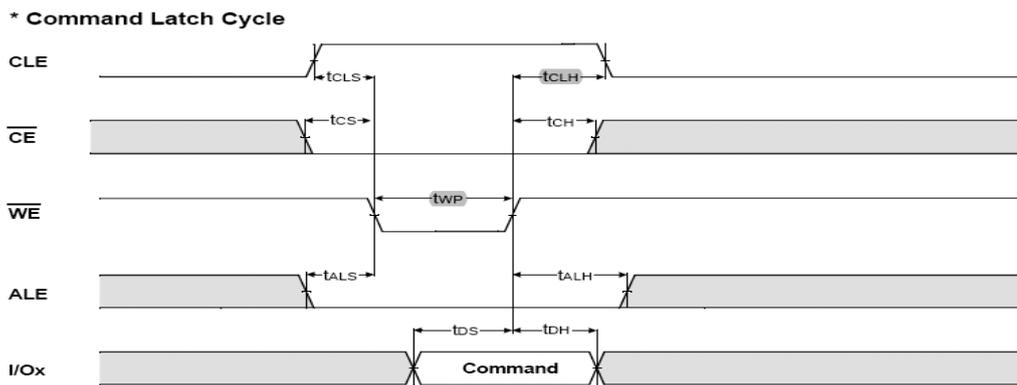


图 4.3 命令字锁存时序

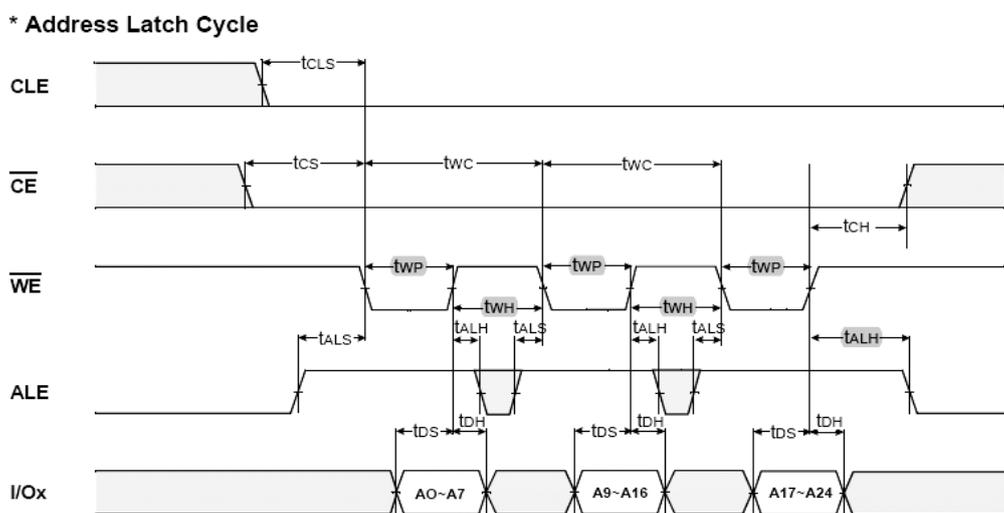


图 4.4 地址锁存时序

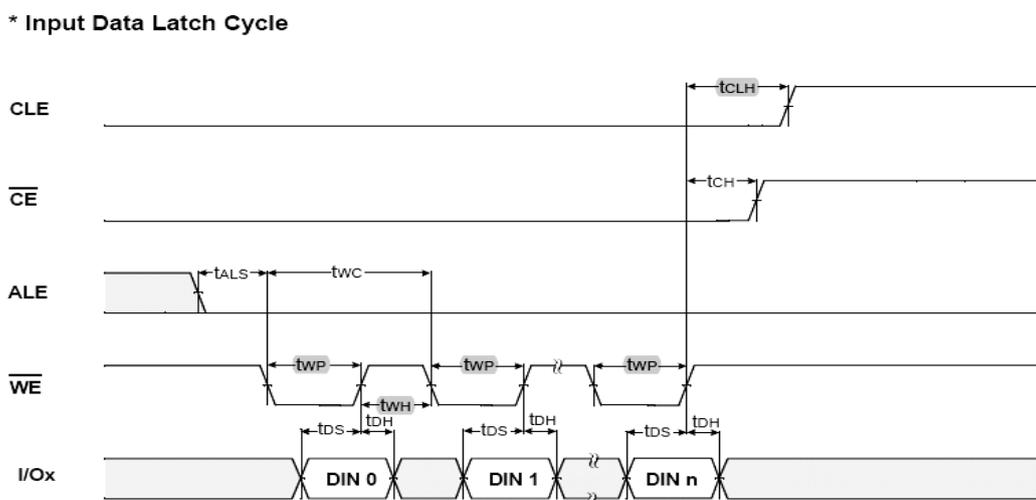


图 4.5 数据输入锁存时序

* Status Read Cycle

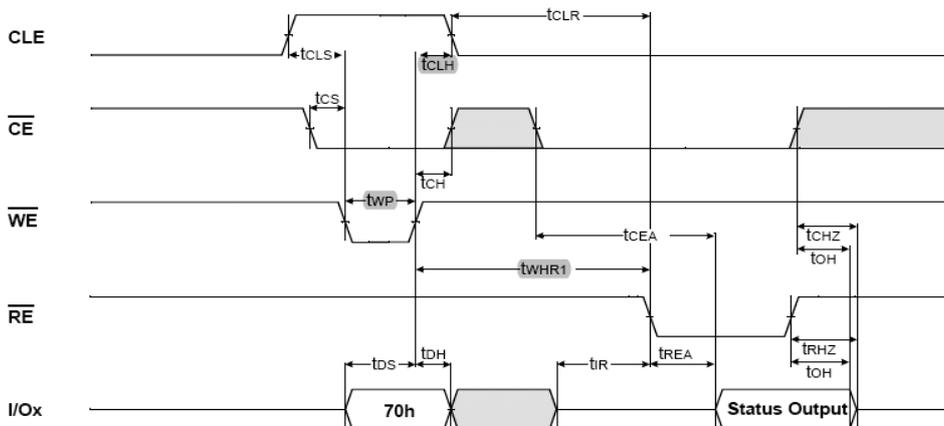


图 4.6 读状态时序

READ1 OPERATION (READ ONE PAGE)

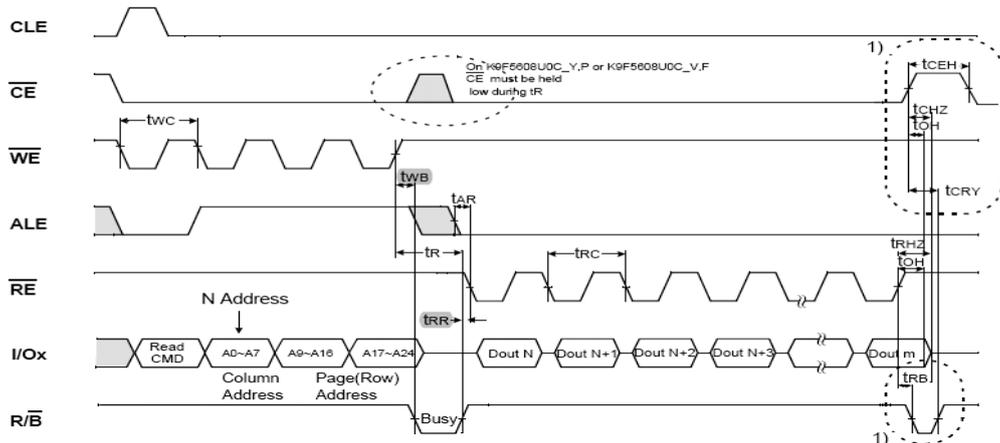


图 4.7 Read1 操作

PAGE PROGRAM OPERATION

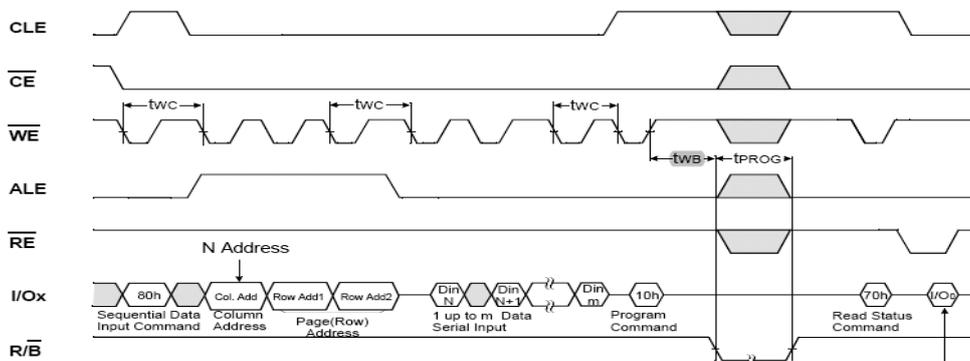


图 4.8 Page Program 操作

BLOCK ERASE OPERATION (ERASE ONE BLOCK)

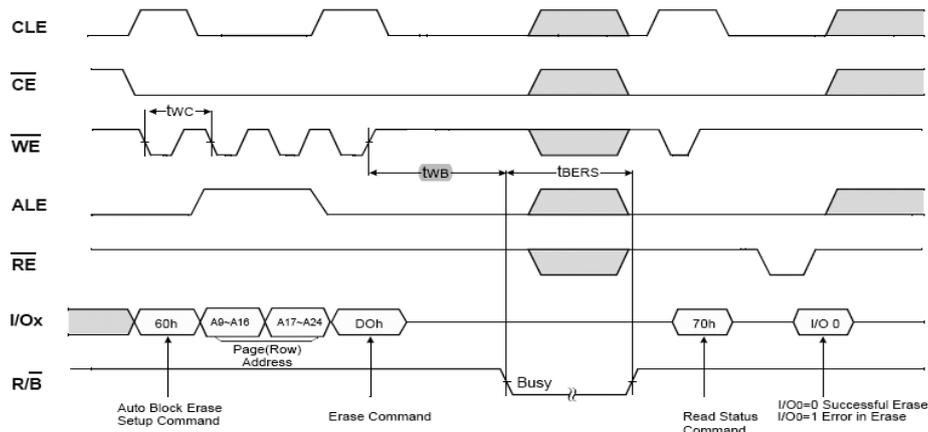


图 4.9 块擦除操作

MANUFACTURE & DEVICE ID READ OPERATION

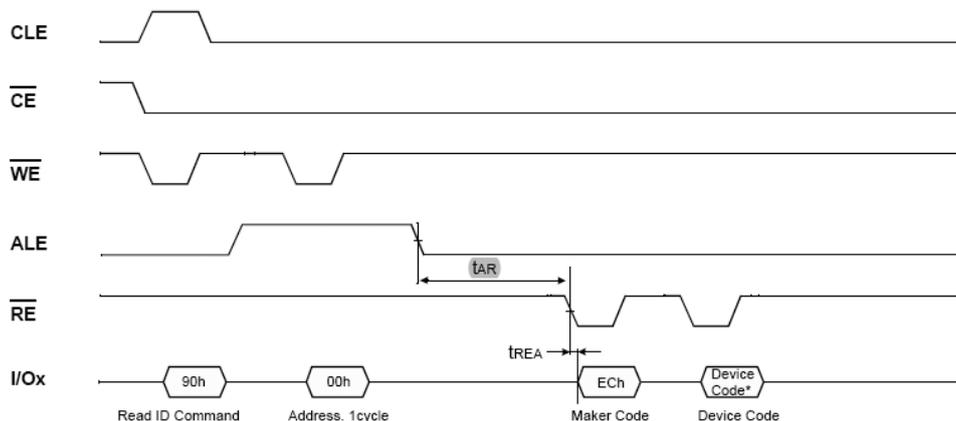


图 4.10 读 ID 信息操作

4.5.3 SDRAM 时序参数

表4-7 SDRAM 接口时序参数

参数名称	定义
tRCD	从一行active到read/write 命令等待的周期数
tCAS	从发出read命令到收到数据等待的周期数
tRP	从precharge 命令到下一次active/refresh命令需要等待的周期
tRFC	从auto refresh命令到后续命令需要等待的周期
tRC	从 active 一行到active另一行需要等待的周期数
tXSR	从self refresh退出时, 从CKE的上升沿到后续auto refresh命令需要等待的周期数

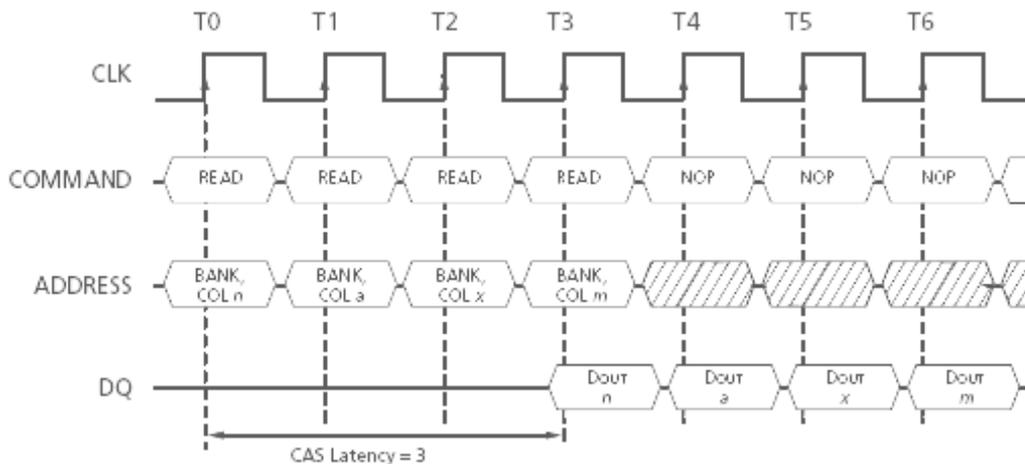


图 4.11 SDRAM随机读操作时序图

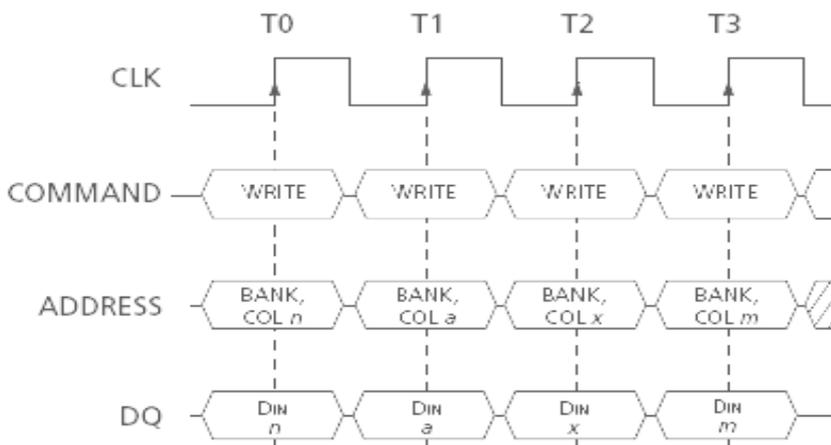


图 4.12 SDRAM随机写操作时序图

4.6 LCDC 接口时序参数

4.6.1 STN 屏接口参数

表4-8 LCDC STN接口时序参数定义

参数名称	定义	单位
XMAX	定义每行的像素数目	PIXEL
H_WIDTH	(水平同步脉冲宽度) 定义LP脉冲宽度	LSCLK
H_WAIT_1	定义从数据输出到LP开始之间的延时	LSCLK
H_WAIT_2	定义从LP结束到下一行数据输出开始之间的延时	LSCLK

使用 STN 屏时，控制信号包括 LSCLK、LP_HSYNC、FLM_VSYNC 和 ACD_OE，它们的时序如下图。

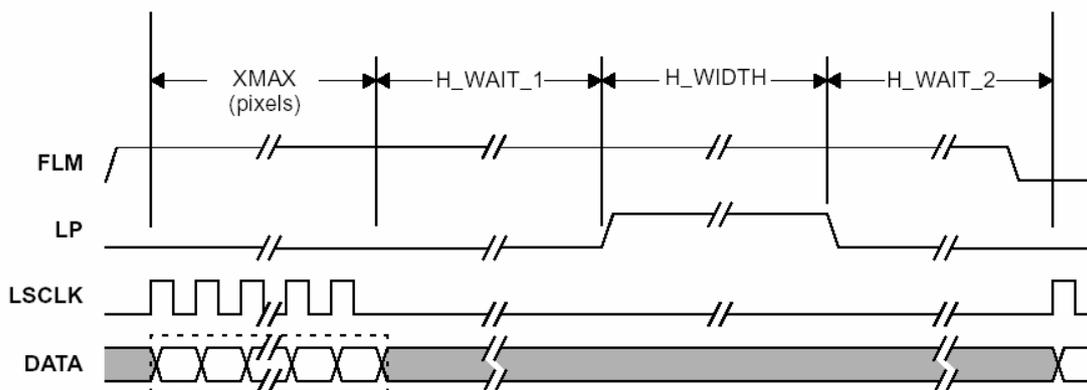


图 4.13 STN 模式的水平同步脉冲时序

STN 模式的水平时序表示了显示屏上显示一行的控制和数据信号时序。行脉冲 LP 的宽度和 LP 前面和后面的延时均可编程配置。用于接口时序编程的参数如下：

XMAX (X 尺寸) 定义每行的像素数目。XMAX 是屏幕每行的像素总数。

H_WAIT_1 定义从数据输出到 LP 开始之间的延时。

H_WIDTH (水平同步脉冲宽度) 定义 LP 脉冲宽度，H_WIDTH 必须至少设置为 1。

H_WAIT_2 定义从 LP 结束到下一行数据输出开始之间的延时。

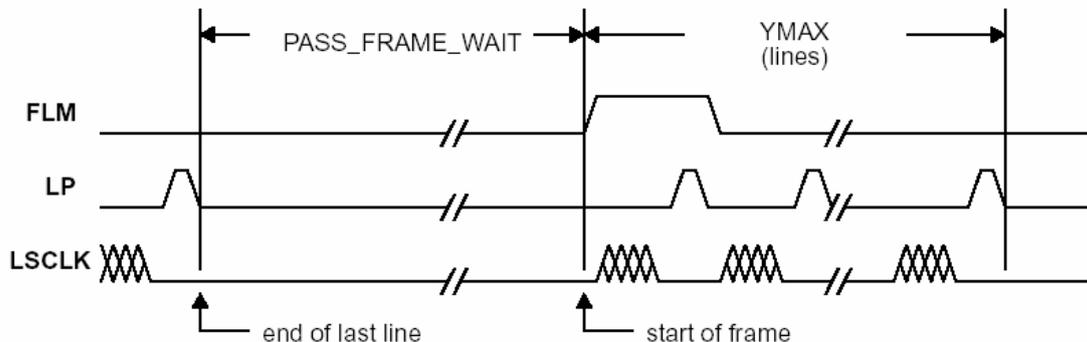


图 4-14 STN 模式的垂直时序

STN 垂直时序表示了一帧的时序。一帧结束直到下一帧开始之间的延时是可编程的。信号事件时序定义如下：

PASS_FRAME_WAIT 定义从被动彩色模式下一帧最后一行到 FLM 信号的开始之间的延时。

MAX 定义了一帧的行数。

4.6.2 TFT 屏接口参数

使用 TFT 屏时，控制信号包括 LSCLK、LP_HSYNC、FLM_VSYNC 和 ACD_OE，它们的时序如下图。

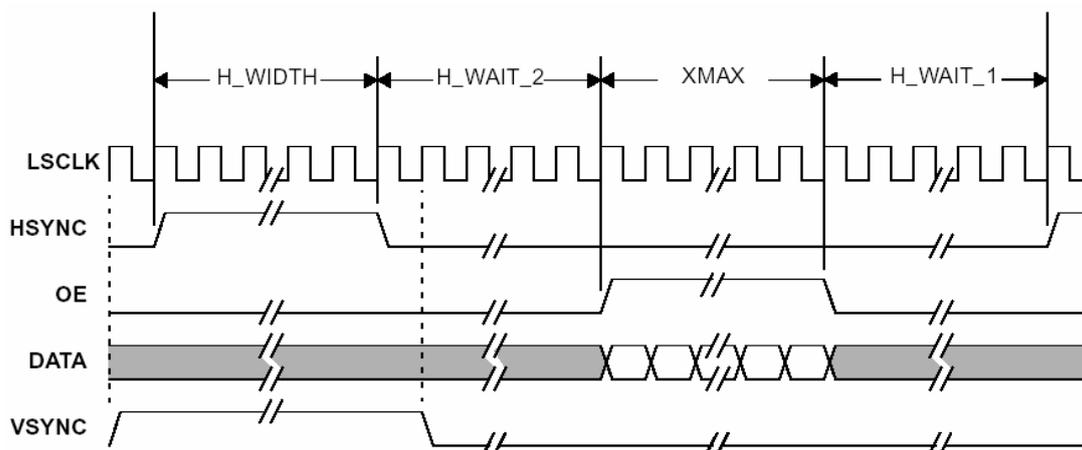


图 4-15 TFT 模式的水平同步脉冲时序

水平时序表示了一行的时序，包括水平同步脉冲和数据。HSYNC 的宽度以及 HSYNC 前后的延时都是可编程配置的。时序信号参数定义如下：

H_WIDTH 定义了 HSYNC 脉冲的宽度，至少必须为 1。

H_WAIT_2 定义了从 HSYNC 结束到 OE 脉冲开始之间的延时。

H_WAIT_1 定义了从 OE 信号结束到 HSYNC 脉冲开始之间的延时。

XMAX 定义了每行的像素数。

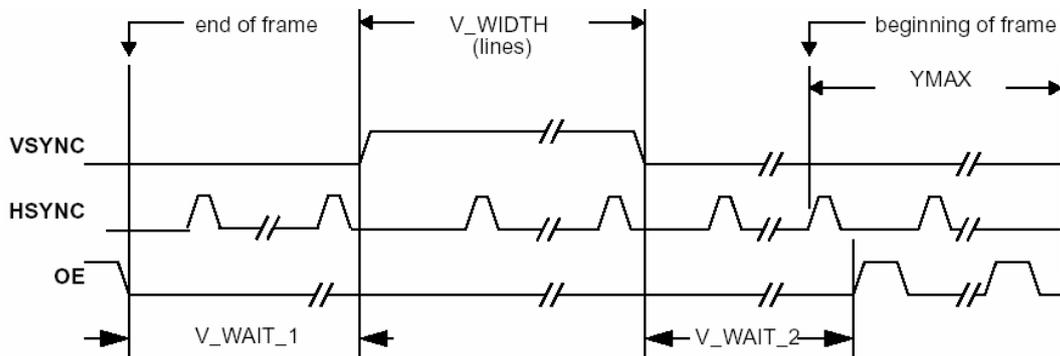


图 4.16 TFT 模式的垂直同步脉冲时序

垂直时序表示了一帧的时序。一帧结束直到下一帧开始之间的延时是可编程的。时序信号参数如下：

V_WAIT_1 定义了 OE 信号下降沿到 VSYNC 上升沿之间的延时。它是以行数为单位的，例如对 V_WAIT_1 = 1，在 VSYNC 之前有一个 HSYNC（时间为一个行周期）的延时。HSYNC 脉冲在 V_WAIT_1 延时期间输出。

对 V_WIDTH（垂直同步脉冲宽度）定义了 VSYNC 的宽度。它也是以行数作为单位的，例如对 V_WIDTH = 1，VSYNC 包括一个 HSYNC 脉冲。对 V_WIDTH = 2，VSYNC 包括两个 HSYNC 脉冲。

V_WAIT_2 定义了 VSYNC 下降沿到 OE 上升沿之间的延时。它也是以行数为单位，例如对 V_WAIT_2 = 1，在 VSYNC 之后有一个 HSYNC（时间为一个行周期）的延时。HSYNC 脉冲在 V_WAIT_1 延时期间输出。

4.7 通用串口/红外 (UART/IrDA)

表4-9 UART 接口时序参数表

参数名称	定义	最小值	典型值	最大值	单位
T_{cyc}^1	Serial data Period	-	-	-	sec
T_1	RTS output low to RXD valid	0	-	-	ns
T_2	Stop bit start to RTS output high	-	9/16	-	T_{cyc}
T_3	CTS input low to TXD valid	2/16	-	3/16	T_{cyc}
T_4	CTS input high to stop bit end	2/16	-	112	T_{cyc}

Notes:

1. T_{cyc} 是UART 当前设置的波特率的倒数。波特率可以为9600bps, 38400bps, 115200 bps 等等;
2. 此值和当前UART 使用的数据格式有关。例如, 当数据格式包括一个开始位、8 个数据位、一个奇偶校验位和一个停止位时 T_4 的最大值为11 个 T_{cyc} ;

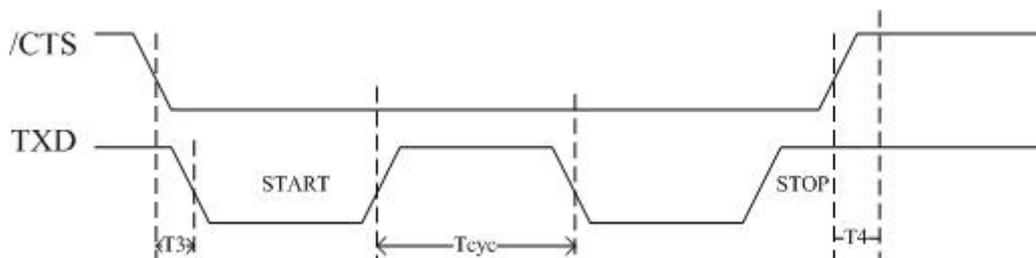


图 4.17 外部设备硬件控制 UART 发送时序

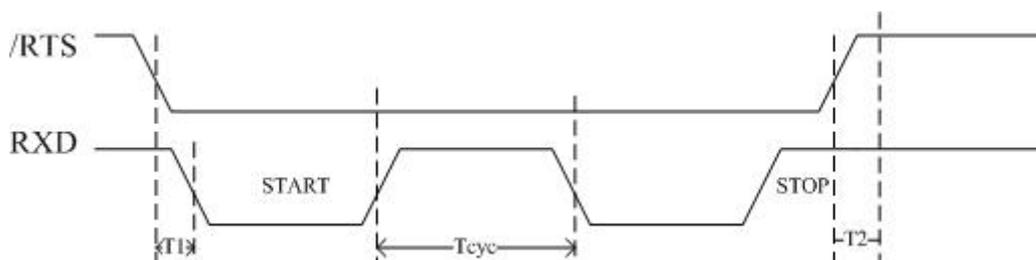


图 4.18 UART 硬件控制外部设备发送时序

4.8 系统主时钟 DPLL 参数说明

4.8.1 介绍

- SEP4020 全数字锁相环是一款低成本，用于嵌入式芯片的时钟发生器。
- 输入参考时钟：2~5MHz
- SMIC 0.18 μ m 工艺
- 供电电压：1.8 \pm 0.18v
- 典型输出频率范围：56~96MHz，通过分频可以得到更低的频率，最低可以到 4MHz（SLOW 工作模式）。
- 输出信号占空比：50%
- 环路捕获时间：<50us

4.8.2 结构描述

全数字锁相环的结构框图如图 4.19 所示。

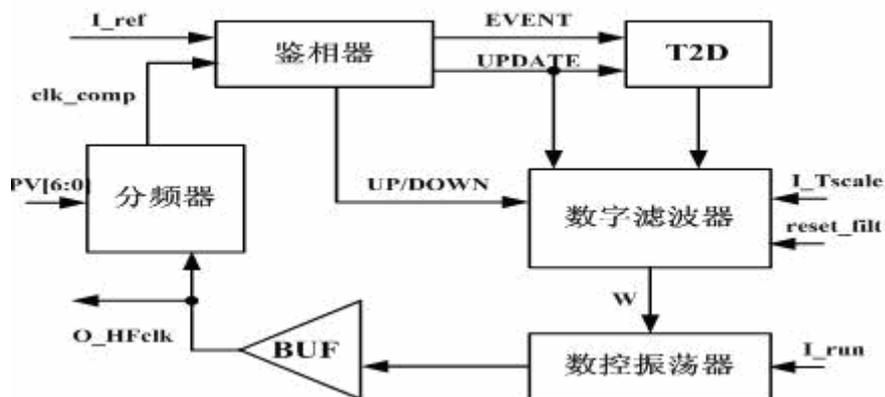


图 4.19 全数字锁相环的结构框图

全数字模块的信号列表如表 4-10 所示：

表 4-10 ADPLL 模块信号列表

信号	方向	作用
I_ref	I	输入参考时钟
I_run	I	DCO 使能信号
reset	I	系统复位信号
reset_filt	I	滤波器复位信号
I_Tscale	I	滤波器配置信号
PV	I	分频器配置信号
W	O	滤波器输出控制

clk_comp	O	分频器输出
O_HFclk	O	DCO 输出的时钟信号

4.8.3 性能参数

晶振起振时间如表 4-11 所示：

表 4-11 起振时间

XIN 信号变化	最大传递时间
Rise	<3.27ns
Fall	<5.85ns

锁相环性能参数如表 4-12 所示：

表 4-12 锁相环性能参数

参数	性能
工艺	SMIC 0.18 μ m
功耗	<11.7mW
电源电压	1.8v
捕获范围	56~96MHz
时钟抖动	<450ps(峰峰值)
输入参考时钟	4MHz
最大锁定时间	<50us
输出时钟占空比	50%

4.8.4 原理介绍

全数字锁相环用于频率合成以产生时钟，为其它模块提供工作时钟。它包括鉴相鉴频器、T2D、数字滤波器、数控振荡器和分频器五大模块。全数字锁相环是全数字电路，它的工作原理与经典电荷泵锁相环的原理基本一致，只是原来的模拟部分用相应功能的数字电路实现。

首先由鉴相鉴频器比较参考时钟 I_ref 和分频时钟 clk_comp 的相位信息，并输出相位差 EVENT，信号 UP/DOWN 是用来告诉数字滤波器增加或减少数控振荡器频率。信号“UPDATE”可以用来同步数字滤波器的寄存器和复位 T2D 中的寄存器。

T2D 电路将鉴相鉴频器输出的相位差，转换成数字格式，送往数字滤波器。

数字滤波器对 T2D 输出的数字信号进行处理，处理后输出控制字 w 用来控制数控振荡器。I_Tscale 是数字滤波器配置信号。信号 reset_flit 用于复位数字滤波器中的寄存器。

数控振荡器的输出 O_HFclk 是提供全芯片电路工作的时钟。信号 I_run 控制振荡器的工作。分频器根据 PV[6:0]的数值，对 O_HFclk 进行分频。时钟经过分频后，得到分频时钟 clk_comp。然后和参考时钟 I_ref，在鉴相鉴频器处比较相位信息。

PLL 输出范围：52~144MHZ

表 4-13 系统主频配置参考参数

不分频		二分频 (PD=0)		四分频 (PD=1) 最高只能到 40MHZ	
参数 (PMCR: 0x10001004)	时钟频率	参数 (PMCR: 0x10001004)	时钟频率	参数 (PMCR: 0x10001004)	时钟频率
0x0000C005	40MHZ	0x0000800a	40MHZ	0x00008419	50MHZ
0x0000C006	48MHZ	0x0000800b	44MHZ	0x0000841a	52MHZ
0x0000C007	56MHZ	0x0000800c	48MHZ	0x0000841b	54MHZ
0x0000C008	64MHZ	0x0000800d	52MHZ	0x0000841c	56MHZ
0x0000C009	72MHZ	0x0000800e	56MHZ		
0x0000C00a	80MHZ	0x0000800f	60MHZ		
0x0000C00b	88MHZ	0x00008010	64MHZ		
0x0000C00c	96MHZ	0x00008011	68MHZ		
		0x00008012	72MHZ		
		0x00008013	76MHZ		
		0x00008014	80 MHZ		
		0x00008015	84 MHZ		
		0x00008016	88 MHZ		
		0x00008017	92 MHZ		
		0x00008018	96 MHZ		

注：外部系统主时钟晶振选用 4MHZ

4.9 功耗测试

4.9.1 动态功耗

表 4-14 处理器动态功耗测试

CPU 状态	主频 (MHZ)	I/O 操作	PLL 电流值 (mA)	Core 电流值 (mA)	I/O 外设 (mA)	芯片功耗 (mW)
Slow	4	有	5.45	3.25	9.00	45.36
		无	5.55	3.10	9.15	45.77
Normal	18	有	6.62	10.65	9.81	63.46
		无	6.54	10.00	9.87	62.34
	30	有	7.07	17.02	10.38	77.62
		无	6.55	15.89	10.50	75.04
	52	有	6.81	28.13	11.48	100.78
		无	6.75	26.00	11.61	97.26
	88	有	6.36	46.50	14.22	142.07
		无	6.40	43.24	13.63	134.33
	96	有	6.70	50.50	15.57	154.34
		无	6.50	46.91	14.90	145.31

注：V_{CORE}=1.8V;V_{DDPLL}=1.8V;V_{CCIO}=3.3V

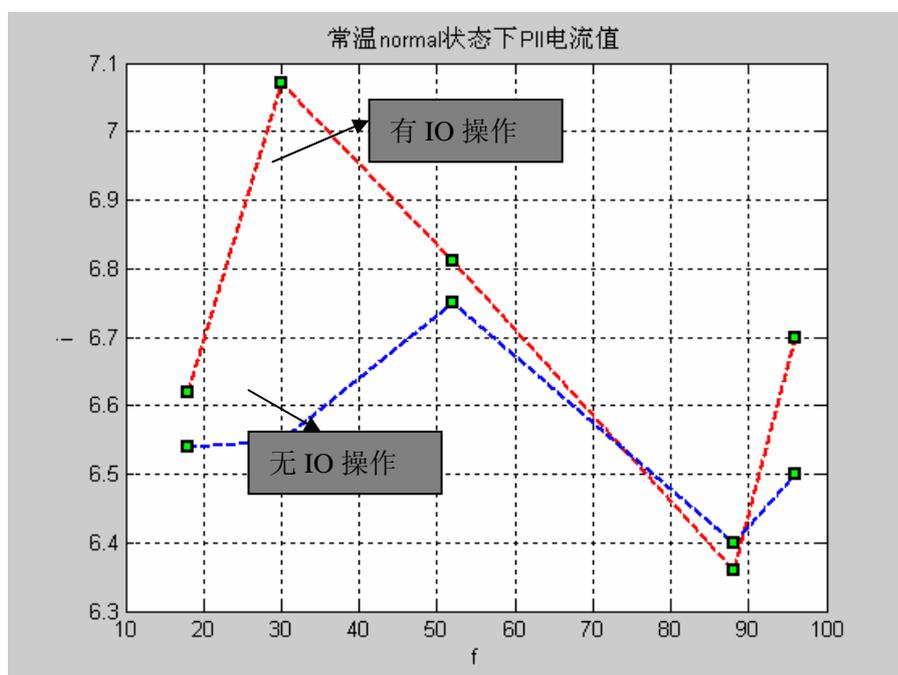


图 4.20 常温 Normal 状态下 PLL 电流值
(纵坐标为电流值，单位：mA；横坐标为主频，单位：MHz)

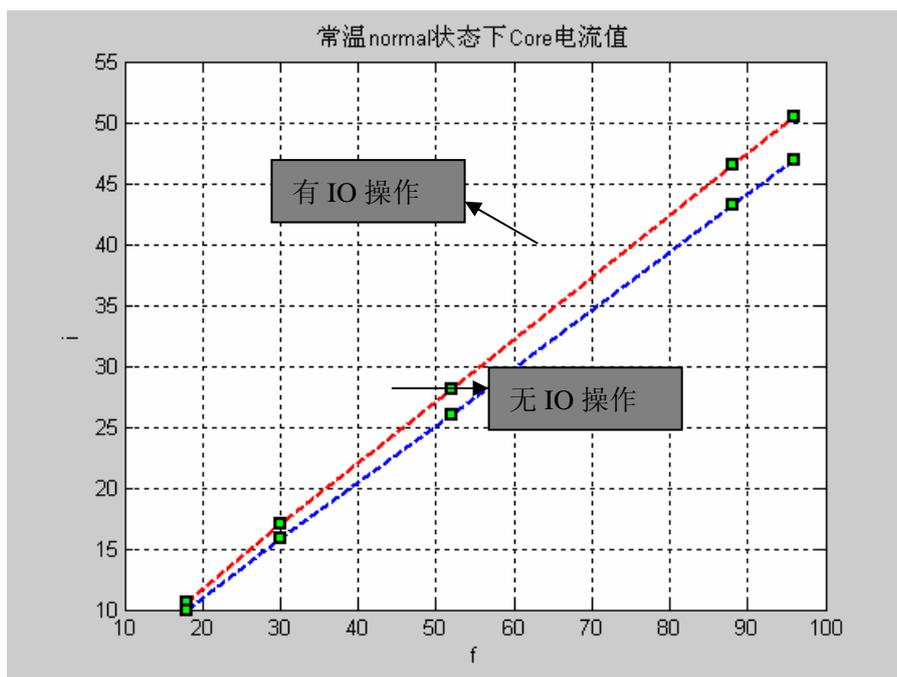


图 4.21 常温 Normal 状态下 Core 电流值
(纵坐标为电流值, 单位: mA; 横坐标为主频, 单位: MHz)

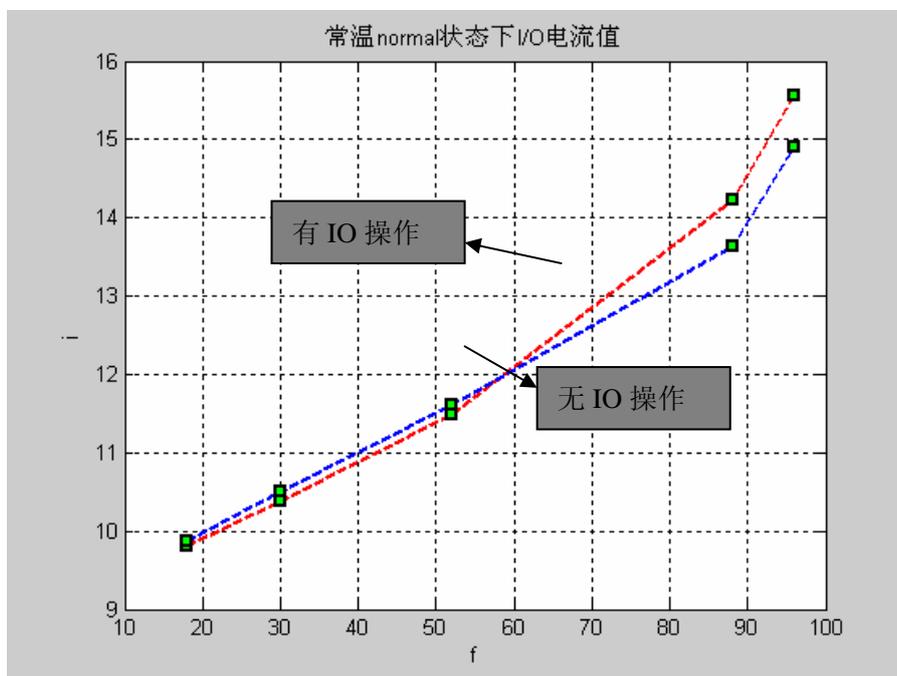


图 4.22 常温 Normal 状态下 I/O 电流值
(纵坐标为电流值, 单位: mA; 横坐标为主频, 单位: MHz)

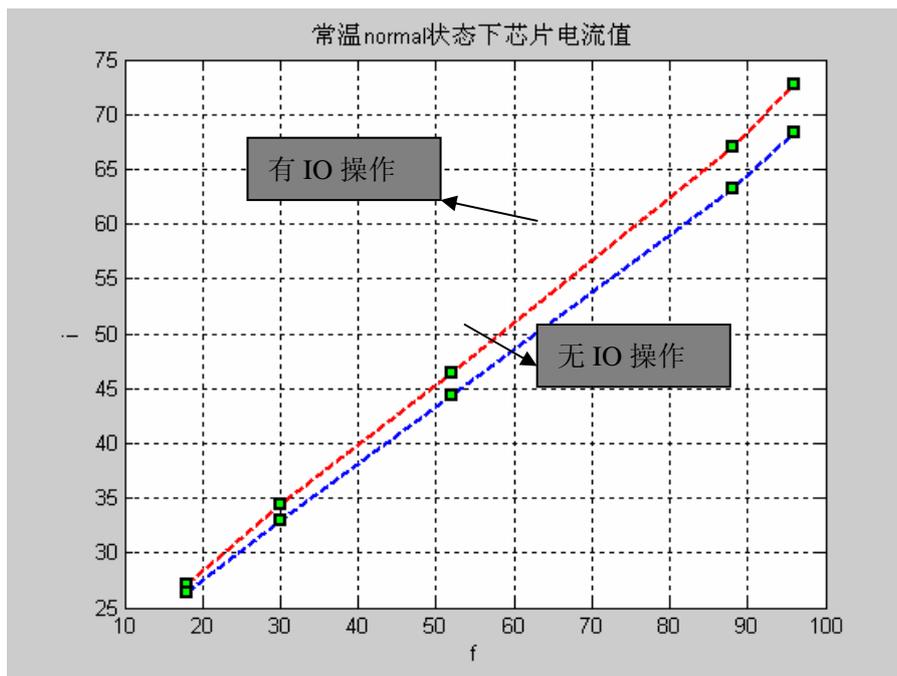


图 4.23 常温 Normal 状态下芯片电流值
(纵坐标为电流值, 单位: mA; 横坐标为主频, 单位: MHz)

分析说明:

SEP4020 在不同主频下, Core 呈线性变化, 而 PLL 和 I/O 部分的功耗变化不大, 因此在低频的时候 PLL 和 I/O 部分所占比重较大, 而等频率上升后, Core 的比重逐渐加大并成为功耗主要来源。从芯片整体角度来看, 在不改变主频的其它条件下, 芯片整体功耗随着芯片主频的上升基本呈线性变化。

4.9.2 特殊模式的功耗

特殊模式的功耗测试主要测试芯片处于非正常工作模式下 (sleep, idle) 时芯片内部各部分的功耗比重。

Sleep 状态: 将 core 和芯片内部其它 I/O 模块的时钟关闭, 因此功耗和系统主频无关;

Idle 状态: 只停止 core 的时钟, I/O 外设部分仍然有时钟, 因此功耗和主频有关 (外设仅仅打开模块 gpt, emi, esram)。

表 4-15 处理器特殊模式功耗测试 (VCORE=1.8V;VDDPLL=1.8V;VCCIO=3.3V)

CPU 状态	CPU 进入特殊模式前的主频 (MHZ)	PLL 电流值 (mA)	Core 电流值 (mA)	I/O 电流值 (mA)	整个芯片功耗 (mW)
Sleep	X	0.00	0.89	5.40	19.42
Idle	18	6.48	5.69	9.00	51.61
	30	6.96	8.71	9.65	60.05
	52	6.76	14.02	10.75	72.88
	88	6.56	22.67	12.42	93.60
	96	6.53	24.60	12.81	98.31

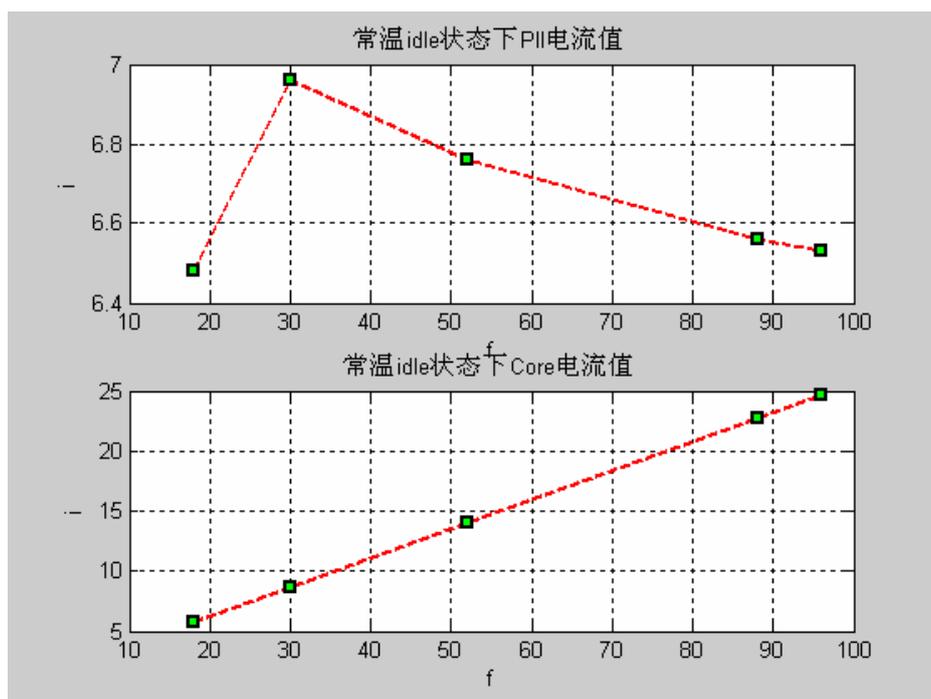


图 4.24 常温 Idle 状态下 PLL 和 Core 电流值
(纵坐标为电流值, 单位: mA; 横坐标为主频, 单位: MHz)

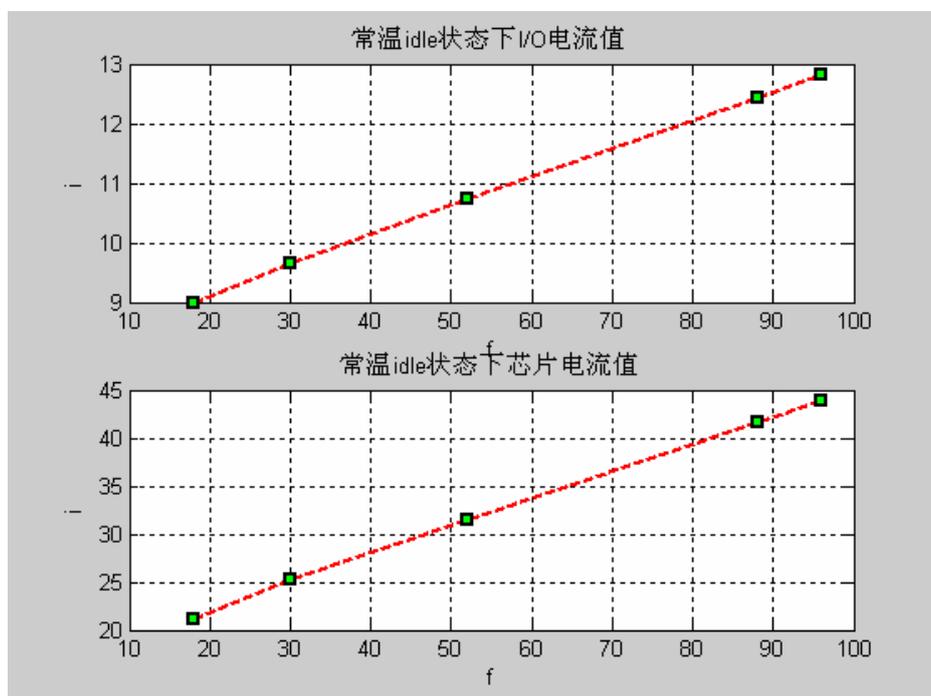


图 4.25 常温 Idle 状态下 I/O 和芯片电流值
(纵坐标为电流值, 单位: mA; 横坐标为主频, 单位: MHz)

分析说明:

1. PLL 在 sleep 工作状态时电流几乎为 0mA, 在 idle 工作状态时电流变化不大。

2. Core 在 sleep 工作状态时电流比较小，但在 idle 工作状态下随主频变化明显呈线性变化。

4.9.3 低电压模式的功耗

低电压模式的功耗测试主要是测量内核数字电路在低电压供电、低频下能否正常工作，功耗下降多少；进入 Sleep mode 能否被正常唤醒。

表 4-16 处理器低电压模式功耗测试

PLL 电压 (V)	CORE 电压 (V)	CPU 工作状态 (MHZ)	Core 电流 (mA)	稳定工作模式
1.8	1.6	sleep	0.35	---
		4 (slow)	2.32	---
		18	8.30	normal/slow/idle/sleep
		30	13.42	normal/slow/idle/sleep
		52	22.72	normal/slow/idle/sleep
		88	37.23	normal/slow/idle/sleep
	1.4	sleep	0.08	---
		4 (slow)	1.81	---
		18	6.97	normal/slow/idle/sleep
		30	11.39	normal/slow/idle/sleep
		52	19.22	normal/slow/idle/sleep
		88	31.94	normal/slow/idle/sleep
	1.2	sleep	0.04	---
		4 (slow)	1.51	---
		18	5.91	normal/slow//idle/sleep
		30	9.66	normal/slow//idle/sleep
		52	16.33	normal/slow//idle/sleep
		72	22.29	normal/slow//idle/sleep
		80	---	不能工作
		88	---	不能工作
	1.1	sleep	0.04	---
		4 (slow)	1.39	---
		18	5.41	normal/slow//idle/sleep
		30	8.84	normal/slow//idle/sleep
		52	14.90	normal/slow//idle/sleep
		72	---	不能工作
		88	---	不能工作
	1.0	ARM 内部扫描链无法识别		

其中“---”表示状态不确定，无法正常测试；

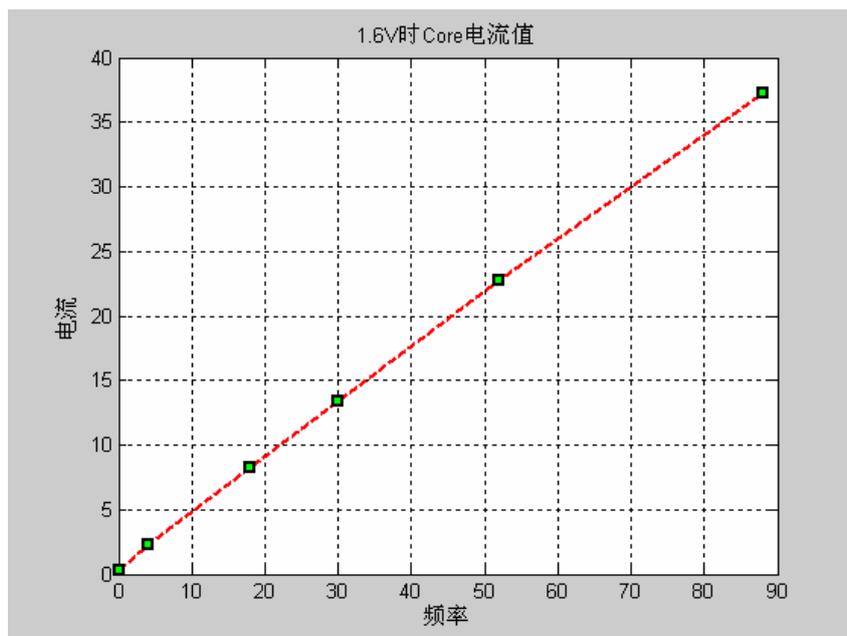


图 4.26 内核电压 1.6V 时 Core 电流值随频率变化曲线图
 (纵坐标为电流值, 单位: mA; 横坐标为主频; 单位: MHz; 时钟频率为 0 即为 sleep 模式)

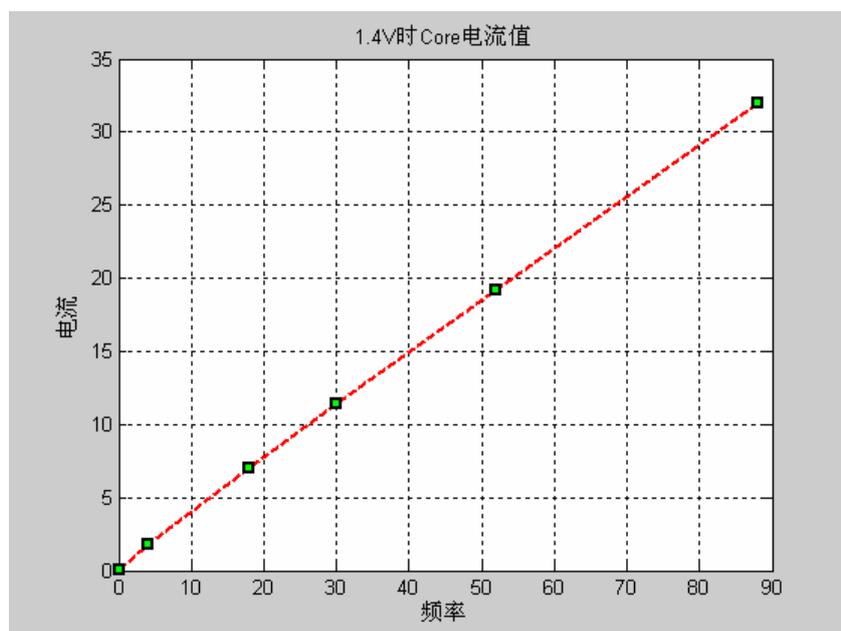


图 4.27 内核电压 1.4V 时 Core 电流值随频率变化曲线图
 (纵坐标为电流值, 单位: mA; 横坐标为主频; 单位: MHz; 时钟频率为 0 即为 sleep 模式)

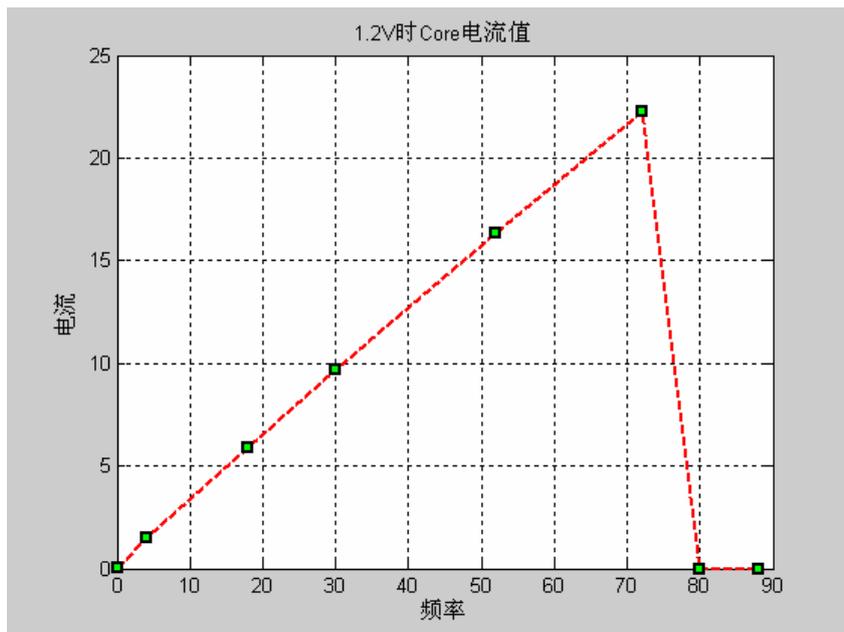


图 4.28 内核电压 1.2V 时 Core 电流值随频率变化曲线图
 (纵坐标为电流值, 单位: mA; 横坐标为主频, 单位: MHz; 时钟频率为 0 即为 sleep 模式)

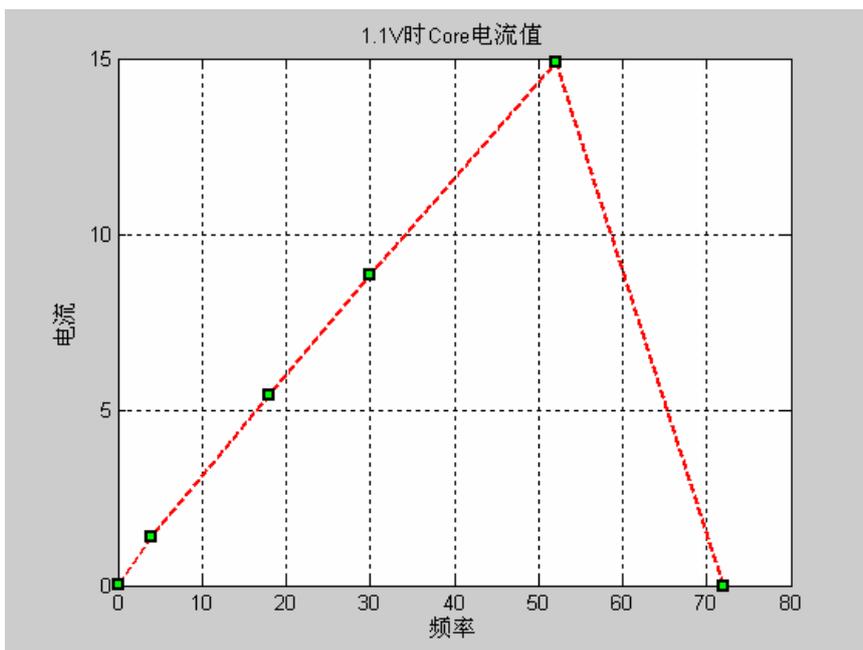


图 4.29 内核电压 1.1V 时 Core 电流值随频率变化曲线图
 (纵坐标为电流值, 单位: mA; 横坐标为主频; 单位: MHz; 时钟频率为 0 即为 sleep 模式)

分析说明: 处理器在 1.4V 最高能工作在 88MHz 主频, 在 1.2V 最高能工作在 72MHz 主频, 在 1.1V 最高能工作在 52MHz 主频, 在 1.0V 已经无法用仿真器连接到 ARM 内核。其中最高能正常工作的频率证明 core 此时仍能正常工作。由于实际测试中没有用到外设, 不能保证此时外设也能正常工作。

4.9.4 高低温环境下的功耗

1. 低温环境（11.8℃ ~-45℃）

表 4-17 处理器低温环境功耗测试

Normal 模式（工作频率 52MHz，无 I/O 操作，仅打开 gpt, emi, esram 模块。）

温度 (°C)	11.8	9	6	-15	-27	-40	-45
Core 电流 (mA)	26.00	25.95	25.91	25.69	25.59	25.50	25.46

温度 (°C)	0	-5	-10	-11	-12	-13	-14	-16	-17	-18	-19	-20	-22	-23
PLL 电流(mA)	7.90	8.00	8.30	8.65	8.73	8.85	9.07	8.06	8.69	9.28	4.35	4.40	4.29	4.43
温度 (°C)	-25	-27	-28	-29	-30	-31	-32	-33	-34	-35	-36	-37	-38	-39
PLL 电 流(mA)	4.20	4.22	4.38	4.29	3.98	4.20	3.96	4.20	4.04	4.34	4.01	4.13	4.15	4.04

Sleep 模式

温度 (°C)	10	4	0	-7	-13	-16	-22	-27	-30	-35	-40	-42
Core 电 流 (mA)	0.70	0.65	0.61	0.57	0.54	0.51	0.48	0.45	0.43	0.41	0.38	0.37

温度 (°C)	CPU 工作的全部温度范围 (-40 ~ +85)						
PLL 电 流 (mA)	0.00	0.00	0.00	0.00	0.00	0.00	0.00

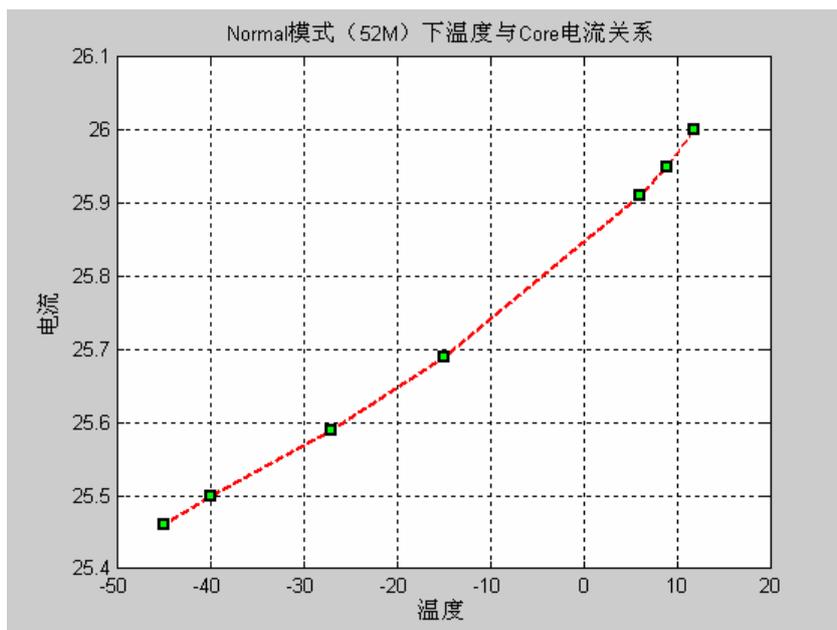


图 4.30 Normal 模式 (52MHz) 时温度与 Core 电流关系

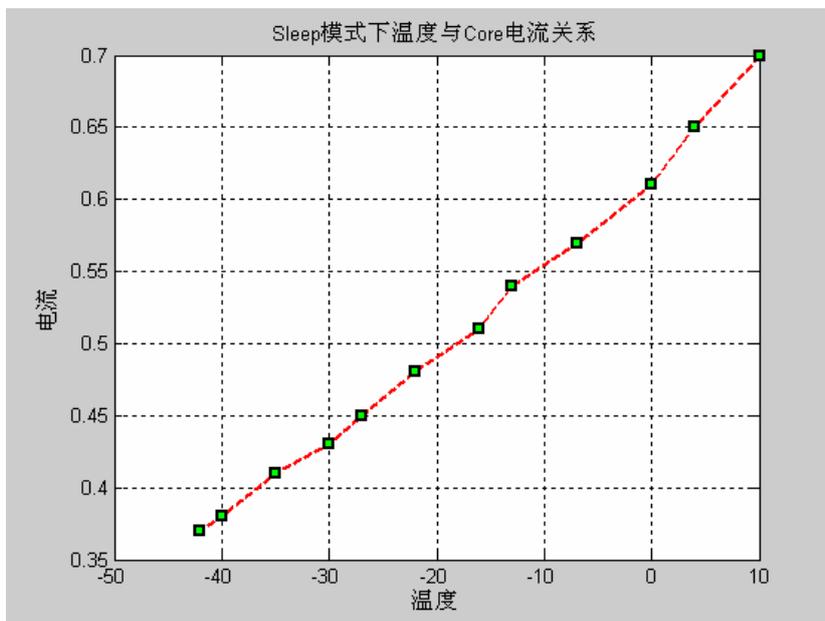


图 4.31 Sleep 模式（52MHz）时温度与 Core 电流关系

2. 高温环境(80°C)

表 4-18 处理器低温环境功耗测试

温度 (°C)	工作模式	Core 电流 (mA)	PLL 电流 (mA)	I/O 电流 (mA)	整个芯片电流值 (mA)
80	Normal (52M)	26.97	6.35	10.03	--
	Sleep	1.00	0.00	5.10	--

注：80°C时 Sleep 模式下：电流在 0.94 mA ~0.99 mA 之间，工作正常，仍可以唤醒。

分析说明：

1. PLL 部分在低温时随温度的变化不是很大，但是在-18°C到-19°C间产生跳变。
2. Core 和 I/O 的电流与温度变化几乎没关系，无论是高温、低温还是室温变化均不大。

4.9.5 RTC 功耗

表 4-19 RTC 实时时钟功耗测试

外部电源	工作模式	电池供电电压 (V)	电池电流 (uA)	功耗 (uW)	备注
Power on	Normal	2.9988	1.76	5	电压和电流略有波动，功耗基本稳定
	Sleep	2.9988	1.76	5	
Power off	-----	2.9988	4.24	13	