



HME-M7

AHB Slave Interface

模块使用说明

2022 年 04 月

京微齐力（北京）科技有限公司

注意

© 2020-2022 京微齐力（北京）科技有限公司版权所有

未经京微齐力（北京）科技有限公司书面许可，不得以任何形式或方式，如电子，机械，形式，包括影印、录音或其他数据储存和检索系统形式复制或转移此文档的任何部分，或将其翻译为其它任何语言或计算机语言。

所有商标均为京微齐力（北京）科技有限公司所有。

手册版本号

HME-M7ANC02-AHBSI

联系我们

如果您在使用我们的产品过程中有任何疑问或问题，请与京微齐力（北京）科技有限公司或者您当地的代理商联系，或发送邮件至：

sales@hercules-micro.com

环境保护

本产品中包含的某些物质可能会对环境或人体健康有害，为避免将有害物质释放到环境中或危害人体健康，建议采用适当的方法回收本产品，以确保大部分材料可正确地重复使用或回收。有关处理或回收的信息，请与当地权威机构联系。

声明

本手册中包含的信息已经仔细检查并认为是完全可靠的。但是，不对手册中可能或潜在的错误负责。京微齐力（北京）科技有限公司保留停止发布或修改手册而不事先通知的权利。为确保获得最新的产品信息，建议用户及时更新手册版本。

本手册介绍的产品并没有被授权用作为生命保障设备或系统中的关键部件。在此使用到的术语有如下定义：**1.**生命保障设备或系统是满足以下条件的设备或系统，**(a)**被通过手术植入人体内或**(b)**用来保障或维持生命，当按照标签上的使用说明正确使用时，有理由认为其工作的中断将会给使用者带来巨大的伤害。**2.**所谓关键部件是指生命保障设备或系统中满足以下条件的部件，即有理由认为该部件中断工作将会导致整个生命保障设备或系统中断工作，或者是影响到后者的安全性和有效性。

版本信息

下表列出了本产品手册的历史版本信息。

发布时间	文档版本	修订信息
2020 年 11 月	1.0	初始版本
2022 年 04 月 18 日	HME-M7ANC02-AHBSI	更新版本

目录

注意	2
版本信息	3
目录	4
关于本手册.....	5
1. M7 产品简介	6
2. AHB Slave Decoder 原理说明	7
3. 案例 FPGA 工程框图介绍	8
4. AHB Slave Interface 模块的接口介绍	9
4.1 接口信号说明	9
4.2 MCU 读写 AHB Slave Interface 模块的接口	9
4.3 模块功能使用	11
4.4 模块注意事项	11

关于本手册

本文档用于介绍 HME-M7（华山系列）芯片的 AHB Slave Interface 模块的实现和使用方法。未经其它说明，此文档将仅用于 M7 系列芯片。

本手册涉及到的缩写与定义如下：

MCU（Microcontroller Unit），控制器单元

FPGA（Field Programmable Gate Array），可编程逻辑阵列

SOC（System on Chip），芯片级系统，也称片上系统

AMBA（Advanced Microcontroller Bus Architecture），ARM 公司研发推出的先进微控制器总线体系结构片上总线协议，包含 AHB、APB 总线协议

AHB Slave Decoder，基于 AHB 高速总线协议的地址译码器，Fuxi 开发工具提供的译码器 IP 核

与本文档相关的文档如下：

《HME_AHB_Slave_Decoder_user_guide_EN01》

《HME-M7_Family_User_Guide_EN_V7.0》

《AMBA Specification》

更多与 HME-M7 相关的信息与文档请访问：

http://www.hercules-micro.com/content/details73_346.html

如果您还需要更多信息，请联系 HME 相关人员进行更加完整的细节性讨论。

本章介绍 M7 的产品特性。

1. M7 产品简介

M7 是京微齐力研发的一款功能强大的芯片系列，它是集成了高级 MCU（Cortex-M3）内核与更高性能 FPGA 资源的智能型芯片。

MCU 与 FPGA 可以使用 AHB 总线实现数据交互，这就是 FP AHB 总线接口。

使用 AHB 总线接口可以访问带有 AHB Slave 接口的 IP 模块，但是 Fuxi 工具没有提供以单个寄存器读写访问方式的 IP 核。而在实际工程中，MCU 需要以寄存器的方式访问 FPGA 资源，在此种背景下，京微齐力根据 AHB 的单次触发读写时序的原理设计基于 AHB Slave Decoder 模块的 AHB Slave Interface 模块。AHB Slave Interface 模块实现 MCU 以寄存器方式读写 FPGA 的数据，为 FPGA 开发受控于 MCU 的功能模块奠定通讯基础。

AHB Slave Decoder 原理说明

本章介绍 AHB Slave Decoder 的设计原理与运行机制。

2. AHB Slave Decoder 原理说明

AHB Slave Decoder 的设计框图如图 1 所示，使用 Fuxi 例化 MCU 时根据配置导出 AHB Master Interface 接口，AHB Master Interface 接口与 AHB Slave Decoder 模块进行互联。

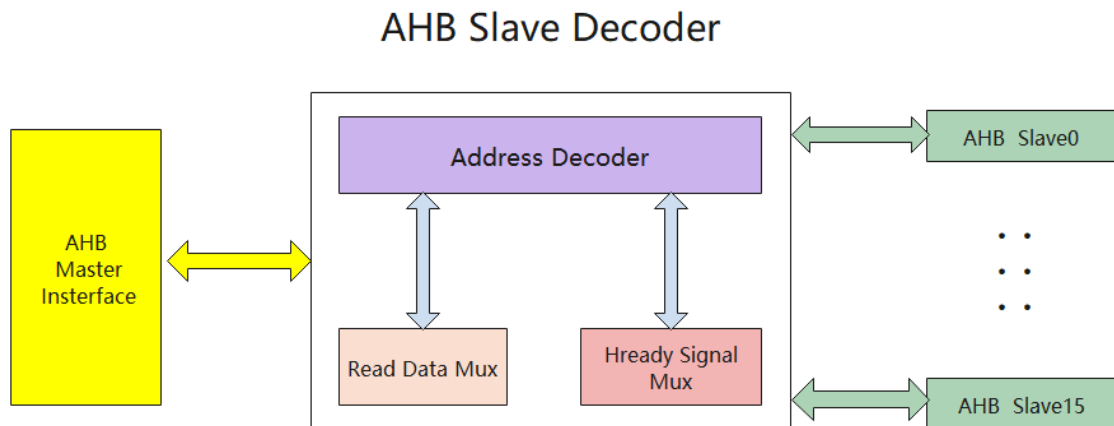


图 1 AHB Slave Decoder 框图

AHB Slave Decoder 模块属于 Fuxi 工具的 IP 核，该 IP 核最多可以挂载 16 个从站，每个从站分配的地址空间不能小于 1K Byte。

AHB Slave 可以使用 Fuxi 工具中带有 AHB Slave 接口的 IP 核或者独立开发带有 AHB Slave 接口的功能模块。AHB Slave Interface 模块属于 AHB Slave 部分的内容。

案例 FPGA 工程框图介绍

本章详细介绍 AHB Slave Decoder 的案例 FPGA 工程框图。

3. 案例 FPGA 工程框图介绍

图 2 是案例工程的 FPGA 功能框图，PLL 接收外部时钟 20MHz，倍频出 FPGA 系统时钟给用户逻辑，MCU 时钟给 MCU 控制器单元提供时钟，AHB 时钟给 AHB Slave Decoder 以及 AHB Slave Decoder 下挂载的从站设备提供 AHB 总线时钟。FPGA 系统时钟本例程为 100MHz，MCU 时钟为 200MHz，AHB 时钟可以是 50MHz、100MHz、125MHz、150MHz。

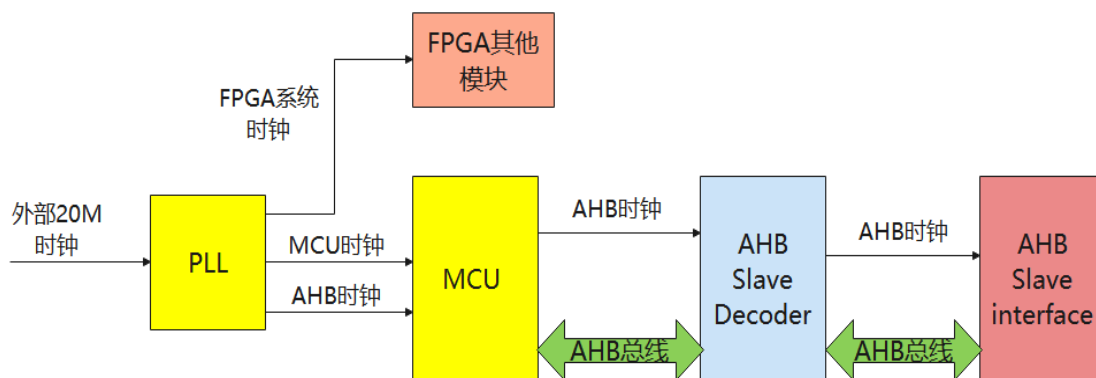


图 2 FPGA 工程框图

本文档中的时序图使用的是 150MHz。

AHB Slave Interface 模块的接口介绍

本章介绍 AHB Slave Interface 模块的接口。

4. AHB Slave Interface 模块的接口介绍

4.1 接口信号说明

该模块根据 AHB 读写时序实现了 MCU 以寄存器的方式访问 FPGA 的资源。该模块接口信号如表 1 所示：

表 1 AHB Slave Interface 模块的接口信息介绍

信号名称	位宽(bit)	方向	描述	说明
hclk	1	Input	时钟信号，上升沿采样，50Mhz	
hresetn	1	Input	复位信号，低电平有效	
haddr	32	Input	32 位地址	
hsel	1	Input	从站片选信号	
htrans	2	Input	当前传输类型，支持 NONSEQ, SEQ, IDLE, BUSY	没使用
hwrite	1	Input	读写信号，1：写，0：读	
hsize	3	Input	每个传输的数据位宽，以字节为单位，最高支持 1024bit	没使用
hburst	3	Input	burst 类型，支持 4、8、16 burst, incrementing/wrapping	没使用
hwdata	32	Input	总线写数据	
hrdata	32	Output	总线读取的数据	
Hready_out	1	Output	高：Slave 指出传输结束 低：Slave 需延长传输周期	
hresp	1	Output	Slave 发给 Master 的总线传输状态	没有使用

4.2 MCU 读写 AHB Slave Interface 模块的接口

图 3 是 MCU 连续两次写数据至 AHB Slave Interface 模块的时序图，AHB Slave Decoder 工作时钟频率为 150Mhz，该图是使用 Fuxi 工具逻辑分析仪捕获得写操作时序。



图 3 MCU 写数据至 AHB Slave Interface 模块的接口时序图

根据上图可知，完成写操作实际只需要两个时钟周期，但地址信息和写信号会提前两个时钟周期给出，MCU 写数据时序描述如下所述：

1. 在 T1 上升沿时刻，AHB 总线输出写信号（hwrite）和地址信号(haddr)；
2. 在 T2 上升沿时刻，片选信号(hsel)、写信号（hwrite）和地址信号(haddr)有效；

3. 在 T3 上升沿时刻，写入的数据信号(hdata)有效；
4. 在 T4 上升沿时刻，从站模块读取总线的数据，至此一次写操作完成。

从图 3 可以看出，两次写操作时间间隔 8 个时钟周期（AHB Slave Decoder 工作时钟），即 MCU 写数据周期为 10 个时钟周期，根据写数据周期可以算出 MCU 写操作的最大带宽，其计算公式如下。计算 AHB Slave Decoder 在不同的工作频率下的带宽，

$$W = 32 * f_{hclk} / (TC * 8 * 1024 * 1024) \quad (1)$$

说明：

W: MCU 写数据带宽

f_{hclk} : AHB Slave Decoder 时钟频率，单位 MHz

TC: 写数据周期基数

MCU 写数据带宽如表 2 所示：

表 2 MCU 写数据带宽

AHB Slave Decoder 时钟频率 (f_{hclk})	写数据周期 (TC)	MCU 写数据最大带宽 (W)	说明
50MHz	7	27Mbps	
100MHz	9	42.6Mbps	
125MHz	9	51.8Mbps	
150MHz	10	56.7Mbps	

图 4 是 MCU 从 AHB Slave Interface 模块的接口读数据时序图，读操作需要三个时钟周期。

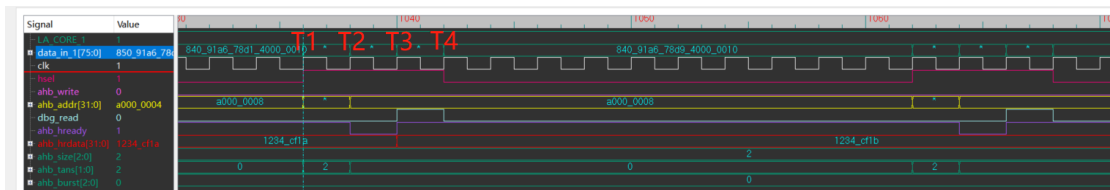


图 4 MCU 从 AHB Slave Interface 模块的接口读数据时序图

MCU 读数据时序描述如下所述：

1. 在 T1 上升沿时刻，片选信号（hsel）和地址信号(haddr)有效。
2. 在 T2 上升沿时刻，从站接收地址信号同时将 hready 拉低延长读数据周期一个 CLK。
3. 在 T3 上升沿时刻，从站设备拉高 hready 信号，同时将读取的有效数据输出至数据总线。
4. 在 T4 上升沿时刻，主站读取有效数据，自此读操作完成。

从图 4 可以看出，两次读操作时间间隔 10 个时钟周期（AHB Slave Decoder 工作时钟），即 MCU 读数据周期为 13 个时钟周期，根据读数据周期可以算出 MCU 读操作的最大带宽，其计算公式如公式（1），MCU 读数据带宽如表 3 所示：

表 3 MCU 读数据带宽

AHB Slave Decoder 时钟频率 (f_{clk})	写数据周期 (TC)	MCU 读数据最大带宽 (W)	说明
50MHz	9	21.2Mbps	
100MHz	11	34.6Mbps	
125MHz	12	39.7Mbps	
150MHz	13	44Mbps	

4.3 模块功能使用

如图 5 所示，AHB Slave Interface 模块作为外设例化后挂载在 AHB Slave Decoder 模块上，模块可以被实例化多份，没有个数限制。

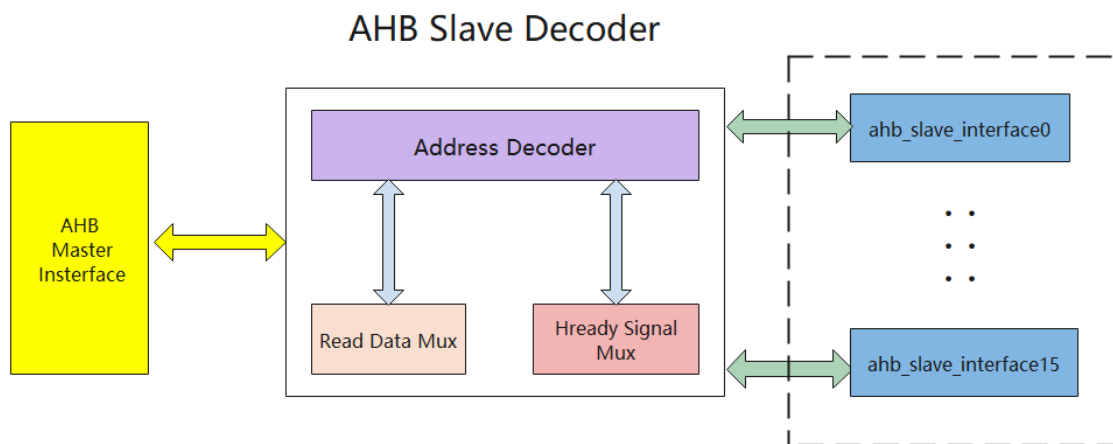


图 5 AHB Slave Interface 模块的模块挂载方式

该模块地址有效位为 11 位，寻址空间为 2K Byte，开发者可以扩展地址有效位宽增加 MCU 的访问空间，但是不可以超过 AHB 可以访问的地址范围，如 Fuxi 工具例化 AHB 有 AHB0 和 AHB1，AHB0 的地址范围是 0xA0000000 到 0xBFFFFFFF，AHB1 的地址范围是 0xC0000000 到 0xDFFFFFFF。如果 AHB Slave Decoder 模块挂载 AHB0 时，AHB Slave Interface 模块的地址最大范围不能超过 0xBFFFFFFC，同理 AHB Slave Decoder 模块挂载在 AHB1 时，AHB Slave Interface 模块的地址最大范围不能超过 0xDFFFFFFC。

4.4 模块注意事项

AHB Slave Interface 模块实现了 MCU 使用 AHB 总线以 32bit 为单位读写 FPGA 寄存器的访问方式，但在使用时需要注意以下事项：

1. 目前没有对模块进行突发传输测试，但逻辑设计是支持 AHB 主站的突发传输。
2. AHB Slave Interface 模块不支持延时读写方式，AHB 主站两个时钟周期可以完成寄存器的读写操作。
3. 模块中只陈列了 60 个寄存器，开发者可以根据需要扩展寄存器的个数。
4. AHB Master Interface 接口时钟为 50Mhz 时，测试 AHB Slave Interface 模块接口读写数据正常，其他频率时钟暂时没有进行测试。