

MPC8360E PowerQUICC™ II Pro系列

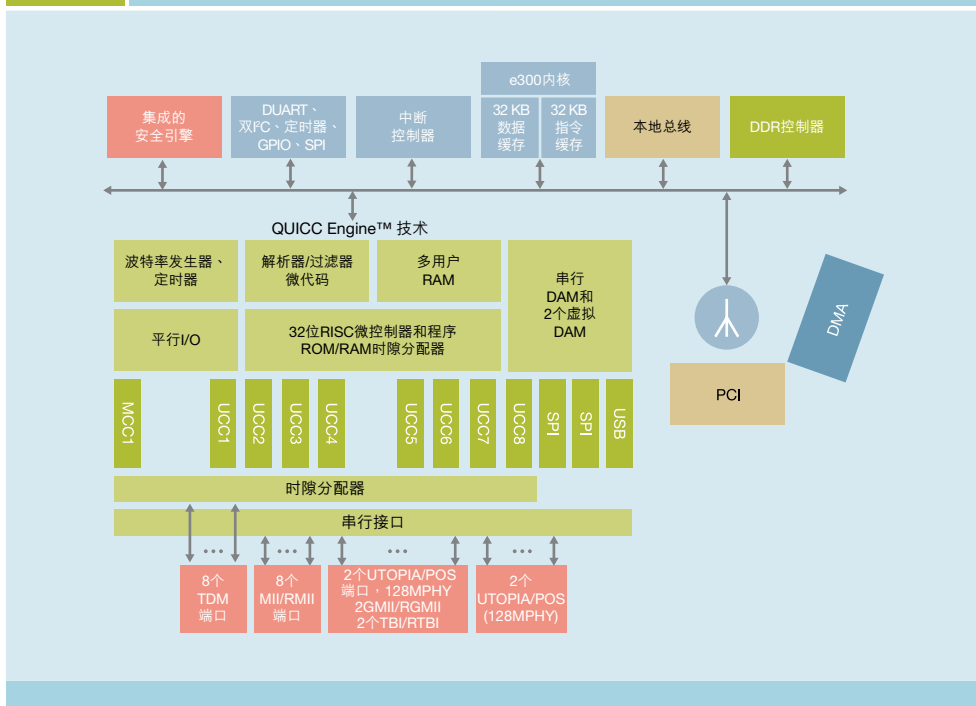
概述

飞思卡尔半导体的MPC8360E PowerQUICC II Pro集成通信处理器系列是广受欢迎的PowerQUICC II的下一代产品，内置Power Architecture技术。MPC8360E系列结合下一代通信引擎QUICC Engine，支持一系列不同协议，包括千兆以太网和QC-12异步传输模式(ATM)/ Packet over Sonet (POS)。其他增强功能还包括构建在Power Architecture技术(603e内核增强版本，高速缓存容量更大)上的e300内核，最高可扩展到667 MHz、2个DDR内存控制器和集成的安全引擎。

MPC8360E PowerQUICC II Pro通信处理器的先进功能使它非常适合当今和未来有线、无线接入设备以及中小型企业联网设备。目标应用包括多租户单元(MTU)、数字用户线路接入多路复用器(DSLAM)、无线基站、多用户和固定用户接入节点、分插复用器和路由器。

作为MPC8360E PowerQUICC II Pro系列中的成员，MPC8358E处理器与MPC8360E是引脚兼容的。MPC8358E是一款经济高效、低功耗的处理解决方案，能满足宽带接入应用的性能要求，如中小型企业(SME)路由器、低端DSLAM和IP专用自动小交换机(PABX)系统。

MPC8360E



e300片上系统平台

MPC8360E PowerQUICC II Pro系列基于e300片上系统(SoC)平台。这使得添加或删除功能块既简单又快速，同时为新兴市场开发基于SoC的其他系列成员。e300 SoC平台的中央是构建在Power Architecture技术上的飞思卡尔e300内核。e300内核是上一代PowerQUICC II处理器中使用的603e内核的增强版本。e300的增强包括两倍于后者的L1缓存(32 KB数据缓存和32 KB指令缓存)，集成的奇偶校验及其他一些性能增强特性。e300内核与现有的基于603e内核的产品能够软件兼容。

连通性

MPC8360E处理器能够支持大量通信接口，如MII、RMII、GMII、TBI、RTBI、NMSI、UTOPIA、POS和TDM。双32位DDR内存控制器有助于确保高速内存接入和速率高达133MHz的本地系统总线。其他系统连通性通过双UART、双I²C、双串行接口(SPI)、PCI接口和通用串行总线(USB)接口(兼容USB 2.0全速/低速)来实现。

集成的安全

MPC8360E 和 MPC8358E处理器通过源自于飞思卡尔安全协处理器产品线的强大集成安全引擎实现了集成安全。集成安全支持DES、3DES、MD-5、SHA-1、AES 和ARC-4加密算法，以及公共密钥加速器和片上随机号码发生器。集成的安全引擎能够实现single-pass加密和鉴权，符合IPsec、IEEE® 802.11i标准和其他安全协议的要求。

典型应用

- DSL基础设施
 - DSLAMs
 - MTU
- 无线基础设施
 - 基站收发站(BTS)
 - 基站控制器(BSC)
 - 无线网络控制器(RNC)
 - 节点B
- 中小型企业(SME)路由器
 - 入侵检测/保护系统(IDS/IPS)
 - 安全VPN
 - 防火墙
- 分插复用器和数字交叉连接
- 集成语音路由器和数字IP专用自动小交换机(PABX)
- 多业务接入节点(MSAN)
- 工业和通用联网

QUICC Engine

飞思卡尔QUICC Engine技术包括2个优化的RISC处理器，不但可以支持大量协议，同时还能提供高达1.2 Gbps的数据吞吐量。8个统一通信控制器(UCC)提供了灵活性，能够以高达OC-12的速率支持快速以太网、千兆以太网、高级数据链路控制(HDLC)和ATM/POS。MPC8360E和MPC8358E支持最多8个T1/E1连通性。MPC8360E支持8个TDM，MPC8358E支持4个TDM，每个TDM都能支持一个纯通道T3/E3。MPC8360E上的一个多通道通信控制器(MCC)最多支持256条64 kbps的HDLC或透明通道。

为了简化从当前PowerQUICC设计中的过渡，先进的QUICC Engine引擎技术保持了与基于PowerQUICC的上一代处理器设计很高的软件兼容性。这有助于减少移植问题，降低开发成本，加快产品上市步伐。

QUICC Engine技术基于PowerQUICC shrink-wrapped 软件协议支持，提供互通、解析、交换和前转等增强功能。同时还提供了一整套可配置驱动软件和初始化支持。

互通

由于语音、视频和数据的三重播放业务具备从一个IP分组网络中提供3股收入流的潜力，因此它成为所有电信运营商的目标。IP是关键的支持因素，而且过不了多长时间，它就会成为普遍现象。到那时，设备必须在电路和分组交换网络之间，以及众多标准和协议之间进行互操作。标准协议间的互操作性被称为互通。

QUICC Engine块支持ATM和以太网间的互通，无需任何CPU干预，就能支持行业标准RFC2684技术规范。此外，它还支持MC/MLPPP和以太网间的互通。

它能够执行强大的表格查看功能，包括从L2到L4的多个字段，而无需CPU干预。

关键优势

- 高性能、低功率、经济高效的通信处理器解决方案
 - 与基于分组的网络融合
 - 兼容当前的PowerQUICC产品
 - 经济高效的芯片和系统层解决方案
- 先进的QUICC Engine技术，支持大量协议和相关的互通
- DDR内存支持 — 1个64位或2个32位接口
- 当从原有系统移植到IP系统上时风险低
- 软件兼容性实现了产品快速上市
- 低材料单(BOM)成本

产品系列亮点

- 基于Power Architecture技术构建的e300内核(603e内核增强版本，更大缓存)
- DDR内存控制器，1个32/64位或2个32位，速率高达333 MHz
- QUICC Engine技术，8个通信接口支持快速以太网、千兆以太网、ATM、POS、HDLC、异步HDLC、UART和透明性
- 32位PCI接口
- 32位本地总线接口
- 可选的集成安全

技术规范

- e300 Power Architecture 内核，运行在 266 MHz至667 MHz之间
 - 32位高性能超标量内核
 - 667 MHz时为1261个MIPS，266 MHz时为503个MIPS
 - 双精浮点、整数、负载/存储、系统寄存器和分支处理器单元
 - 32 KB 数据和32 KB指令高速缓存，带线路锁支持
- QUICC Engine技术，初始运行速率高达 500 MHz
 - 2个32位RISC控制器，灵活支持通信外设
 - 串行DMA通道，用于所有串行通道上的接收和发送
 - QUICC Engine外设请求接口，实现集成的安全、PCI和IEEE Std 1588
 - 8个UCC支持下列协议和接口：
 - .. 10/100/1000 Mbps以太网
 - .. 支持IEEE Std 1588协议
 - .. ATM SAR，支持AAL5、AAL2、AAL1、AAL0、TM 4.0 CBR、VBR和UBR流量类型，高达64 KB的外部连接
 - .. ATM 反向复用(IMA)
 - .. 高达622 Mbps的POS
 - .. 透明
 - .. HDLC
 - .. 多链路多级PPP
 - .. HDLC总线
 - .. UART
 - .. BISYNC
 - 1个多信道通信控制器(MCC)，支持：
 - .. 256条TDM信道
 - .. 每信道的透明和HDLC模式
 - .. 支持信令系统编号(SS7)
 - .. 子组的几乎任何组合都可以复用到一个或多个TDM接口
 - 2个UTOPIA/POS接口，每个接口最多支持128个multi-PHY
 - 2个串行外设接口(SPI)
 - 8个TDM接口，支持：
 - .. 64 kbps的总带宽和256条通道
 - .. 一条TDM链路上最高16 Mbps和最多256条通道
 - .. 2048字节的SI RAM (1024个条目)
 - .. 8个可编程闪控
 - .. 位或字节分辨率
 - .. 独立的发送和接收路由、帧同步
 - .. T1、CEPT、T1/E1、T3/E3、脉冲 - 代码调制总线、ISDN首要/基本速率，飞思卡尔芯片间数字链路 (IDL)和用户定义的TDM串行接口
 - 16个独立的波特率发生器
 - 4个独立的16位定时器，可以作为2个32位定时器互连
 - 2个SPI端口，可以配置成以太网管理端口，用来管理数据输入/输出 (MDIO)；同时另外一个可以配置为经济高效的串行外设。SPI还包含CPU模式，由CPU进行配置，而非QUICC Engine
- USB接口 (兼容USB 2.0全/低速率)
- DDR内存控制器
 - 可编程定时，支持DDR-1/2 SDRAM
 - 2个32位 (仅MPC8360E)或1个32/64位数据接口；高达333 MHz数据速率
 - 4个内存库，每个容量都高达1GB
 - 全ECC支持
- PCI接口
 - 1个32位 PCI 2.3总线控制器(3.3V I/O，高达66 MHz)
- 集成的安全(仅MPC8360E和MPC8358E)
 - 公共密钥执行 (RSA和Diffie-Hellman)
 - 数据加密标准执行 (DES和3DES)
 - 先进的加密标准(AES)执行
 - ARC-4 执行(兼容RC4的算法)
 - 信息摘要执行(SHA，MD5, HMAC)
 - 随机号码生成(RNG)
- 本地总线控制器
 - 复用的32位地址和数据操作，速率高达133 MHz
 - 32、16和8位端口规模，由片上内存控制器控制
- 双UART (DUART)
- 双I²C接口 (主从模式)
- 4通道DMA控制器
- 通用平行I/O
- IEEE 1149.1 JTAG测试接入端口
- 封装选项：37.5 mm X 37.5 mm 740 TBGA (MPC8360E, MPC8358E); 29 mm x 29 mm 668 PBGA (仅MPC8358)
- 处理技术：130 nm CMOS
- 电压：1.2V内核电压，3.3V、2.5V和1.8V I/O

MPC8360e系列功能对比	MPC8358E	MPC8360E
CPU	e300	e300
• 指令高速缓存/数据高速缓存 (KB)	32/32	32/32
• 可用时钟频率	最高400 MHz	最高667 MHz
QUICC Engine™	2个RISC内核	2个RISC内核
• 可用时钟频率	最高400 MHz	最高400 MHz
• 以太网	最多2个10/100/1000 最多6个10/100	最多2个10/100/1000 最多8个10/100
• ATM	1个UTOPIA L2	2个UTOPIA L2
◦ MPHY	一个31/128端口	每个UTOPIA端口128个
• POS	是	是
• TDM	最多4个TDM接口 速率为16Mbps时一个接口上 最多有256条通道 最多4个纯通道T3/E3	最多8个TDM接口 速率为16Mbps时一个接口上 最多有256条通道 最多8个纯通道T3/E3
内存控制器	1个32/64位DDR-1/2	1个32/64位或2个32/64位DDR-1/2
本地总线	是	是
PCI	1个32位 (最高66 MHz)	1个32位 (最高66 MHz)
集成安全引擎*	是	是
DUART	是	是
I²C控制器	2	2
SPI	2	2
USB	是	是
中断控制器	是	是
封装选项	740 TBGA 668 PBGA	740 TBGA

*产品名称中的“E”表示通过集成安全引擎的加密加速度。不带集成安全引擎的MPC8360和MPC8358处理器版本现已上市。

了解更多: 如需了解飞思卡尔产品及文献的最新信息，
请访问：www.freescale.com/powerquicc。



飞思卡尔™及飞思卡尔标识都是飞思卡尔半导体的商标。所有其他产品或业务名称为各自所有者的财产。Power Architecture和Power.org字样标记，Power 和 Power.org标识及相关标记都是Power.org授权的注册商标和服务商标。
©飞思卡尔半导体 2008

文件编号：MPC8360EFS
REV 4

