



HME-M7 系列

FPGA 数据手册

2022 年 04 月

京微齐力（北京）科技有限公司

注意

© 2022 京微齐力（北京）科技有限公司版权所有

未经京微齐力（北京）科技有限公司书面许可，不得以任何形式或方式，如电子，机械，形式，包括影印、录音或其他数据储存和检索系统形式复制或转移此文档的任何部分，或将其翻译为其它任何语言或计算机语言。

所有商标均为京微齐力（北京）科技有限公司所有。

手册版本号

HME-M7DSC03

联系我们

如果您在使用我们的产品过程中有任何疑问或问题，请与京微齐力（北京）科技有限公司或者您当地的代理商联系，或发送邮件至：

sales@hercules-micro.com

环境保护

本产品中包含的某些物质可能会对环境或人体健康有害，为避免将有害物质释放到环境中或危害人体健康，建议采用适当的方法回收本产品，以确保大部分材料可正确地重复使用或回收。有关处理或回收的信息，请与当地权威机构联系。

声明

本手册中包含的信息已经仔细检查并认为是完全可靠的。但是，不对手册中可能或潜在的错误负责。京微齐力（北京）科技有限公司保留停止发布或修改手册而不事先通知的权利。为确保获得最新的产品信息，建议用户及时更新手册版本。

本手册介绍的产品并没有被授权用作为生命保障设备或系统中的关键部件。在此使用到的术语有如下定义：**1.**生命保障设备或系统是满足以下条件的设备或系统，**(a)**被通过手术植入人体内或**(b)**用来保障或维持生命，当按照标签上的使用说明正确使用时，有理由认为其工作的中断将会给使用者带来巨大的伤害。**2.**所谓关键部件是指生命保障设备或系统中满足以下条件的部件，即有理由认为该部件中断工作将会导致整个生命保障设备或系统中断工作，或者是影响到后者的安全性和有效性。

版本信息

下表列出了本产品手册的历史版本信息。

发布时间	文档版本	修订信息
2020 年 12 月	HME-M7DSC01	初始版本
2021 年 12 月	HME-M7DSC02	更新了订购信息中的产品型号，删除了 324 相关型号； 更新了订购信息中的温度范围细节； 更新了公司 logo 与文档配色等细节
2022 年 4 月 25 日	HME-M7DSC03	更新了 3.1.3 通用操作条件建议的核心电源数据，增加了高性能和低功耗的分类 更新了 1.2 封装信息的，删除 M7A12N5 的 FBGA256 封装 更新了 5 订购信息

目录

注意	1
版本信息	2
目录	3
1 特性	5
1.1 特性概要	6
1.2 封装信息	7
2 概述	8
2.1 架构	8
2.2 框图	9
2.3 端口定义	9
2.4 存储映射	15
3 电气特性	18
3.1 直流电气特性	18
3.1.1 最大绝对额定值	18
3.1.2 电源规格	18
3.1.3 通用操作条件建议	19
3.1.4 通用核心漏电电流	19
3.1.5 引脚的通用直流特性	19
3.1.6 I/O 标准规格	20
3.1.7 RTC 规格	22
3.1.8 ADC 规格	22
3.1.9 USB 规格	23
3.2 交流特性	27
3.2.1 时钟性能	27
3.2.2 JTAG 交流特性	27
3.2.3 PLL 规格	28
3.2.4 I/O 时序	28
3.2.5 LP 时序	30
3.2.6 PLB 性能	30
3.2.7 EMB 性能	30
3.2.8 DSP 性能	30
3.2.9 ARM Cortex-M3 性能	31
3.2.10 AHB 总线性能	31

4	引脚和封装.....	32
4.1	引脚定义和规则.....	32
4.2	封装信息	35
4.2.1	FBGA484 封装规格	35
4.2.2	FBGA256 封装规格	36
4.2.3	LQFP144 封装规格	38
4.2.4	QFN88 封装规格	40
5	订购信息	42

本章为 HME-M7 系列 FPGA 的特性及封装信息概要。

1 特性

32 位可配置应用平台 (CAP)

- ❑ 基于 SRAM 的高性能 FPGA
- ❑ 高性能,低功耗,32 位 RISC 处理器(ARM® Cortex™-M3)
- ❑ 多电压,多标准,多 Bank I/O
- ❑ 2 条高性能专用 AHB 主/从总线
- ❑ 128 KB 指令代码 SRAM
- ❑ 64 KB 数据 SRAM
- ❑ 8 KB 指令代码缓存
- ❑ 高性能专用 DDRI/II/III 控制器,支持 DDRI/II/III SDRAM
- ❑ 8 个独立的高性能 DMA 通道
- ❑ 双 12 位 1MSPS ADC 和其它标准外设
- ❑ 先进的实时在系统调试功能
- ❑ 高安全性,可以保护 FPGA 和 M3 处理器固件
- ❑ System 在系统管理
 - ISC (在系统配置)
 - 支持多配置文件

ARM® Cortex™-M3 处理器

- ❑ 300 MHz 最大频率,0 等待状态内存访问时的性能为 375 DMIPS/1.25 DMIPS/MHz
- ❑ 单周期乘法和硬件除法
- ❑ JTAG 接口
- ❑ Cortex-M3 嵌入式跟踪 Macrocell™
- ❑ 睡眠,深度睡眠低功耗模式

存储

- ❑ 128 KB 指令代码 SRAM
- ❑ 64 KB 数据 SRAM
- ❑ 8KB 指令码缓存

FPGA

- ❑ 基于 SRAM 的 FPGA 架构
 - 多达 11520 个 4 输入查找表,7680 个 DFF 寄存器
- ❑ 性能高达 200MHz
- ❑ 嵌入式 RAM 存储模块
 - -144 个 4.5Kbit 可编程双端口 DPRAM
- ❑ 嵌入式 DSP 模块
 - 16 个偏斜校正全局时钟
 - 4 个支持倍频、分频、相移及偏斜校正的 PLL
- ❑ 8 个外部时钟输入,1 个外部晶振时钟输入
- ❑ 多电压,多标准,多 Bank I/O
 - 支持 3.3V 至 1.5V 单端差分 I/O 标准及协议
 - 低成本 HSTL 和 SSTL 存储接口
 - 支持 LVDS,DDR II/III 标准的专用 Serdes 电路
 - 每个差分 I/O 高达 800 Mbps 数据传输速率
 - 可编程的驱动能力
 - 可编程的串并转换比率
 - 可编程的输入和输出延迟
 - 校准的串联和并联终端电阻

外设

- ❑ 高性能 DDRI/II/III 控制器硬核,支持高达 333MHz 的 16 位 DDRI/III 内存
- ❑ USB 高速 OTG 2.0 和 PHY
- ❑ ETH 10/100/1000M 控制器
- ❑ 8 通道 DMA
- ❑ 2 个 I2C
- ❑ 2 个 SPI
- ❑ 3 个 UART

- ☐ 4 个 32 位定时器
- ☐ 1x32 GPIO
- ☐ 2 个 CAN 2.0A/B
- ☐ 低功耗 RTC
- ☐ 双路 12 位 1MSPS ADC

- ☐ 动态/多配置支持

安全

- ☐ 256 位 AES 配置文件流加解密
- ☐ 基于 Efuse 和 SPI Flash 安全性设置
- ☐ 保护 FPGA 和 M3 处理器固件 IP，防止复制、克隆和篡改

配置

- ☐ JTAG 模式
- ☐ AS 模式
- ☐ PS 模式

1.1 特性概要

表 1 特性概要

型号 ⁽¹⁾		M7A12N0 ⁽²⁾	M7A12N5	M7M12N5
可编程逻辑块 (PLB) ⁽³⁾	查找表 (LUT)	11520	11520	11520
	寄存器 (Register)	7680	7680	7680
嵌入式存储模块 (EMB)	4.5Kb	144	144	144
	最大存储	648Kb	648Kb	648Kb
SRAM ⁽⁴⁾	代码段存储 (Code RAM)	128KB	128KB	128KB
	最大存储	128KB	128KB	128KB
	数据段存储 (Data RAM)	64KB	64KB	64KB
	最大存储	64KB	64KB	64KB
SDRAM		-	-	64Mb
DSP ⁽⁵⁾		48	48	48
PLL		4	4	4
DLL		4	4	4
Crystal ⁽⁶⁾		1	1	1
Cortex-M3		1	1	1
DDRII/III Controller		1	1	1
USB 高速 OTG 2.0 & PHY ⁽⁷⁾		1	1	1
以太网 10/100/1000M controller		1	1	1
CAN 2.0A/B		2	2	2
12 bit 1MSPS ADC		2	2	2
UART		3	3	3
I2C		2	2	2
SPI		2	2	2
SPI Flash		0	16Mb	16Mb

型号 ⁽¹⁾	M7A12N0 ⁽²⁾	M7A12N5	M7M12N5
最大用户 I/O	310	310	310

1.2 封装信息

表2 封装信息

IPs	封装			
	LQFP144	FBGA256	FBGA484	QFN88
RTC ⁽⁸⁾	--	1	1	-
ADC	8 ch	2 ch	14 ch	6ch
DDR 数据位宽 ⁽⁹⁾	--	16 bit	16 bit	-
用户 I/O (LVDS 对)	97(27)	156(31)	310(75)	59(5)
型号				
M7A12N0	--	Yes	Yes	-
M7A12N5	Yes	-	-	Yes
M7M12N5	-	-	-	Yes

注意:

- (1) M: FPGA + MCU + SDRAM/PSRAM A: FPGA + Analog + MCU。
- (2) “N0”: 表示该器件无 Flash, “N5”表示该器件包含一个 16Mb Flash。
- (3) 每个 HME-M7 PLB 均包含四个 LP (Logic parcel 逻辑包)。每个 LP 包含 3 个 LUT 和 2 个寄存器。
- (4) M7 系列器件: SRAM 只能由 MCU 或 FPGA 使用, 或者 MCU 与 FPGA 分别各共享一半 SRAM。
- (5) 每个 DSP 模块包含一个 18x18 乘法器 (含 48 位累加器) 和一个加法器。每个 DSP 模块还可以支持两个独立的 12x9 乘法器 (含 25 位累加器)。
- (6) 晶体需要 2 个专用引脚。
- (7) USB 需要 11 个专用引脚。
- (8) RTC 需要 4 个专用引脚。
- (9) M7 必须连接 16 位 DDR 内存。

本章为 HME-M7 系列 FPGA 概述，包括器件架构、框图、端口定义及存储映射。

2 概述

HME-M7 是一款集成了 32 位 ARM Cortex™-M3 RISC 内核、高性能 FPGA 以及丰富外设的智能器件。ARM Cortex™-M3 高性能内核的工作频率为 300MHz，配有存储器保护单元（MPU）和高速嵌入式存储器（高达 128KB 的代码段存储器，高达 64KB 的数据段存储和 8K 代码缓存）。高性能 FPGA 使用可编程逻辑资源、嵌入式 RAM 模块和 DSP 可以实现定制化的系统设计和 IP。所有器件均提供双 12 位 1MSPS ADC 模块，4 个可用作时基的通用 32 位定时器。此外，这些器件还包含标准和高级通信接口：I2C、SPI、USART、实时时钟、以太网、双 CAN 和 USB2.0。16 位 DDR2/3 硬核控制器可以满足大容量高速数据存储器的访问要求。AHB 总线用于连接 FPGA、ARM 内核和外设。高性能内部 AHB 系统总线以最高 300MHz 的速度互连嵌入式处理器、外设和 FPGA，该总线同时提供 32 位读数据、32 位写入数据和 32 位地址。多个总线主设备对总线访问进行仲裁。总线主控器包括 ARM Cortex™-M3 处理器、每个 DMA 通道的读写通道、JTAG 接口和 FPGA。

2.1 架构

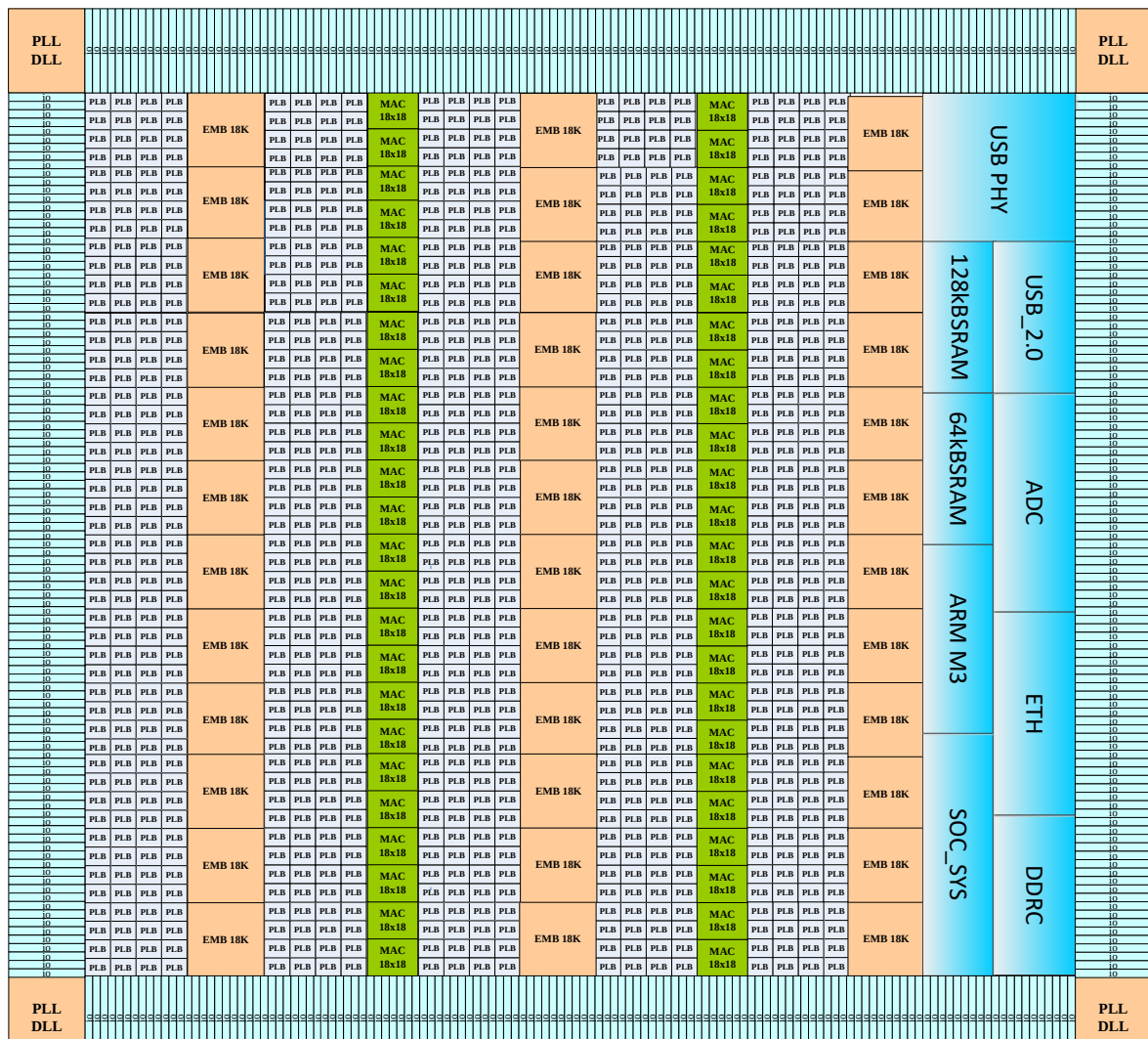


图 1 HME-M7 系列 FPGA 架构

2.2 框图

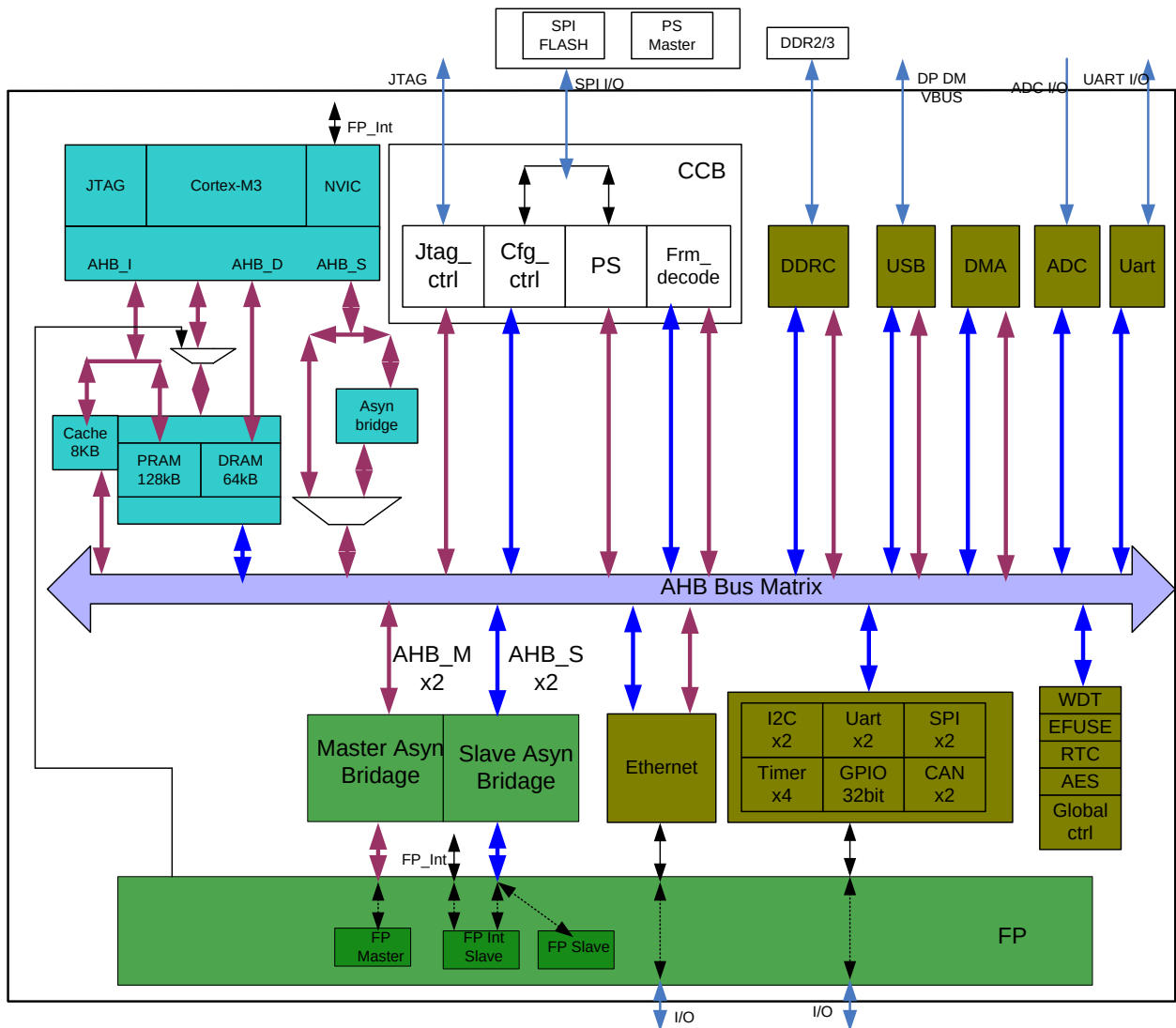


图 2 系统功能图

红色箭头代表主设备，绿色箭头代表从设备。

2.3 端口定义

在 FPGA 设计中，ARM 和其他模块被视为宏模块，这些模块会在用户设计的 RTL 代码中实例化。

下面列出的所有端口都必须通过内部逻辑连接到 Fabric 或 I/O 引脚，然后相关 IP 才能被 FPGA 或外部设备使用。

表 3 CAP 端口定义

名称	类型	总线规格	描述
时钟			
fp_clk_sys	I	1	来自全局时钟的系统时钟
fp_clk_adc	I	1	来自全局时钟的 ADC 时钟

名称	类型	总线规格	描述
fp_clk_usb	I	1	来自全局时钟的 USB 时钟
fp_clk_arm	I	1	来自全局时钟的 ARM 内核时钟
fp_clk_ddrc	I	1	来自全局时钟的 DDR 控制器时钟
GPIO 接口			
gpio_0_out_o	O	32	GPIO 输出
gpio_0_oe_o	O	32	GPIO 输出使能，高有效
gpio_0_in_i	I	32	GPIO 输入
中断接口			
fp_interrupt	I	16	从 FP 到 ARM 内核的中断源
I2C 接口			
i2c0_scl_oe_o	O	1	I2C0 的 SCL 输出使能；高有效
i2c0_sda_oe_o	O	1	I2C0 的 SDA 输出，高有效
i2c0_scl_i	I	1	I2C0 的 SCL 输入
i2c0_sda_i	I	1	I2C0 的 SDA 输入
i2c1_scl_oe_o	O	1	I2C1 的 SCL 输出使能；高有效
i2c1_sda_oe_o	O	1	I2C1 的 SDA 输出，高有效
i2c1_scl_i	I	1	I2C1 的 SCL 输入
i2c1_sda_i	I	1	I2C1 的 SDA 输入
UART 接口			
uart0_rts_o	O	1	请求发送，高有效。当该信号为高电平时，UART 准备接收串行数据
uart0_txd_o	O	1	串行数据输出
uart0_cts_i	I	1	清除发送，高有效。UART 发送串行数据的使能信号
uart0_rxd_i	I	1	串行数据输入
Uart1_rts_o	O	1	请求发送，高有效。当该信号为高电平时，UART 准备接收串行数据
Uart1_txd_o	O	1	串行数据输出
Uart1_cts_i	I	1	清除发送，高有效。UART 发送串行数据的使能信号
Uart1_rxd_i	I	1	串行数据输入
SPI 接口			
spi0_mosi	O	1	SPI0 的数据输出
spi0_sck	O	1	SPI0 的时钟
spi0_ssn	O	1	SPI 0 的片选
spi0_miso	I	1	SPI 0 的数据输入
spi1_mosi	O	1	SPI 1 的数据输出
Spi1_sck	O	1	SPI 1 的时钟
Spi1_ssn	O	1	SPI 1 的片选
Spi1_miso	I	1	SPI 1 的时钟

名称	类型	总线规格	描述
CAN 接口			
pad_can0_o_clk	O	1	来自 CAN 系统时钟的时钟输出
pad_can0_o_tx0	O	1	TX0 是到收发器的传输数据总线
pad_can0_o_tx1	O	1	tx1 通常为~tx0，但可以由 OCR 寄存器设置为 tx_clock，即位时钟，波特率，触发每个 bit_time 周期
pad_can0_oen_tx0	O	1	Tx0 使能，高有效
pad_can0_oen_tx1	O	1	Tx1 使能，高有效
pad_can0_i_rx0	I	1	接收数据，在 pad_can0_o_clk 下降沿取样
pad_can1_o_clk	O	1	来自 CAN 系统时钟的时钟输出
pad_can1_o_tx0	O	1	TX0 是到收发器的传输数据总线
pad_can1_o_tx1	O	1	x1 通常为~tx0，但可以由 OCR 寄存器设置为 tx_clock，即位时钟，波特率，触发每个 bit_time 周期
pad_can1_oen_tx0	O	1	Tx0 使能，高有效
pad_can1_oen_tx1	O	1	Tx1 使能，高有效
pad_can1_i_rx0	I	1	接收数据，在 pad_can1_o_clk 下降沿取样
FP0 AHB 主设备接口		FP AHB 主设备 0	
clk_ahb_fp0	I	1	该时钟为所有总线传输计时。所有信号时序都与该时钟的上升沿有关
rst_ahb_fp0_n	I	1	总线复位信号，低电平有效，用于系统和总线复位
fp0_m_ahb_mastlock	I	1	表示当前主设备正在执行锁定操作。该信号与 HMASTER 信号时序相同
fp0_m_ahb_prot	I	4	该信号表示传输是操作码提取还是数据访问，以及传输是特权模式访问还是用户模式访问。对于具有内存管理单元的总线主设备，这些信号还表示当前访问是可缓存的还是可缓冲的
fp0_m_ahb_size	I	3	指示传输的大小，通常为字节（8 位），半字（16 位）或字（32 位）。该协议允许更大的传输大小，最大可达 1024 位
fp0_m_ahb_addr	I	32	32 位系统地址总线
fp0_m_ahb_write	I	1	高电平时，该信号表示写传输；低电平时，该信号表示读传输
fp0_m_ahb_burst	I	3	表示传输是否构成 Burst 的一部分。支持四拍，八拍和十六拍 Burst，并且该 Burst 可以是递增的或回环的
fp0_m_ahb_trans	I	2	表示当前传输类型，可以是 NONSEQUENTIAL、SEQUENTIAL、IDLE 或 BUSY
fp0_m_ahb_wdata	I	32	写数据总线用于在写操作期间将数据从主设备传输到总线从设备
fp0_m_ahb_ready	O	1	当 HREADY 信号为高电平时，表明总线上的传输已完成。可以将该信号驱动为低电平以延长传输
fp0_m_ahb_resp	O	1	传输响应提供传输状态相关的额外信息 提供四种不同的响应：OKAY、ERROR、RETRY 和 SPLIT
fp0_m_ahb_rdata	O	32	读数据总线用于在读操作期间将数据从总线从设备传输到总线主设备

名称	类型	总线规格	描述
FP0 AHB 从设备接口		FP0 AHB 从设备 0	
fp0_s_ahb_mastlock	O	1	表示当前的主设备正在执行锁定操作。该信号与 HMASTER 信号时序相同
fp0_s_ahb_prot	O	4	该信号表示传输是操作码提取还是数据访问，以及传输是特权模式访问还是用户模式访问。对于具有内存管理单元的总线主设备，这些信号还表示当前访问是可缓存的还是可缓冲的
fp0_s_ahb_size	O	3	指示传输的大小，通常为字节（8 位），半字（16 位）或字（32 位）。该协议允许更大的传输大小，最大可达 1024 位
fp0_s_ahb_sel	O	1	每个 AHB 从设备都有其自己的 slave 选择信号，该信号表示当前传输是针对所选从设备的
fp0_s_ahb_addr	O	32	32 位系统地址总线
fp0_s_ahb_write	O	1	高电平时，该信号表示写传输；低电平时，该信号表示读传输
fp0_s_ahb_burst	O	3	表示传输是否构成 Burst 的一部分。支持四拍，八拍和十六拍 Burst，并且该 Burst 可以是递增的或回环的
fp0_s_ahb_trans	O	2	表示当前传输类型，可以是 NONSEQUENTIAL、SEQUENTIAL、IDLE 或 BUSY
fp0_s_ahb_wdata	O	32	写数据总线用于在写操作期间将数据从主设备传输到总线从设备
fp0_s_ahb_readyout	I	1	当 HREADY 信号为高电平时，表明总线上的传输已完成。可以将该信号驱动为低电平以延长传输
fp0_s_ahb_resp	I	1	传输响应提供传输状态相关的额外信息 提供四种不同的响应：OKAY、ERROR、RETRY 和 SPLIT
fp0_s_ahb_rdata	I	32	读数据总线用于在读操作期间将数据从总线从设备传输到总线主设备
FP1 AHB 主设备接口		FP1 AHB 主设备 1	
clk_ahb_fp1	I	1	该时钟为所有总线传输计时。所有信号时序都与该时钟的上升沿有关
rst_ahb_fp1_n	I	1	总线复位信号，低电平有效，用于系统和总线复位
fp1_m_ahb_mastlock	I	1	表示当前主设备正在执行锁定操作。该信号与 HMASTER 信号时序相同
fp1_m_ahb_prot	I	4	该信号表示传输是操作码提取还是数据访问，以及传输是特权模式访问还是用户模式访问。对于具有内存管理单元的总线主设备，这些信号还表示当前访问是可缓存的还是可缓冲的
fp1_m_ahb_size	I	3	指示传输的大小，通常为字节（8 位），半字（16 位）或字（32 位）。该协议允许更大的传输大小，最大可达 1024 位
fp1_m_ahb_addr	I	32	32 位系统地址总线
fp1_m_ahb_write	I	1	高电平时，该信号表示写传输；低电平时，该信号表示读传输
fp1_m_ahb_burst	I	3	表示传输是否构成 Burst 的一部分。支持四拍，八拍和十六

名称	类型	总线规格	描述
			拍 Burst，并且该 Burst 可以是递增的或回环的
fp1_m_ahb_trans	I	2	表示当前传输类型，可以是 NONSEQUENTIAL、SEQUENTIAL、IDLE 或 BUSY
fp1_m_ahb_wdata	I	32	写数据总线用于在写操作期间将数据从主设备传输到总线从设备
fp1_m_ahb_ready	O	1	当 HREADY 信号为高电平时，表明总线上的传输已完成。可以将该信号驱动为低电平以延长传输
fp1_m_ahb_resp	O	1	传输响应提供传输状态相关的额外信息 提供四种不同的响应：OKAY、ERROR、RETRY 和 SPLIT
fp1_m_ahb_rdata	O	32	读数据总线用于在读操作期间将数据从总线从设备传输到总线主设备
FP1 AHB 从设备接口		FP1 AHB 从设备 1	
fp1_s_ahb_mastlock	O	1	表示当前主设备正在执行锁定操作。该信号与 HMASTER 信号时序相同
fp1_s_ahb_prot	O	4	该信号表示传输是操作码提取还是数据访问，以及传输是特权模式访问还是用户模式访问。对于具有内存管理单元的总线主设备，这些信号还表示当前访问是可缓存的还是可缓冲的
fp1_s_ahb_size	O	3	指示传输的大小，通常为字节（8 位），半字（16 位）或字（32 位）。该协议允许更大的传输大小，最大可达 1024 位
fp1_s_ahb_sel	O	1	每个 AHB 从设备都有其自己的 slave 选择信号，该信号表示当前传输是针对所选从设备的
fp1_s_ahb_addr	O	32	32 位系统地址总线
fp1_s_ahb_write	O	1	高电平时，该信号表示写传输；低电平时，该信号表示读传输
fp1_s_ahb_burst	O	3	表示传输是否构成 Burst 的一部分。支持四拍，八拍和十六拍 Burst，并且该 Burst 可以是递增的或回环的
fp1_s_ahb_trans	O	2	表示当前传输类型，可以是 NONSEQUENTIAL、SEQUENTIAL、IDLE 或 BUSY
fp1_s_ahb_wdata	O	32	写数据总线用于在写操作期间将数据从主设备传输到总线从设备
fp1_s_ahb_readyout	I	1	当 HREADY 信号为高电平时，表明总线上的传输已完成。可以将该信号驱动为低电平以延长传输
fp1_s_ahb_resp	I	1	传输响应提供传输状态相关的额外信息 提供四种不同的响应：OKAY、ERROR、RETRY 和 SPLIT
fp1_s_ahb_rdata	I	32	读数据总线用于在读操作期间将数据从总线从设备传输到总线主设备
SDRAM interface SDRAM 接口			
A[0:10]	O	11	行和列地址的复用引脚 行地址：A0-A10。列地址：A0-A7 在预充电命令期间对 A10 进行采样，以确定是否要对所有 Bank 进行预充电或由 BS0 和 BS1 进行 Bank 选择

名称	类型	总线规格	描述
BS[0:1]	O	2	在行地址锁存时，选择要激活的 Bank；或者在地址锁存时，选择要读/写的 Bank
DQ[0:31]	I/O	32	用于数据输出和输入的多路复用引脚
$\overline{CS}$	O	1	禁用或启用命令解码器。当命令解码器被禁用时，新命令被忽略，先前的操作继续
$\overline{RAS}$	O	1	命令输入。当在时钟的上升沿采样时， $\overline{RAS}$ ， $\overline{CAS}$ 和 $\overline{WE}$ 定义即将执行的操作
$\overline{CAS}$	O	1	参考 $\overline{RAS}$
$\overline{WE}$	O	1	参考 $\overline{RAS}$
DQM[0:3]	I/O	4	当 DQM 在读周期中被采样为高电平时，输出缓冲器被置于 Hi-Z(延迟为 2)。在写周期中，采样 DQM 高电平将以零延迟阻止写操作
CLK	O	1	用于在时钟的上升沿对输入进行采样
CKE	O	1	CKE 控制时钟的触发和停用。当 CKE 为低电平时，进入掉电模式，睡眠模式或自刷新模式

2.4 存储映射

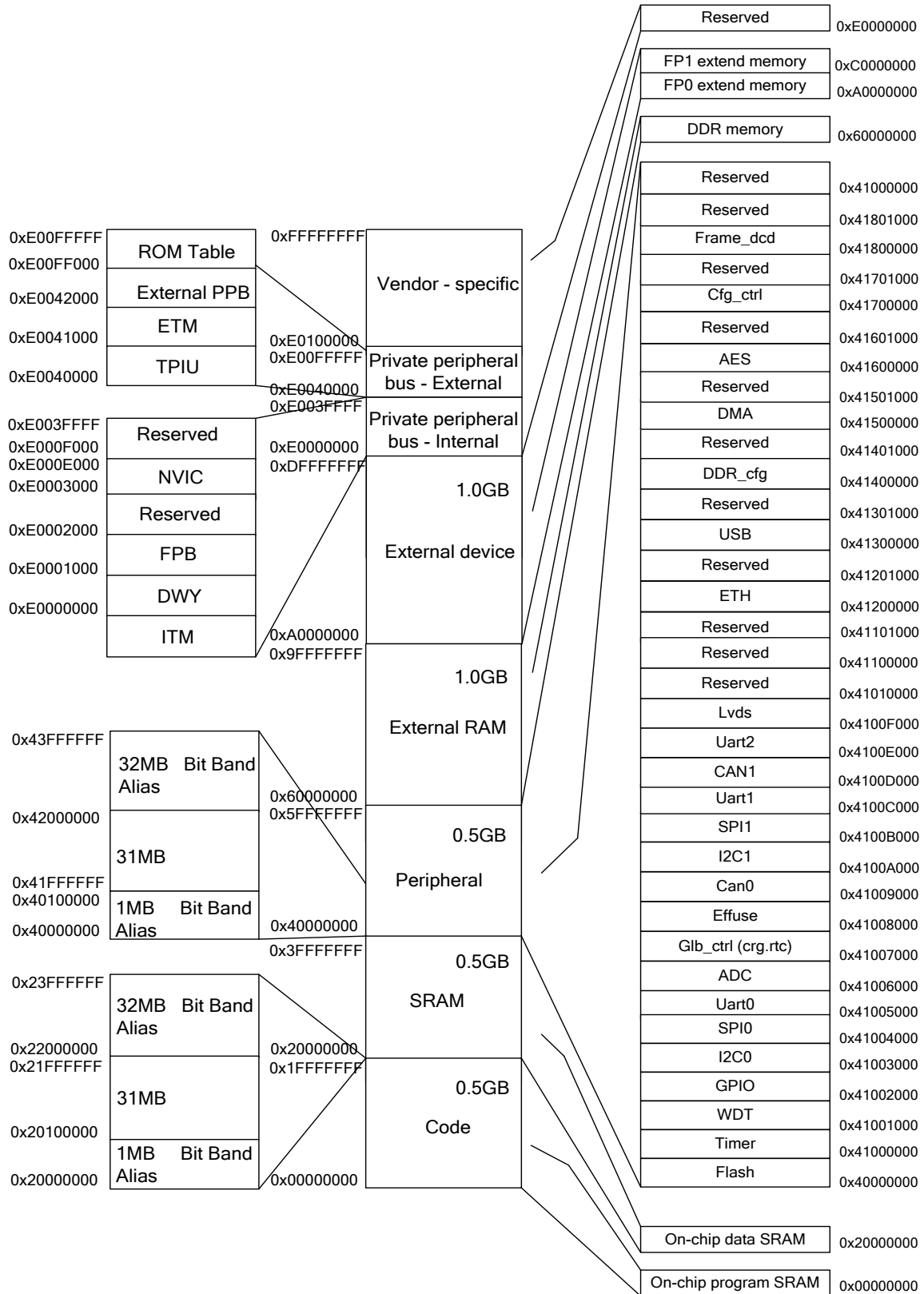


图 3 系统存储映射

表4 边界地址

地址	大小	端口号	描述
32'h0000_0000 ---32'h1fff_ffff	0.5G	B	S_memory 程序区 (只有 m3_sys / jtag / dmac 可以访问该区域)
32'h2000_0000 ---32'h3fff_ffff	0.5G	D	S_memory 数据区
32'h4000_0000 ---32'h40ff_ffff	16M	0	闪存
32'h4100_0000 ---32'h4100_0fff	4k	1	计时器
32'h4100_1000 ---32'h4100_1fff	4k	1	WDT
32'h4100_2000 ---32'h4100_2fff	4k	1	GPIO
32'h4100_3000 ---32'h4100_3fff	4k	1	I2C0
32'h4100_4000 ---32'h4100_4fff	4k	1	SPI0
32'h4100_5000 ---32'h4100_5fff	4k	1	Uart0
32'h4100_6000 ---32'h4100_6fff	4k	1	ADC
32'h4100_7000 ---32'h4100_7fff	4k	1	Glb_ctrl
32'h4100_8000 ---32'h4100_8fff	4k	1	Effuse
32'h4100_9000 ---32'h4100_9fff	4k	1	Can0
32'h4100_a000 ---32'h4100_afff	4k	1	I2C1
32'h4100_b000 ---32'h4100_bfff	4k	1	SPI1
32'h4100_c000 ---32'h4100_cfff	4k	1	Uart1
32'h4100_d000 ---32'h4100_dfff	4k	1	Can1
32'h4100_e000 ---32'h4100_ffff	4k	1	Uart2
32'h4100_f000 ---32'h4100_ffff	4k	1	Lvds
32'h4101_0000 ---32'h410f_ffff	---	1	预留
32'h4110_0000 ---32'h4110_0fff	4k	2	预留
32'h4110_1000 ---32'h411f_ffff	---	2	预留
32'h4120_0000 ---32'h4120_0fff	4k	3	ETH 以太网
32'h4120_1000 ---32'h412f_ffff	---	3	预留
32'h4130_0000 ---32'h4130_0fff	4k	4	USB
32'h4130_1000 ---32'h413f_ffff	---	4	预留
32'h4140_0000 ---32'h4140_0fff	4k	5	DDR 寄存器
32'h4140_1000 ---32'h414f_ffff	---	5	预留
32'h4150_0000 ---32'h4150_0fff	4k	6	DMA
32'h4150_1000 ---32'h415f_ffff	---	6	预留
32'h4160_0000 ---32'h4160_0fff	4k	7	AES
32'h4160_1000 ---32'h416f_ffff	---	7	预留
32'h4170_0000 ---32'h4170_0fff	4k	8	配置寄存器
32'h4170_1000 ---32'h417f_ffff	---	8	预留
32'h4180_0000 ---32'h4180_0fff	4k	9	Frame_dcd

地址	大小	端口号	描述
32'h4180_1000 ---32'h418f_ffff	---	9	预留
32'h4190_0000 ---32'h5fff_ffff	---	A	预留
32'h6000_0000 ---32'h9fff_ffff	1G	F	DDR 存储器
32'ha000_0000 ---32'hbfff_ffff	0.5G	C	FP0 中用于用户逻辑的扩展存储空间
32'hc000_0000 ---32'hdfff_ffff	0.5G	E	FP1 中用于用户逻辑的扩展存储空间
32'he000_0000 ---32'hfff_ffff	0.5G	A	预留

注意：禁止对预留区进行操作，否则，将发生意外异常。

本章列出直流及交流电气特性，供用户快速搜索查询。

3 电气特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

3.1 直流电气特性

3.1.1 最大绝对额定值

超过下表最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重影响器件的可靠性。

表 5 最大绝对额定值

标识	描述	条件	最小	最大	单位
VDD_CORE	内部电源电压		-0.5	1.25	V
VDDIO	I/O 驱动器电源电压		-0.5	3.75	V
VIN	施加到所有用户 I/O 引脚和复用引脚的电压	驱动器处于高阻抗状态	GND-0.2		V
	施加于所有专用引脚的电压		GND-0.2		V
VESD	静电放电电压	人体模型	0	±2000	V
		充电设备模型	-	±500	V
		机器模型	-	±200	V
TJ	结点温度		-40	125	°C
TSTG	贮存温度		-65	150	°C

3.1.2 电源规格

表 6 上电复位电压阈值

标识	描述	最小	最大	单位
VDD_CORET	VCCINT 电源阈值		0.7	V
VDD33T	VDDIO 电源阈值		1.863	V

表 7 电源电压上升速率

标识	描述	最小	最大	单位
VDD_CORET	从 GND 到有效的 VCCINT 电源电平的上升速率	10		V
VDD33T	从 GND 到有效的 VDDIO 电源电平的上升速率	10		V

注意：VDD_CORE 必需在 VDDIO 之前到达阈值。

3.1.3 通用操作条件建议

表 8 基本操作条件建议

标识	描述	最小	典型	最大
TJ	结点温度	-40°C	25°C	125°C
VDD_CORE	核心电源（高性能）	1.05V	1.1V	1.15V
	核心电源（低功耗）	0.95V	1.0V	1.05V
VDD33	JTAG/FLASH 电源	3.135V	3.3V	3.465V
VCC33A_PLL	USB PHY PLL 电源	3.135V	3.3V	3.465V
VCC33A_HSRT	JTAG/FLASH 电源	3.135V	3.3V	3.465V
RTC_VDDBAT	RTC 电源	2.2V		3.3V
VDDADC	ADC 电源@ 3.3V	3.135V	3.3V	3.465V
	@2.5V	2.375V	2.5V	2.625V
VDDIO	I/O 供电电压@ 3.3V	2.97V	3.3V	3.63V
	@2.5V	2.375V	2.5V	2.625V
	@1.8V	1.71V	1.8V	1.89V
	@1.5V	1.425V	1.5V	1.575V
V _I	输入电压	-0.5	-	VDDIO +0.3
V _O	输出电压	-0.3	-	VDDIO
I _L	输入漏电流	±1μA		

3.1.4 通用核心漏电流

表 9 通用漏电流

标识	参数	最小	典型	最大
I _{slc}	静态漏电核心供电电流		100mA	

3.1.5 引脚的通用直流特性

表 10 I/O 引脚漏电流

标识	参数	最小	典型	最大
I _{ozl}	三态 I/O 引脚漏电流	-10μA	-	10μA
I _{il}	输入漏电流	-10μA	-	10μA
I _{iol}	VCC I/O 漏电流 (@ 3.3V)		10μA	

表 11 单端 I/O 引脚驱动强度

支持电压和电流能力	属性	值
驱动强度	I/O 供电电压@ 3.3V	4mA
		8mA
		12mA
		16mA
	I/O 供电电压@ 2.5V	4mA
		8mA

支持电压和电流能力	属性	值
		12mA
		16mA
	I/O 供电电压@ 1.8V	2mA
		4mA
		8mA
		12mA
	I/O 供电电压@ 1.5V	2mA
		4mA
		8mA

表 12 单端 I/O 上拉和下拉电阻

标识	参数	最小	典型	最大	单位
R _{PU}	I/O 引脚上拉电阻值		70		kΩ

表 13 DDR I/O 上拉/下拉终端电阻选择

标识	参数	最小	典型	最大	单位
R _{tpdt/pt}	25°C 时 DDR I/O 上拉/下拉终端电阻值		0		Ω
			25		Ω
			33		Ω
			45		Ω
			50		Ω
			75		Ω
			100		Ω
			150		Ω

3.1.6 I/O 标准规格

表 14 单端 I/O 标准输入直流规格

标准	VDDIO (V)			Vref (V)			Vil (V)	Vih (V)
	最小	典型	最大	最小	典型	最大	最大	最小
3.3V LVTTTL 和 LVCMOS	3.135	3.3	3.465	-	-	-	0.8	1.7
2.5V LVTTTL 和 LVCMOS	2.375	2.5	2.625	-	-	-	0.7	1.7
1.8V LVTTTL 和 LVCMOS	1.710	1.8	1.890	-	-	-	0.35 x VDDIO	0.65 x VDDIO
1.5V LVCMOS	1.425	1.5	1.575	-	-	-	0.35 x VDDIO	0.65 x VDDIO
SSTL2 Class I	2.375	2.5	2.625	1.19	1.25	2.31	Vref-0.18 (DC) Vref-0.35 (AC)	Vref+0.18 (DC) Vref+0.35 (AC)
SSTL2 Class II	2.375	2.5	2.625	1.19	1.25	2.31	Vref-0.18 (DC)	Vref+0.18 (DC)

标准	VDDIO (V)			Vref (V)			Vil (V)	Vih (V)
	最小	典型	最大	最小	典型	最大	最大	最小
							Vref-0.35 (AC)	Vref+0.35 (AC)
SSTL18 Class I	1.7	1.8	1.9	0.833	0.9	0.969	Vref-0.125 (DC) Vref-0.250 (AC)	Vref+0.125 (DC) Vref+0.250 (AC)
SSTL18 Class II	1.7	1.8	1.9	0.833	0.9	0.969	Vref-0.125 (DC) Vref-0.250 (AC)	Vref+0.125 (DC) Vref+0.250 (AC)
1.8V HSTL Class I	1.71	1.8	1.89	0.85	0.9	0.95	Vref-0.1 (DC) Vref-0.2 (AC)	Vref+0.1 (DC) Vref+0.2 (AC)
1.8V HSTL Class II	1.71	1.8	1.89	0.85	0.9	0.95	Vref-0.1 (DC) Vref-0.2 (AC)	Vref+0.1 (DC) Vref+0.2 (AC)
1.5V HSTL Class I	1.425	1.5	1.575	0.71	0.75	0.79	Vref-0.1 (DC) Vref-0.2 (AC)	Vref+0.1 (DC) Vref+0.2 (AC)
1.5V HSTL Class II	1.425	1.5	1.575	0.71	0.75	0.79	Vref-0.1 (DC) Vref-0.2 (AC)	Vref+0.1 (DC) Vref+0.2 (AC)

表 15 单端 I/O 标准输出直流规格

标准	测试条件		电压阈值	
	I _{ol} (mA)	I _{oh} (mA)	最大 Vol (V)	最小 Voh (V)
3.3V LVTTTL	4	-4	0.4	2.4
3.3V LVCMOS	0.1	-0.1	0.4	VDDIO – 0.4
2.5V LVTTTL 和 LVCMOS	1	-1	0.4	2.1
1.8V LVTTTL 和 LVCMOS	2	-2	0.45	VDDIO – 0.45
1.5V LVTTTL 和 LVCMOS	2	-2	0.375	VDDIO – 0.375
SSTL2 Class I	8.1	-8.1	V _{tt} -0.57	V _{tt} +0.57
SSTL2 Class II	16.4	-16.4	V _{tt} -0.76	V _{tt} +0.76
SSTL18 Class I	6.7	-6.7	V _{tt} -0.475	V _{tt} +0.475
SSTL18 Class II	13.4	-13.4	0.28	VDDIO – 0.28
1.8V HSTL Class I	8	-8	0.4	VDDIO – 0.4
1.8V HSTL Class II	16	-16	0.4	VDDIO – 0.4
1.5V HSTL Class I	8	-8	0.4	VDDIO – 0.4
1.5V HSTL Class II	16	-16	0.4	VDDIO – 0.4

表 16 差分 I/O 标准输出直流规格

标准	VDDIO (V)			Vid (V)			Vicm (V)			Vil (V)		Vih (V)	
	最小	典型	最大	最小	典型	最大	最小	典型	最大	最小	最大	最小	最大
LVDS	2.375	2.5	2.625	0.1		0.65	0.1		2.0	-	-	-	-
MiniLVDS	2.375	2.5	2.625	-	-	-	-	-	-	-	-	-	-
RSDS	2.375	2.5	2.625	-	-	-	-	-	-	-	-	-	-

差分 1.5V HSTL Class I 和 Class II	1.425	1.5	1.575	0.2	-	VDDIO + 0.6	0.68	0.75	0.90	-	Vref - 0.2	Vref + 0.2	-
差分 1.8V HSTL Class I 和 Class II	1.71	1.8	1.89	0.2	-	VDDIO + 0.6	0.68	-	0.90	-	Vref - 0.2	Vref + 0.2	-
差分 SSTL2 Class I 和 Class II	2.375	2.5	2.625	0.36	-	VDDIO + 0.6	0.5 x VDDIO - 0.2	0.5 x VDDIO	0.5 x VDDIO + 0.2	-	Vref - 0.35	Vref + 0.35	-
差分 SSTL18 Class I 和 Class II	1.7	1.8	1.9	0.25	-	VDDIO + 0.6	0.5 x VDDIO - 0.2	0.5 x VDDIO	0.5 x VDDIO + 0.2	-	Vref - 0.25	Vref + 0.25	-

3.1.7 RTC 规格

表 17 RTC 直流规格

标识	参数	条件	最小	典型	最大	单位
Vin	输入电压		2.2	3.0	3.3	V
Tst	启动时间	vddbat = 3.0v			5	s
Iqc	电池电流	vddbat = 2.5v		1		uA

3.1.8 ADC 规格

表 18 ADC 规格

标识	描述	最小	典型	最大
条件: 除非另有规定, 否则 VDDADC = 2.5V, CEXT = 1uF, SYSCLK = 32Mhz, 25°C				
VDDADC	模拟电源	2.375V	2.5V	2.625V
		3.135V	3.3V	3.465V
VREFP			1.0V	
VREFN			0	
输入电压范围 (Vinp-Vinn)		-1V		1V
ENOB		10.0		
SNDR			62dB	
SFDR	差分输入		-75dB	
DNL			+/-0.7LSB	
INL			+/-1LSB	
转换速度			1MSPS	
转换时间	clk 循环数			32
ADC 时钟频率				32MHz

标识	描述	最小	典型	最大
条件：除非另有规定，否则 VDDADC = 2.5V, CEXT = 1uF, SYSCLK = 32Mhz, 25°C				
信道串扰			-60dB	
片上电源监控器错误	带校准			1.0%
片上温度监控器错误	带校准			±4°C
供电电流	工作电流		2.0mA	

3.1.9 USB 规格

表 19 电气特性

标识	参数	条件	最小	典型	最大	单位
VBUS	VBUS 输入	全部工作模式	4.75	5.0	5.25	V
VCCA	模拟电源	VCC33A_HSRT 和 VCC33A_PLL 属于 VCCA 组	3.0	3.3	3.6	V
VCC	数字电源	VCC10D_U20	0.9	1	1.1	V
Vnoise	模拟电源上允许的电源噪声	1 Hz ~ 100 kHz	-	-	300	mV
Vnoise	数字电源上允许的电源噪声	1 Hz ~ 100 kHz	-	-	100	mV
IVCC33A_HSRT	VCC33A_HSRT 域在不同模式下的工作电流	HS 模式 (480 Mbps)	-	-	35	mA
		FS 模式 (12 Mbps)	-	-	20	mA
		LS 模式 (1.5 Mbps)	-	-	15	mA
		挂起模式 (不连接 DP 上的上拉电阻)	-	-	20	uA
IVCC33A_PLL	VCC33A_PLL 域在不同模式下的工作电流	HS 模式 (480 Mbps)	-	-	10	mA
		FS 模式 (12 Mbps)	-	-	10	mA
		LS 模式 (1.5 Mbps)	-	-	10	mA
		挂起模式 (不连接 DP 上的上拉电阻)	-	-	10	uA
IVCC10D_U20	VCC10D_U20 域在不同模式下的工作电流	HS 模式 (480 Mbps)	-	-	5	mA
		FS 模式 (12 Mbps)	-	-	3	mA
		LS 模式 (1.5 Mbps)	-	-	3	mA
		在 25°C 的挂起模式下 (不连接 DP 上的上拉电阻)	-	-	200	uA
		在 125°C 的挂起模式下 (不连接 DP 上的上拉电阻)	-	-	2	mA
Tj	工作结温	---	-40		125	°C
IOZ5.25V	5V 耐受电流	挂起模式下, 在 DP/DM 上测量	-	-	100	uA

表 20 模拟 I/O 引脚 (DP/DM) 的静态特性

标识	参数	条件	最小	典型	最大	单位
USB2.0 收发器 (HS)						
输入电平 (差分接收器)						
VhsDIFF	高速差分输入灵敏度	$ V_I(DP) - V_I(DM) $ 在连接处作为应用电路进行测量	300	-	-	mV
VHSCM	高速数据信令共模电压范围	-	-50	-	500	mV
VHSSQ	高速静噪检测阈值	静噪检测	-	-	100	mV
		未检测到静噪	200	-	-	mV
VHSDSC	高速断开	检测到断开连接	625	-	-	mV
	检测阈	未检测到断开连接	-	-	525	mV
输出电平						
VHSOI	高速空闲电平输出电压 (差分)	-	-10	-	10	mV
VHSOL	高速低电平输出电压 (差分)	-	-10	-	10	mV
VHSOH	高速高电平输出电压 (差分)	-	360	400	440	mV
VCHIRPJ	输出电压 (差分)	-	700	-	1100	mV
VCHIRPK	Chirp-K 输出电压 (差分)	-	-900	-	-500	mV
IDP/DM	DP/DM 的允许输出电流	当端接为 $45\ 0\pm10\%$	14.55	17.78	21.79	mA
Resistance 电阻						
RDRV	驱动器输出阻抗	内部芯片使用的等效电阻	40.5	45	49.5	Ω
ZHSTERM	差分阻抗	-	76.5	90	103.5	Ω
VBUS 输出阈值电平						
USVALID	有效 VBUS 工作电平	-	4.4	-	4.75	V
VAVALID	设备 A 的有效电平	-	0.8	-	2.0	V
VBVALID	设备 B 的有效电平	-	0.8	-	4.0	V
VSESEND	会话结束电平	-	0.2	-	0.8	V
USB1.1 收发器 (FS/LS)						
输入电平 (差分接收器)						
VDI	差分输入灵敏度	$ V_I(DP) - V_I(DM) $	0.2	-	-	v
Vcm	差分 共模电压	-	0.8	-	2.5	v
zhdrv	驱动器输出电阻	内部芯片使用的等效	40.5	45	49.5	Ω

标识	参数	条件	最小	典型	最大	单位
		电阻				
RPU1	空闲期间上拉电阻	内部芯片使用的等效电阻	900	-	1575	Ω
RPU2	驱动器输出电阻	内部芯片使用的等效电阻	525	-	1515	Ω
RPD	驱动器输出电阻	内部芯片使用的等效电阻	14.25	-	24.8	k Ω
输入电平（单端接收器）						
VSE	单端接收器阈值	-	0.8	-	2.0	V
输出电平						
VOL	低电平输出电压	-	0	-	0.3	V
VOH	高电平输出电压	-	2.8	-	3.6	V

表 21 模拟 I/O 引脚（DP/DM）的动态特性

标识	参数	条件	最小	正常	最大	单位
驱动特性						
高速模式						
THSRDRATE	高速 TX 数据速率		479.76		480.24	Mbps
THSRDRATE	高速 RX 数据速率		479.76		480.24	Mbps
tHSR	高速差分上升时间		500	-	-	ps
tHSF	高速差分下降时间		500	-	-	ps
全速模式						
TFSDRATE	全速 TX 数据速率		11.99	-	12.01	Mbps
TFSRDRATE	全速 RX 数据速率		11.99	-	12.03	Mbps
tFR	上升时间	CL= 50 pF 10% ~ 90% of VOH- VOL	4	-	20	ns
tFF	下降时间	CL= 50 pF 90% ~ 10% of VOH - VOL	4	-	20	ns
tFRMA	差分上升时间/下降时间匹配（FR / tFF）	排除空闲模式的第一次转换	90	-	110	%
VCRS	输出信号交叉电压	排除空闲模式的第一次转换	1.3	-	2.0	V
低速模式						
TLSDRATE	低速 TX 数据速率	-	1.50	-	1.50	Mbps

标识	参数	条件	最小	正常	最大	单位
TLSRDRATE	低速 RX 数据速率	-	1.49625	-	1.50375	Mbps
tLR	上升时间	CL= 200 pF ~ 600 pF 10% ~ 90% of VOH- VOL	75	-	300	ns
tLF	下降时间	CL= 200 pF ~ 600 pF 10% ~ 90% of VOH- VOL	75	-	300	ns
tFRMA	差分上升时间/下降时间匹配 (FR / tFF)	排除空闲模式的第一次转换	80	-	125	%
VCRS	输出信号交叉电压	排除空闲模式的第一次转换	1.3		2.0	V
驱动时序						
高速模式						
	驱动波形要求	请参考 USB 规范中模板 1 的眼图	请遵循 USB 规范中描述的模板 1			
全速模式	VI、FSE0、OE 至 DP、DM 传播延迟	有关 VI、FSE0 和 OE 的详细说明, 请参考 USB 1.1 规范	-	-	15	ns
TFDEOP	差分转换到 SE0 转换的源抖动		-2	-	5	ns
TJR1	接收器抖动	到下一个转换	-18.5	-	18.5	ns
TJR2	接收器抖动	用于成对转换	-9	-	9	ns
TFEOPT	EOP 的源 SE0 间隔		160	-	175	ns
TFEOPR	EOP 的接收器 SE0 间隔		82	-	-	ns
TFST	差分转换过程中 SE0 间隔的宽度		-	-	14	ns
低速模式						
TLDEOP	差分转换到 SE0 转换的源抖动		-40	-	100	ns
TJR1	接收器抖动	到下一个转换	-75	-	75	ns
TJR2	接收器抖动	用于成对转换	-45	-	45	ns
TLEOPT	EOP 的源 SE0 间隔		1.25	-	1.5	ns
TLEOPR	EOP 的接收器 SE0 间隔		670	-	-	ns
TLST	差分转换过程中 SE0 间隔的宽度		-	-	210	ns

标识	参数	条件	最小	正常	最大	单位
未指定：低速延迟时间由慢 tLR 和 tLR 决定						
接收器时序						
高速模式（USB 规范 2.0，模板 4）						
	数据源抖动和接收器抖动容限	请参考 USB 规范中模板 4 的眼图	请遵循 USB 规范中描述的模板 4			
全速模式						
tPLH(rcv) tPHH(rcv)	接收器传播延迟 （DP; DM 到 RX_DP, RX_DM）	有关 RCV 的详细说明，请参考 USB 1.1 规范	-	-	15	ns
tPLH(single) tPHL(single)	接收器传播延迟 （DP; DM 至 RX_DP, RX_DM）18	-	-	-	18	ns

表 22 可靠性特征

标识	参数	条件	最小	典型	最大	单位
HBM	ESD 人体模型	-	-	-	2.0	KV
MM	ESD 机器模式	-	-	-	200	V
CDM	ESD 充电设备模式	-	-	-	500	V
Vlatch	闩锁电压	VCC33A_HSRT 和 VCC33A_PLL 域	-	-	5.4	V
Vlatch	闩锁电压	VCC10D_U20 域	-	-	1.98	mA
Ilatc	闩锁电流	-	-	-	400	mA

3.2 交流特性

由于时序参数及其典型值是常规的设计重要参数，也是器件的基本性能参数，因此专门列出供用户参考，见以下各表。

3.2.1 时钟性能

表 23 全局时钟性能

标识	最大频率	单位
GCLK	400	MHz

3.2.2 JTAG 交流特性

表 24 JTAG 时钟性能

标识	最大频率	单位
TCK	50	MHz

表 25 PS 时钟性能

标识	最大频率	单位
SCLK	50	MHz

3.2.3 PLL 规格

表 26 PLL 规格

标识	描述	最小	典型	最大	单位
VDDIO	IO 电源电压	2.375	2.5	2.625	V
		3.135	3.3	3.465	V
Fin	输入时钟频率	2		500	MHz
Fpfd	PFD 输入频率	2		125	MHz
Fout	输出频率	10		1250	MHz
Fvco	VCO 操作频率	600		1250	MHz
Tlock	锁定时间			100	us
Duty	输出时钟占空比	45	50	55	%
N	输入分频器	1		256	--
M	循环分频器	1		256	--
MP *1	VCO 后分频器	1		16	--
C0~C3	输出分频器	1		256	--
Ntmp	输出时钟延迟	0		255	--
Terr	静态相位误差	-10		10	Degree
Ivddio	有功功耗			10	mA
Trst	复位信号的脉冲宽度	1			Us
Ipd	总断电电流			30	uA
Tjit	抖动性能	90		130	ps

3.2.4 I/O 时序

表 27 单端 I/O 性能

IO 标准	主要用途	驱动强度	最大频率
LVCMOS / LVTTTL	1.5V 通用	4mA	75MHz
		8mA	125MHz
		12mA	150MHz
		16mA	175MHz
	1.8V 通用	4mA	125MHz
		8mA	175MHz
		12mA	200MHz
		16mA	230MHz
	2.5V 通用	4mA	175MHz
		8mA	200MHz

IO 标准	主要用途	驱动强度	最大频率
		12mA	230MHz
		16mA	230MHz
	3.3V 通用	4mA	200MHz
		8mA	230MHz
		12mA	230MHz
		16mA	230MHz

表 28 LVDS I/O 性能

标准	属性	最小	典型	最大
LVDS	频率			400MHz

表 29 SSTL/HSTL I/O 性能

标准	属性	最小	典型	最大
SSTL/HSTL	频率			400MHz

表 30 DDR 内存性能

标准	属性	最小	典型	最大
DDR	频率			333MHz

表 31 200MHz 时 I/O 可调输入/输出延迟

延迟设置	最小	典型	最大	单位
0		0.18		ns
1		0.26		ns
2		0.35		ns
3		0.43		ns
4		0.5		ns
5		0.60		ns
6		0.68		ns
7		0.76		ns
8		0.83		ns
9		0.9		ns
10		0.95		ns
11		0.99		ns
12		1.08		ns
13		1.15		ns
14		1.17		ns
15		1.3		ns

3.2.5 LP 时序

表 32 LP 时序

标识	描述	最小	最大	单位
<i>tco</i>	从触发器读取时，从CLK输入的有效转换到QS（QX）输出数据出现的时间	446	497	ps
<i>tsu</i>	从设置LUT输入数据到Reg的CLK输入有效转换的时间	7	989	ps
<i>th</i>	从CLK输入的有效转换到数据最后一次在输入处保存的时间	-878	177	ps
<i>tp</i>	数据从LP触发器输入到输出的传输时间	68	1062	ps

3.2.6 PLB 性能

表 33 PLB 性能

标识	描述	最小	最大	单位
ADD16	16 位加法器性能@推荐的工作条件	400		MHz
ADD32	32 位加法器性能@推荐的工作条件	360		MHz
ADD64	64 位加法器性能@推荐的工作条件	215		MHz
CNT8	8 位计数器性能@推荐的工作条件	400		MHz
CNT16	16 位计数器性能@推荐的工作条件	400		MHz
CNT32	32 位计数器性能@推荐的工作条件	400		MHz

3.2.7 EMB 性能

表 34 EMB 性能

标识	描述	最小	最大	单位
EMB5K	使用寄存器路径	260		MHz
	不使用寄存器路径	200		MHz
EMB18K	使用寄存器路径	260		MHz
	不使用寄存器路径	200		MHz

3.2.8 DSP 性能

表 35 DSP 性能

标识	描述	最小	最大	单位
12x9 位乘法器	DSP 使用寄存器路径	260		MHz
	DSP 未使用寄存器路径	200		MHz
18x18 位乘法器	DSP 使用寄存器路径	260		MHz
	DSP 未使用寄存器路径	200		MHz

3.2.9 ARM Cortex-M3 性能

表 36 ARM Cortex-M3 性能

标识	描述	最小	最大	单位
ARM Cortex-M3	ARM Cortex-M3 核		300	MHz

3.2.10 AHB 总线性能

表 37 AHB 总线性能

标识	描述	最小	最大	单位
AHB Bus	AHB 总线		300	MHz

引脚和封装

本节列出引脚定义、规则以及封装信息。详细的引脚列表信息，请参见引脚列表相关文档。

4 引脚和封装

4.1 引脚定义和规则

表 38 引脚定义和规则

引脚名称	方向	描述
用户 I/O 引脚		
IOXX_# IO_XXY_#	输入/输出	不受限制的通用用户 I/O 引脚。大多数引脚可以配对形成差分 I/O
多功能引脚		
IOXXX/ZZZ_# IO_XXY/ZZZ_#		多功能引脚标识为 IOXXX/ZZZ_# 和 IO_XXY/ZZZ_#，其中 ZZZ 表示除通用的用户 I/O 外，下述功能中的一个或多个功能如未用于其固有的特定功能，则可作用户 I/O 使用
多功能引脚：SPI 串行配置引脚		
FLS_SCLK	输入/输出	在 PS 配置模式下，SCK 为时钟输入，用于将配置数据从外部设备源输入设备 在 AS 配置模式下，SCK 为器件的时钟输出 配置完成后，该引脚可用作常规用户 I/O
FLS_SI	输出	AS 模式下的专用配置数据输出引脚 PS 模式下没有配置功能 在 AS 模式下配置完成后，该引脚可用作常规用户 I/O
FLS_SO	输入/输出	PS 模式下通过外部主设备输入串行数据，或者 AS 模式下通过 SPI Flash 输入串行数据 配置后，该引脚可用作常规用户 I/O
FLS_CSN	输入/输出	片选。在 AS 模式下输出片选 SPI Flash；PS 模式下，外部主机片选器件。配置后，该引脚可用作常规用户 I/O
FLS_WP	输入/输出	写保护输出（数据输入输出 2）
FLS_HOLD	输入/输出	输出保持（数据输入输出 3）
多功能引脚：配置引脚		
CONF_DONE	输出	专用配置状态引脚，配置过程中输出为高。配置后，该引脚可用作常规用户 I/O
CFG_MODE	输入	0: AS 模式，1: PS 模式 配置后，该引脚可用作常规用户 I/O
nCONFIG	输入	芯片全局复位输入，低电平有效

引脚名称	方向	描述
专用引脚：JTAG		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	TDI 输入边界扫描数据输入
TDO	输出	TDO 输出边界扫描数据输出
TMS	输入	TMS 输入边界扫描模式选择
多功能引脚：时钟引脚		
CLK[X], CLK[X]	输入	这些时钟引脚连接至全局时钟缓冲器 当不需要时钟时，这些引脚成为常规用户 I/O
专用引脚：晶振引脚		
XIN	输入	外部晶振输入 如果不使用，最好连接到 GND
XOUT	输出	输出到晶体。不使用可以悬空
专用引脚：RTC 引脚		
RTC_XIN	输入	RTC 32K 时钟的外部晶振输入 如果不使用，最好连接到 GND
RTC_XOUT	输出	输出到晶体的 32K 时钟 如果不使用则可以悬空
RTC_VDDBAT	N/A	RTC 电源。2.0-3.3V
RTC_GNDBA	N/A	RTC 接地
专用引脚：ARM 引脚		
NMI	输入	ARM 专用的 NMI 输入
专用引脚：以太网引脚		
ETH_PHY_TXER_O	输出	PHY 传输错误
ETH_PHY_TXD_O[7:0]	输出	传输到 PHY 的数据
ETH_PHY_RXD_I[7:0]	输入	从 PHY 接收的数据
ETH_PHY_CRS_I	输入	PHY CRS
ETH_PHY_INTF_SEL_I[2]	输入	当该信号仅在 GMII/MII 模式下有效，当发送或接收介质不空闲时，该信号由 PHY 置位。当发送和接收介质都空闲时，该信号由 PHY 清零。此信号与任何时钟都不同步
ETH_PHY_RXER_I	输入	PHY 接口选择，如果启用了以太网，则连接到 GND
ETH_PHY_TXEN_O	输出	PHY 接收错误
ETH_GMII_MDO_IO	输入输出	PHY 传输数据使能
ETH_CLK_RX_I	输入	MDIO 是管理数据
ETH_PHY_RXDV_I	输入	接收时钟
ETH_GMII_MDC_O	输出	PHY 接收数据有效
ETH_CLK_TX_I	输入	MDC 是串行管理接口的管理数据时钟参考
ETH_PHY_COL_I	输入	传输时钟

引脚名称	方向	描述
专用引脚：DDR 引脚		
DQ[15:0]	输入输出	数据输入/输出
DM[1:0]	输出	输入数据掩码
DQS0/1, DQS0/1N	输入输出	数据选通
VREF0, VREF1	N/A	参考电压
CKE	输出	时钟使能
BA[2:0]	输出	Bank 地址输入
A[14:0]	输出	地址输入
CLK, CLKN	输出输出	DDR 时钟
RASN	输出	命令输入
CASN	输出	命令输入
WEN	输出	命令输入
RESETN	输出	DDR 复位，低电平有效
ODT	输出	片上终止
CSN	输出	片选，低电平有效
专用引脚：USB 引脚		
XSCI	输入	USB PHY 晶体输入
XSCO	输出	USB PHY 晶体输入
DM	输入输出	USB 负极数据引脚
DP	输入输出	USB 正极数据引脚
RREF	N/A	外部 1% 偏置电阻。 需要一个 12K 的接地电阻
ID	输入	模拟输入。 1: 当 ID 引脚悬空或带有 100kΩ 下拉电阻时 0: 当 ID 引脚接地时"
VBUS	N/A	USB 电源, 5V
VCC33A_HSRT	N/A	USB PHY 的模拟电源, 3.3V
VCC33A_PLL	N/A	USB PHY PLL 的模拟电源, 3.3V
GND33A_HSRT	N/A	USB PHY 的模拟 GND
GND33A_PLL	N/A	USB PLL 的模拟 GND
专用引脚：ADC 引脚		
ADCIO-11P, ADCIO-11N	输入	ADC 输入引脚, 如果不使用, 可用作通用 IO
ADC_VIPP, ADC_VIPN	输入	专用 ADC 输入
ADC_VINP, ADC_VINN	输入	专用 ADC 输入
ADC_VREFP, ADC_VREFN	输入	专用 ADC 参考 当外部 1V 准确基准电压源 (+/- 0.25%) 连接到 VREFP 引脚时, ADC 可以工作在最佳性能。当 VREFP 悬空时, 片内带隙基准 (1.00V +/- 3%) 被激活。VREFP 和 VREFN 必须视为模拟信号。为保证正常工作, 需要在此引脚和 VREFN 引脚之间放置 CEXT (1uF~10uF) 外部电容器
VDD_ADC	N/A	ADC power supply, 3.3V. ADC 电源, 3.3V

引脚名称	方向	描述
专用引脚：电源		
VDD33	N/A	配置数字电源，同时为所有 PLL 供电，3.3V
VDDIO_X	N/A	IO 数字电源，1.5V，1.8V，2.5V 和 3.3V
VDD_CORE	N/A	内核数字电源，1.1V
GND	N/A	数字接地

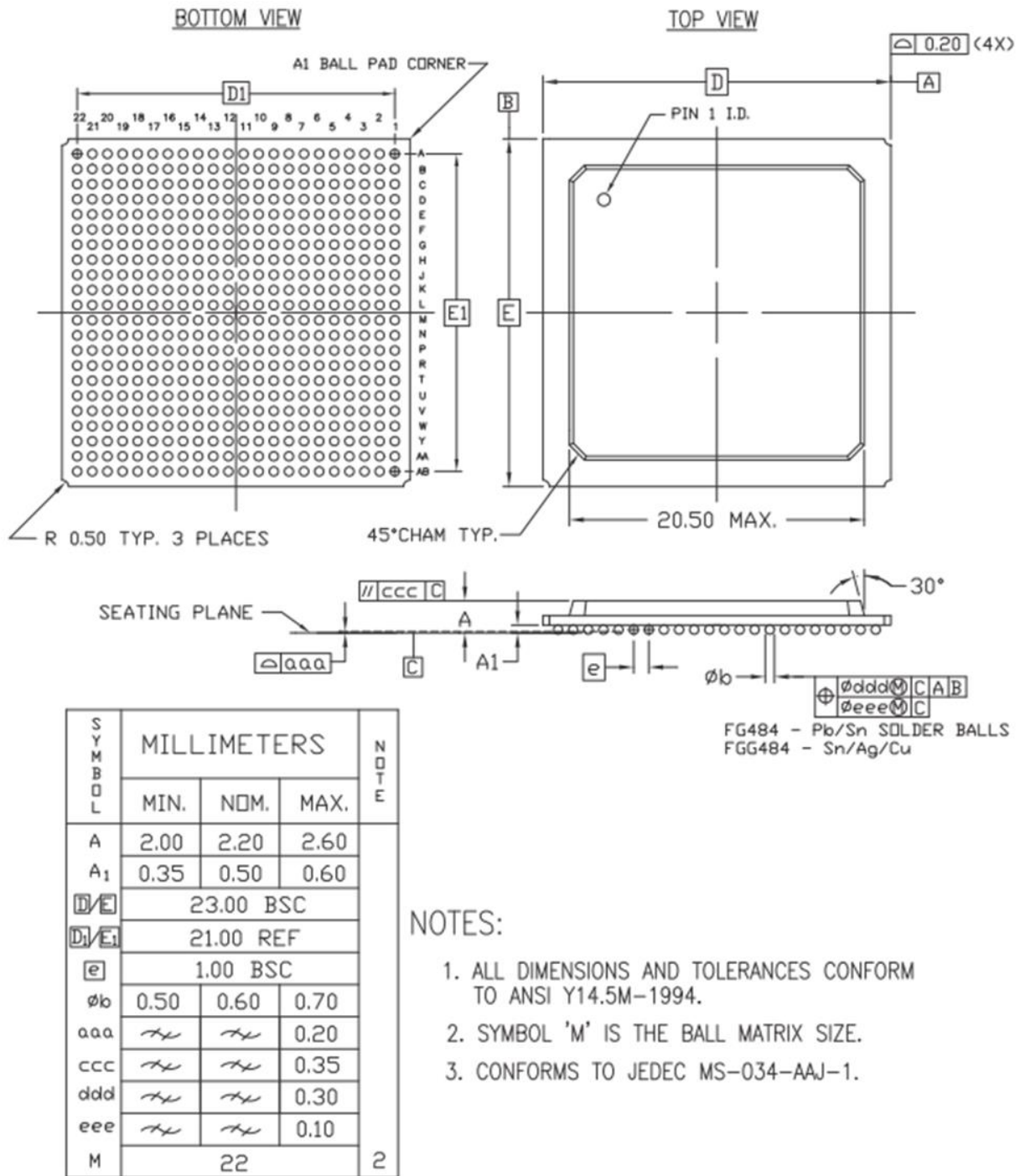
注意：

- (1) VDD33 是 JTAG/SPI Flash 的电源，必须为 3.3V。
- (2) 电源时序要求：必须在 VDD33 之前接通 VDD_CORE 的电源。

4.2 封装信息

4.2.1 FBGA484 封装规格

标识	尺寸 mm			备注
	最小	正常	最大	
A	2.00	2.20	2.60	2
A1	0.35	0.50	0.60	
D/E	23.00 BSC			
D1/E1	21.00 REF			
e	1.00 BSC			
φb	0.450	0.500	0.550	
aaa	-	-	0.20	
ccc	-	-	0.35	
ddd	-	-	0.30	
eee	-	-	0.10	
M	22			

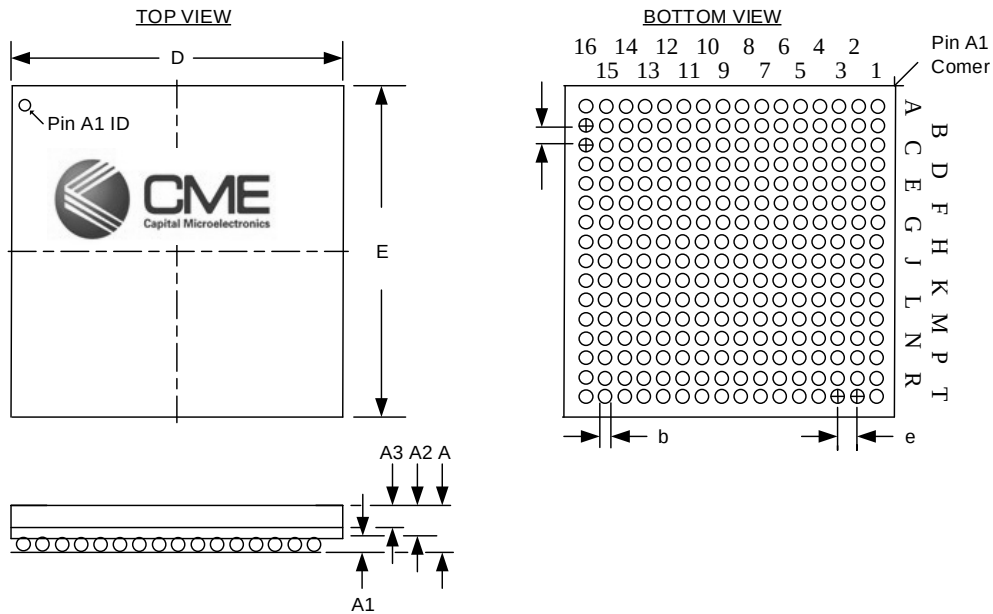


4.2.2 FBGA256 封装规格

封装信息	
描述	规格
订购代码参考	F
包装缩写	FBGA
底材	BT
焊锡球成分	常规: 63Sn: 37Pb (正常) 无铅: 锡: 3Ag: 0.5Cu (正常)
JEDEC 大纲参考	MO-192 变体: DAF-I
铅共面性	0.008 英寸 (0.2 毫米)

封装信息

描述	规格
重量	0.93 克（正常值）
水分敏感性水平	印在防潮袋上



Package Information	
Description	Specification
Ordering Code Reference	F
Package Acronym	FBGA
Substrate Material	BT
Solder ball composition	Regular: 63Sn: 37Pb (Typ.) Pb-free: Sn: 3Ag: 0.5Cu (Typ.)
JEDEC Outline Reference	MO-192 Variation: DAF-1
Lead Coplanarity	0.008 inch (0.2 mm)
Weight	0.93 g (Typ.)
Moisture Sensitivity Level	Printed on moisture barrier bag

Package Outline Dimension Table

Symbol	Millimeters		
	Min.	Nom.	Max.
A	1.35	1.45	1.55
A1	0.30	0.40	0.50
A2	0.85	1.05	1.25
A3	0.65	0.70	0.75
D	17.00 BSC		
E	17.00 BSC		
b	0.40	0.50	0.60
e	1.00 BSC		

Controlling dimension is in millimeters.

Pin A1 may be indicated by an ID dot, or a special feature, in its proximity on package surface.

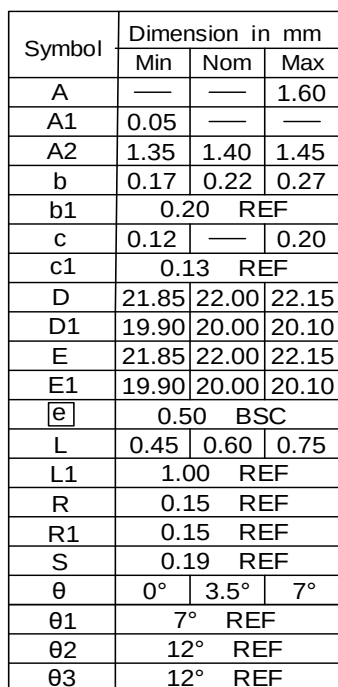
标识

尺寸 mm

	最小	正常	最大
A	1.35	1.45	1.55
A1	0.30	0.40	0.50
A2	0.85	1.05	1.25
A3	0.65	0.70	0.75
D	17.00 BSC		
E	17.00 BSC		
b	0.40	0.50	0.60
e	1.00 BSC		

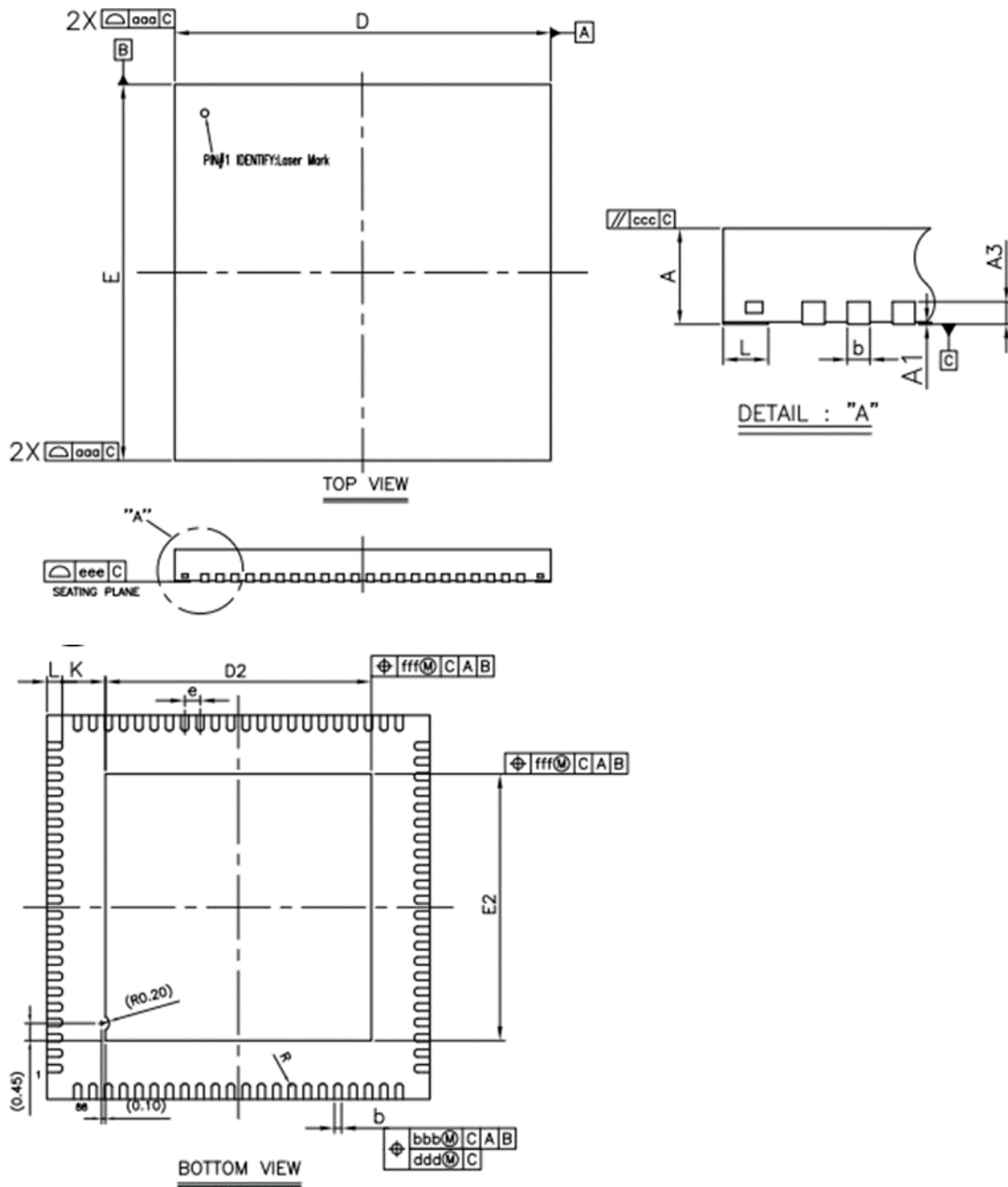
4.2.3 LQFP144 封装规格

标识	尺寸 mm		
	最小	正常	最大
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
b	0.17	0.22	0.27
b1	0.20 REF		
c	0.12	-	0.20
c1	0.13 REF		
D	21.85	22.00	22.15
D1	19.90	20.00	20.10
E	21.85	22.00	22.15
E1	19.90	20.00	20.10
e	0.50 BSC		
L	0.45	0.60	0.75
L1	1.00 REF		
R1	0.15 REF		
R2	0.15 REF		
S	0.19 REF		
θ	0°	3.5°	7°
θ 1	7° REF		
θ 2	12° REF		
θ 3	12° REF		



- 1 TO BE DETERMINED AT SEATING PLANE 
- 2 DIMENSION D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION
D1 AND E1 ARE MAXIMUM PLASTIC BODY SIZE DIMENSION
INCLUDING MOLD MISMATCH.
- 3 DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION
DAMBAR CAN NOT BE LOCATED ON THE LOWER RADIUS
OR THE FOOT.
- 4 EXACT SHAPE OF EACH CORNER IS OPTIONAL.
- 5 THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD
BETWEEN 0.10 mm AND 0.25 mm FROM THE LEAD TIP.
- 6 A1 IS DEFINED AS THE DISTANCE FROM THE SEATING
PLANE
- 7 CONTROLLING DIMENSION : MILLIMETER.
TO THE LOWEST POINT OF THE PACKAGE BODY.
- 8 REFERENCE DOCUMENT : JEDEC MS - 026 , BFB

4.2.4 QFN88 封装规格



Symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.80	0.85	0.90	0.031	0.033	0.035
A1	0.00	0.02	0.05	0.000	0.001	0.002
A3	0.20 REF			0.008 REF		
b	0.15	0.20	0.25	0.006	0.008	0.010
D	9.90	10.00	10.10	0.390	0.394	0.398
E	9.90	10.00	10.10	0.390	0.394	0.398
D2	6.85	6.95	7.05	0.270	0.274	0.278
E2	6.85	6.95	7.05	0.270	0.274	0.278
e	0.40 BSC			0.016 BSC		
L	0.30	0.40	0.50	0.012	0.016	0.020
K	0.20	---	---	0.008	---	---
R	0.075	---	0.125	0.003	---	0.005
aaa	0.10			0.004		
bbb	0.07			0.003		
ccc	0.10			0.004		
ddd	0.05			0.002		
eee	0.08			0.003		
fff	0.10			0.004		

NOTE:

1. CONTROLLING DIMENSION : MILLIMETER
2. REFERENCE DOCUMENT: JEDEC MO-220.

标识	尺寸 (mm)			尺寸 (inch)		
	最小	正常	最大	最小	正常	最大
A	0.80	0.85	0.90	0.031	0.033	0.035
A1	0.00	0.02	0.05	0.000	0.001	0.002
A3	0.20 REF			0.008 REF		
b	0.15	0.20	0.25	0.006	0.007	0.010
D	9.90	10.00	10.10	0.390	0.394	0.398
E	9.90	10.00	10.10	0.390	0.394	0.398
D2	6.85	6.95	7.05	0.270	0.274	0.278
E2	6.85	6.95	7.05	0.270	0.274	0.278
e	0.40 BSC			0.40 BSC		
L	0.30	0.40	0.50	0.012	0.016	0.020
K	0.20	-	-	0.008	-	-
R	0.075	-	0.125	0.003	-	0.005
aaa	0.100			0.004		
bbb	0.07			0.003		
ccc	0.10			0.004		
ddd	0.05			0.002		
eee	0.08			0.003		
fff	0.10			0.004		

本章为 HME-M7 系列器件的订购信息。

5 订购信息

所有的部件编号均遵循以下约定：

表 39 部件编号约定

厂商	产品系列	查找表容量	器件类型	Flash	封装类型	温度等级	速度等级
CME	M7	A	12	N5	F484	C	7

厂商

- ☐ CME 旧标识
- ☐ HME 新标识

产品系列：

- ☐ M7 华山系列

器件类型：

- ☐ A Analog + FPGA + MCU + SRAM
- ☐ M 内封 SDRAM

查找表容量：

- ☐ 12 12K 查找表

配置 NVM (SPI-flash) 选件：

- ☐ N0 无 FLASH
- ☐ N5 有 16Mb 内部 SPI-flash

封装类型：<类型><#>

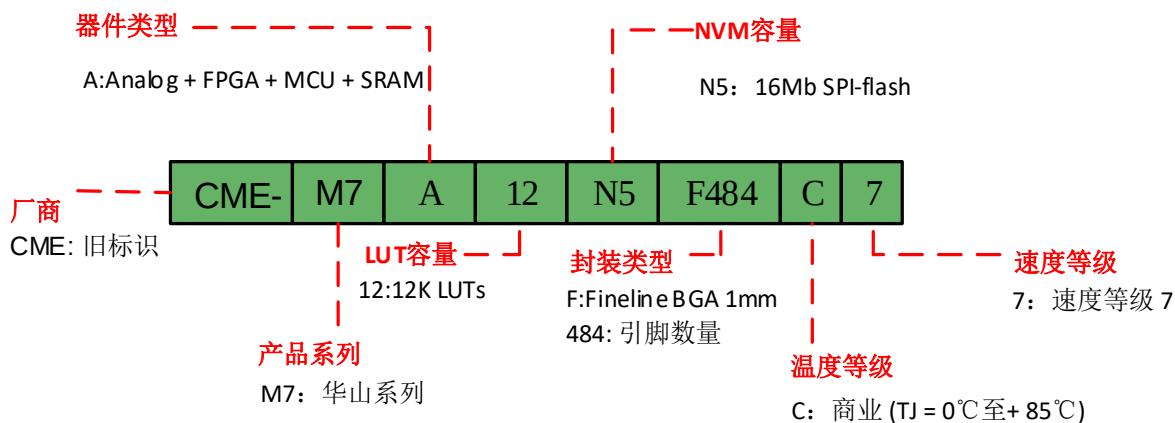
- ☐ L LQFP
- ☐ Q QFN
- ☐ F Fineline BGA
- ☐ # 引脚编号（208 表示 208 引脚，100 表示 100 引脚 ...）

温度等级：

- ☐ C 商业（TJ = 0℃ ~ +85℃）
- ☐ I 工业（TJ = -40℃ ~ +100℃）

速度等级：

- ☐ # 速度（7 指速度等级为 7，6 指速度等级为 6，...）

示例: **CME- M7 A 12 N5 F484 C 7**


订购信息:

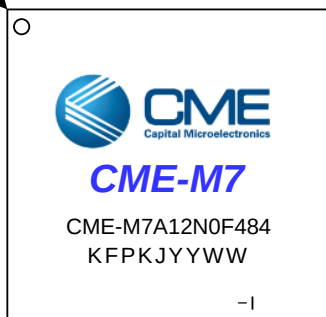
产品	订购 P/N	等级
M7A12N0F256C7	M7A12N0F256	商业
M7A12N0F256I7	M7A12N0F256I	工业
M7A12N0F484C7	M7A12N0F484	商业
M7A12N0F484I7	M7A12N0F484I	工业
M7A12N5L144C7	M7A12N5L144	商业
M7A12N5Q88C7	M7A12N5Q88	商业
M7M12N5Q88C7	M7M12N5Q88	商业

芯片标记注意:

- ☐ “C7”不会被标记，默认为商业级。
- ☐ 如果芯片上标记为“-I”，则为工业级。
- ☐ 芯片标记有 2 种，CME 和 HME，均为正品，请放心使用。

标记示例：

引脚1



第4行：晶圆批号（开始5位）+日期代号

KNQYJYYWW

YYWW(实际装配工作周)

例如：YY（2015年）---15

WW（第18周）---18

第5行：温度等级

- -I：工业级
- 商业级为空