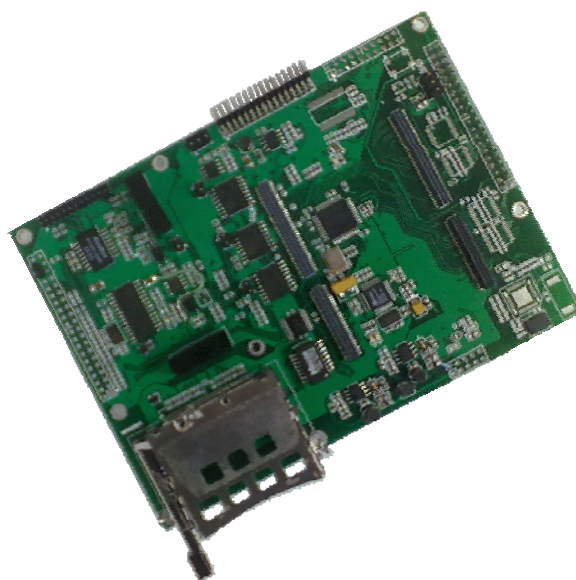


PXA270嵌入式扩展板卡

ZTE-PXA270-03S

使用说明



版本历史

日期	版本	描述
2010-12-09	V1.0	第一版

目录

1	介绍.....	4
1.1	摘要.....	4
1.2	ZTE-PXA270-03S 的优点.....	4
1.2.1	开发工具.....	4
1.2.2	工业应用.....	4
1.2.3	丰富的外围接口.....	4
1.3	关于本文档.....	4
2	功能总述.....	5
3	接插件布局 and 结构信息.....	5
3.1	ZTE-PXA270-03S 布局.....	5
3.2	ZTE-PXA270-03S 尺寸.....	6
4	管脚列表及信号定义.....	7
4.1	J1 (LCD, VGA, 键盘, PC卡, GPIO).....	7
4.2	J2 (异步串口UART1/2/3, MMC, USB, I2C, 触摸屏, ADC, Audio, LAN).....	10
4.3	J3 (电源输入, 用户总线地址、控制信号).....	12
4.4	J4 (用户总线数据、控制信号).....	14
4.5	J20 (USB从, RS232 串口, VGA, 以太网).....	16
4.6	CN1 (RS232 串口, RS485 串口, CAN 总线、以太网).....	17
4.7	CN4 (LCD).....	18
4.8	CN1VDS1 (LVDS).....	19
5	ZTE-PXA270-03S 接口.....	20
5.1	CPLD.....	20
5.2	Storage.....	20
5.2.1	NAND FLASH.....	21
5.2.2	CF卡.....	21
5.3	以太网.....	23
5.4	USB (主/从).....	23
5.5	RS232 串口.....	24
5.6	RS485 串口.....	24
5.7	显示.....	25
5.7.1	VGA 接口.....	25
5.7.2	TTL LCD 接口.....	25
5.7.3	LVDS接口.....	25
5.8	CAN 总线.....	26
5.9	RTC.....	27
5.10	加密功能.....	27
5.11	电源.....	28
5.11.1	电源供电.....	28
5.11.2	电源管理.....	28
5.12	WIFI.....	29
5.13	用户可使用的其他资源.....	29

1 介绍

1.1 摘要

ZTE-PXA270-03S 是一款扩展板卡，作为嵌入式模块 **ZTE-PXA270-02S** 的底板，它不仅是一个开发用具，能发挥更大的功能。**ZTE-PXA270-03S** 与 **ZTE-PXA270-02S** 作为一个整体，构成一个功能强大的嵌入式系统。工程师们可用该组合开发出工业控制、多媒体终端、医疗仪器、汽车电子设备，以及其他智能系统。

1.2 ZTE-PXA270-03S 的优点

1.2.1 开发工具

ZTE-PXA270-03S 是嵌入式模块的底板。它是工程师们开发克制化底板或载板的设计原形。经过多项工业应用产品验证，载板的扩展功能和电路结构都具有很高的可靠性，而且是优化过的设计方案。

1.2.2 工业应用

ZTE-PXA270-03S 是面向工业领域的应用而设计的底板，适用于如工业通信和现场控制系统等。由嵌入式模块 **ZTE-PXA270-02S** 和该底板组成的嵌入式系统比开发套件的功能更加强大。由于具有高可靠性和丰富的外围接口，这套系统可以作为一个工业系统的子系统，或者直接作为一台设备来使用。

1.2.3 丰富的外围接口

ZTE-PXA270-03S 提供丰富的外围接口，包括：RS232/RS485 串口，CAN 总线，10/100M 以太网接口，USB 主/从 接口，显示接口（LCD 或者 VGA 可选），AC97 音频接口，触摸屏接口，键盘接口等。

1.3 关于本文档

本文档包含嵌入式模块 **ZTE-PXA270-03S** 的电气、机械指标。分为功能总述，接插件布局和结构信息，管脚列表及信号定义，接口示意，共四部分内容。本文不应作为设计指南。

2 功能总述

嵌入式模块底板 **ZTE-PXA270-03S** 通过 4 个插座（J1, J2, J3 and J4）与嵌入式模块 **ZTE-PXA270-02S** 电气连接。底板为嵌入式模块提供电源，将核心功能引至用户接口，包括 USB 从、以太网、LCD 接口和 VGA 接口。此外，还给出多种扩展信号，在底板上实现扩展：RS22、RS485、USB、CAN 总线、以太网、CF 卡、RTC、保密模块、LVDS 接口及 WIFI 功能。

底板 **ZTE-PXA270-03S** 上共有 12 个插座，插座描述如下：

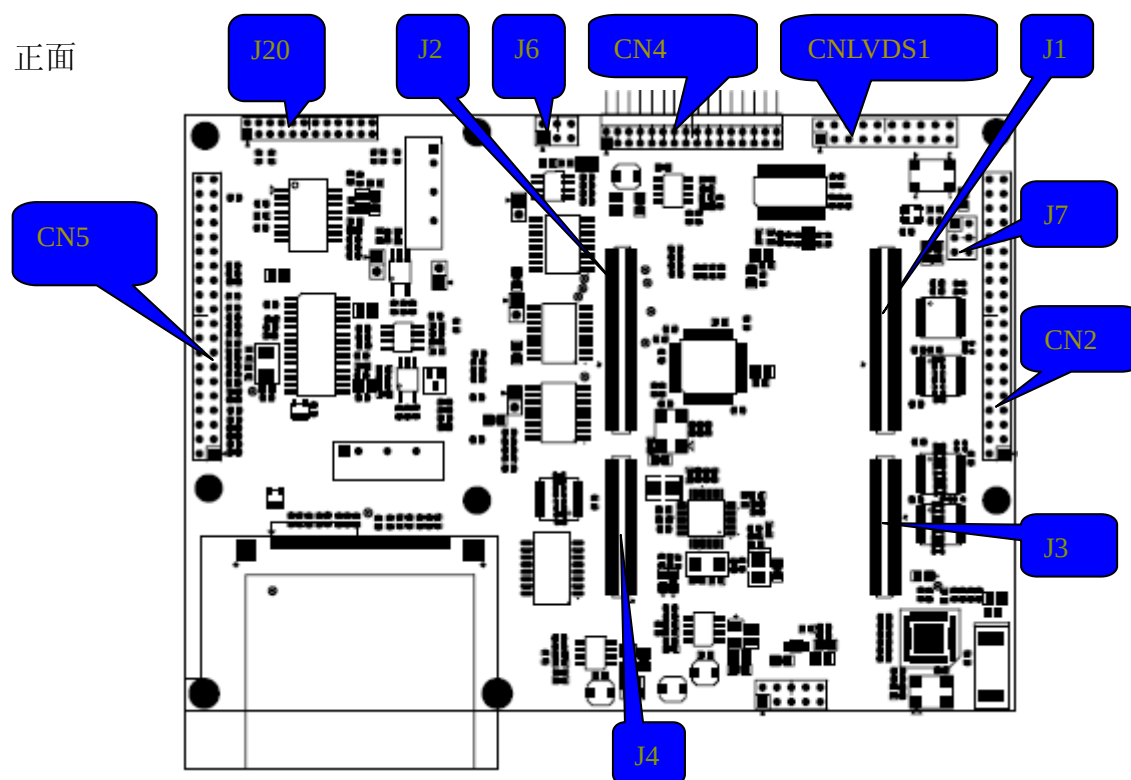
表 1.1 插座描述

插座编号	插座类型	插座描述
J1	1. 80PIN socket	至嵌入式模块 ZTE-PXA270-02S 的插座 J3.
J2	2. 80PIN socket	至嵌入式模块 ZTE-PXA270-02S 的插座 J1
J3	3. 60PIN socket	至嵌入式模块 ZTE-PXA270-02S 的插座 J4
J4	4. 60PIN socket	至嵌入式模块 ZTE-PXA270-02S 的插座 J2
J6	6PIN2.54mm contact pin	CPLD 下载和调试
J7	6PIN2.54mm contact pin	电源输入
J20	24PIN2.00mm contact pin	调试口.
CN1	40PIN2.54mm SMT socket	提供通信功能
CN2	40PIN2.54mm contact pin	提供用户总线的地址、数据和控制信号，提供音频信号
CN4	32 PIN2.00mm contact pin	接 TFT LCD 的 TTL 液晶接口
CN5	40PIN2.54mm contact pin	扩展信号
CNLVDS1	20PIN2.54 mm contact pin	LVDS 液晶接口

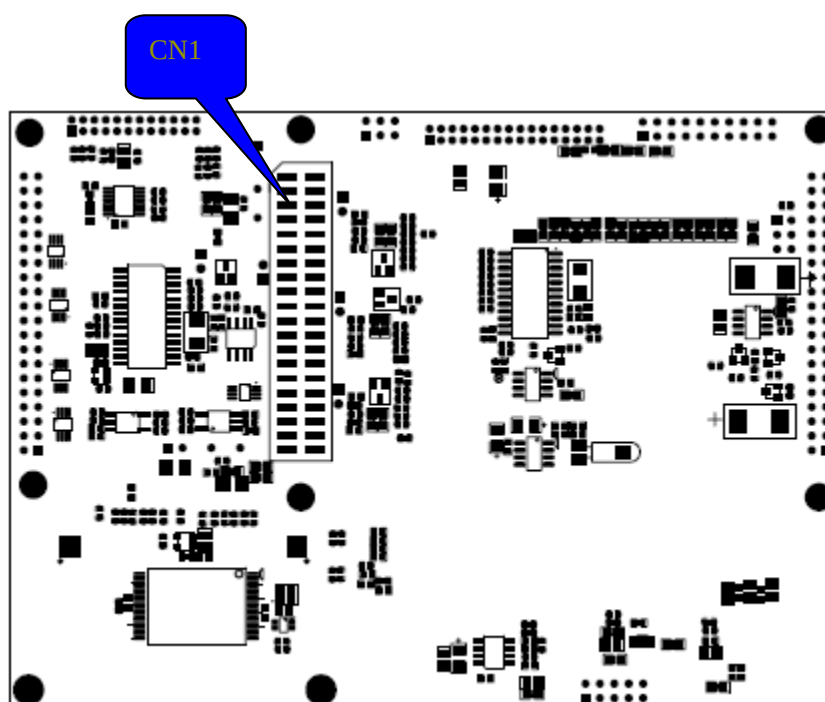
3 接插件布局 and 结构信息

3.1 ZTE-PXA270-03S 布局

正面

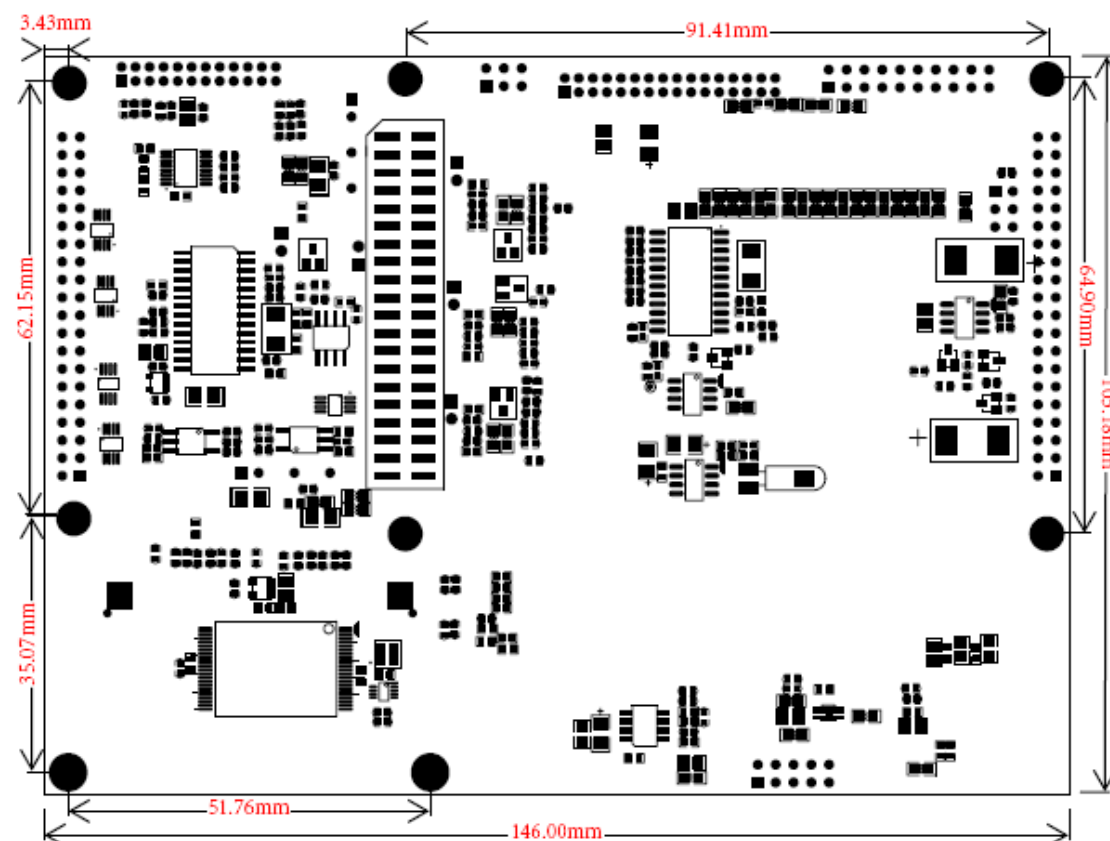


背面



3.2 ZTE-PXA270-03S 尺寸

底部视图



4 管脚列表及信号定义

4.1 J1 (LCD, VGA, 键盘, PC 卡, GPIO)

插座 J1 是一个 80-pin 0.8mm 间距的贴片插座，是连接底板 ZTE-PXA270-03S 与嵌入式模块 ZTE-PXA270-02S 的四个插座之一。插座 J1 与嵌入式模块上的插座 J3 相对应。

管脚号	引脚名称	描述
1	uP_LCD_D17	LCD Data17
2	uP_LCD_D16	LCD Data16
3	uP_LCD_D15	LCD Data15
4	uP_LCD_D14	LCD Data14

5	NC	-
6	uP_LCD_D13	LCD Data13
7	uP_LCD_D12	LCD Data12
8	uP_LCD_D11	LCD Data11
9	uP_LCD_D10	LCD Data10
10	uP_LCD_D9	LCD Data9
11	DGND	Common Ground
12	uP_LCD_D8	LCD Data8
13	uP_LCD_D7	LCD Data7
14	uP_LCD_D6	LCD Data6
15	uP_LCD_D5	LCD Data5
16	uP_LCD_D4	LCD Data4
17	uP_LCD_D3	LCD Data3
18	uP_LCD_D2	LCD Data2
19	uP_LCD_D1	LCD Data1
20	uP_LCD_D0	LCD Data0
21	NC	-
22	HSYNC_VGA	VGA HSYNC
23	V_CSYNC_VGA	VGA VSYNC
24	VGA_IOB	VGA Blue
25	VGA_I OG	VGA Green
26	VGA_I OR	VGA Red
27	DGND	Common Ground
28	DGND	Common Ground
29	uP_LCD_LCLK	LCD line clock output
30	uP_LCD_BIAS	LCD BIAS
31	uP_LCD_FCLK	LCD frame clock output
32	uP_LCD_VSYNC	LCD VSYNC
33	uP_LCD_CS	LCD CS
34	uP_LCD_PCLK	LCD pixel clock output
35	DGND	Common Ground
36	uP_nBATTFault	PWR FAULT battery status
37	uP_nRESETOUT	Reset output
38	uP_nRESET	Reset input
39	uP_nVCCFault	PWR FAULT power status

40	DGND	Common Ground
41	uP_DKIN_0	KEY I/O (or GPIO)
42	uP_DKIN_1	KEY I/O (or GPIO)
43	uP_DKIN_2	KEY I/O (or GPIO)
44	uP_DKIN_3	KEY I/O (or GPIO)
45	uP_DKIN_4	KEY I/O (or GPIO)
46	uP_DKIN_5	KEY I/O (or GPIO)
47	uP_DKIN_6	KEY I/O (or GPIO)
48	DGND	Common Ground
49	uP_KPOUT_0	KEY I/O (or GPIO)
50	uP_KPOUT_1	KEY I/O (or GPIO)
51	uP_KPOUT_2	KEY I/O (or GPIO)
52	uP_KPOUT_3	KEY I/O (or GPIO)
53	uP_KPOUT_5	KEY I/O (or GPIO)
54	uP_KPOUT_4	KEY I/O (or GPIO)
55	uP_KPIN_0	KEY I/O (or GPIO)
56	uP_KPIN_1	KEY I/O (or GPIO)
57	uP_KPIN_2	KEY I/O (or GPIO)
58	DGND	Common Ground
59	uP_nPCE[2]	Byte enable2 for PC CARD
60	uP_nPCE[1]	Byte enable1 for PC CARD
61	DGND	Common Ground
62	uP_nPWE	PC CARD MEM write enable
63	uP_nPOE	PC CARD MEM output enable
64	uP_nPIOW	PC CARD I/O write enable
65	uP_nPIOR	PC CARD I/O output enable
66	uP_RDY	PC CARD status
67	uP_GPIO_1	GPIO
68	uP_GPIO_0	GPIO
69	uP_GPIO_83	GPIO
70	uP_GPIO_82	GPIO
71	uP_GPIO_53	GPIO
72	uP_GPIO_52	GPIO
73	uP_GPIO_81	GPIO
74	uP_GPIO_11	GPIO

75	uP_CLK_PIO	GPIO
76	DGND	Common Ground
77	uP_nIOIS16	PC CARD interrupt signal
78	uP_PSKTSEL	PC CARD selection
79	uP_nPREG	PC CARD mode selection
80	uP_nPWAIT	PC CARD wait state input

表 4.1 J1 管脚描述

4.2 J2 (异步串口 UART1/2/3, MMC, USB, I2C, 触摸屏, ADC, Audio, LAN)

插座 J2 是一个 80-pin 0.8mm 间距的贴片插座，是连接底板 **ZTE-PXA270-03S** 与嵌入式模块 **ZTE-PXA270-02S** 的四个插座之一。插座 J2 与嵌入式模块上的插座 J1 相对应。

管脚号	引脚名称	描述
1	+5V	+5.0V input
2	+5V	+5.0V input
3	+5V	+5.0V input
4	+5V	+5.0V input
5	DGND	Common Ground
6	DGND	Common Ground
7	uP_STDRXD	UART 3 RXD
8	uP_STDTXD	UART 3 TXD
9	uP_BTCTS	UART 2 CTS
10	uP_BTTXD	UART 2 TXD
11	uP_FFRTS	UART 1 RTS
12	uP_BTRXD	UART 3 RXD
13	uP_FFTXD	UART 1 TXD
14	uP_FFRXD	UART 1 RXD
15	uP_FFCTS	UART 1 CTS
16	uP_BTRTS	UART 2 RTS
17	uP_FFRI	UART 1 RI
18	uP_FFDCD	UART 1 DCD
19	uP_FFDSR	UART 1 DSR

20	uP_FFDTR	UART 1 DTR
21	uP_SIM_UCLK	SIM clock signal
22	uP_SIM_nURST	SIM reset signal
23	uP_SIM_UIO	SIM general I/O
24	uP_SIM_UVS0	SIM voltage selection 0
25	uP_SIM_nUVS2	SIM voltage selection 2
26	uP_SIM_nUSV1	SIM voltage selection 1
27	DGND	Common Ground
28	uP_MMC_DATA0_SPIDO	MMC data 0
29	uP_MMC_DATA1	MMC data 1
30	uP_MMC_DATA3	MMC data 3
31	uP_MMC_CLK_SPICLK	MMC clock
32	uP_MMC_CMD_SPIDI	MMC CMD
33	uP_MMC_DATA2	MMC data 2
34	DGND	Common Ground
35	uP_USBH_N0	USB HOST D-
36	uP_USBHPWR_EN	USB HOST power enable
37	uP_USBH_P0	USB HOST D+
38	uP_USBC_P	USB Slave D+
39	uP_USBHOVRCURR	USB HOST over current
40	uP_USBC_N	USB Slave D-
41	uP_CLK_EXT	External clock
42	DGND	Common Ground
43	uP_SDA	I ² C SDA
44	uP_SCL	I ² C SCL
45	uP_SSPSCLK_GPIO_23	GPIO SSP synchronization
46	uP_PWM2	PWM 2
47	uP_SSPTXD_GPIO_25	GPIO SSP TXD
48	uP_PWM1	PWM 1
49	uP_SSPPRM_GPIO_24	GPIO SSP mode selection
50	uP_SSPPRXD_GPIO_26	GPIO SSP RXD
51	uP_SSPEXTCLK_GPIO_27	GPIO SSP external clock
52	DGND	Common Ground
53	TSPX	Touch panle X direction +
54	TSMX	Touch panle X direction -

55	TSMY	Touch panle Y direction -
56	TSPY	Touch panle Y direction +
57	ADC_SYNC	ADC synchronization control
58	ADC_04	ADC4
59	ADC_03	ADC3
60	ADC_02	ADC2
61	ADC_01	ADC1
62	MIC_IN	MIC input
63	MIC_GND	MIC Ground
64	LINE_IN_L	AC97 Line_in left
65	LINE_IN_R	AC97 Line_in right
66	LINE_OUT_L	AC97 Line_out left
67	LINE_OUT_R	AC97 Line_out right
68	uP_GPIO_22	GPIO
69	uP_GPIO_12	GPIO
70	TXD-	LAN output -
71	RXD-	LAN input -
72	TXD+	LAN output +
73	RXD+	LAN input +
74	LAN_LEDB	LAN link indicator
75	LAN_LEDA	LAN status indicator
76	DGND	Common Ground
77	uP_DQM2	SDRAM DQM2
78	uP_DQM0	SDRAM DQM0
79	uP_DQM3	SDRAM DQM3
80	uP_DQM1	SDRAM DQM1

表 4.2 J2 管脚描述

4.3 J3 (电源输入,用户总线地址、控制信号)

插座 J3 是一个 80-pin 0.8mm 间距的贴片插座，是连接底板 ZTE-PXA270-03S 与嵌入式模块 ZTE-PXA270-02S 的四个插座之一。插座 J3 与嵌入式模块上的插座 J4 相对应。

管脚号	引脚名称	描述
1	+5V	+5.0V input

2	+5V	+5.0V input
3	+5V	+5.0V input
4	+5V	+5.0V input
5	NC	-
6	NC	-
7	NC	-
8	NC	-
9	NC	-
10	NC	-
11	DGND	Common Ground
12	DGND	Common Ground
13	DGND	Common Ground
14	DGND	Common Ground
15	DGND	Common Ground
16	uP_nOE	MEM read enable
17	uP_nWE	MEM write enable
18	DGND	Common Ground
19	DGND	Common Ground
20	MA2	User bus Address 2
21	MA3	User bus Address 3
22	MA4	User bus Address 4
23	MA5	User bus Address 5
24	MA6	User bus Address 6
25	MA7	User bus Address 7
26	MA8	User bus Address 8
27	MA9	User bus Address 9
28	MA10	User bus Address 10
29	MA11	User bus Address 11
30	MA12	User bus Address 12
31	MA13	User bus Address 13
32	MA14	User bus Address 14
33	MA15	User bus Address 15
34	DGND	Common Ground
35	MA16	User bus Address 16
36	MA17	User bus Address 17

37	MA18	User bus Address 18
38	MA19	User bus Address 19
39	MA20	User bus Address 20
40	MA21	User bus Address 21
41	MA22	User bus Address 22
42	MA23	User bus Address 23
43	MA24	User bus Address 24
44	MA25	User bus Address 25
45	DGND	Common Ground
46	DGND	Common Ground
47	NC	-
48	NC	-
49	DGND	Common Ground
50	DGND	Common Ground
51	uP_nSDCS0	CS0 for SDRAM
52	uP_nSDCS1	CS1 for SDRAM
53	uP_SDCKE	SDRAM clock enable
54	uP_SDCLK0	SDRAM clock 0
55	uP_SDCLK1	SDRAM clock 1
56	uP_SDCLK2	SDRAM clock 2
57	uP_nSDRAS	SDRAM row address strobe
58	uP_nSDCAS	SDRAM column address strobe
59	uP_nSDCS2	CS2 for SDRAM
60	uP_nSDCS3	CS3 for SDRAM

表 4.3 J3 管脚描述

4.4 J4 (用户总线数据、控制信号)

插座 J4 是一个 80-pin 0.8mm 间距的贴片插座，是连接底板 **ZTE-PXA270-03S** 与嵌入式模块 **ZTE-PXA270-02S** 的四个插座之一。插座 J4 与嵌入式模块上的插座 J2 相对应。

管脚号	引脚名称	描述
1	NC	-
2	NC	-
3	NC	-

4	NC	-
5	NC	-
6	DGND	Common Ground
7	DGND	Common Ground
8	DGND	Common Ground
9	DGND	Common Ground
10	MD0	User bus Data0
11	MD1	User bus Data1
12	MD2	User bus Data2
13	MD3	User bus Data3
14	MD4	User bus Data4
15	MD5	User bus Data5
16	MD6	User bus Data6
17	MD7	User bus Data7
18	DGND	Common Ground
19	DGND	Common Ground
20	MD8	User bus Data8
21	MD9	User bus Data9
22	DGND	Common Ground
23	MD10	User bus Data10
24	MD11	User bus Data11
25	MD12	User bus Data12
26	MD13	User bus Data13
27	MD14	User bus Data14
28	MD15	User bus Data15
29	DGND	Common Ground
30	DGND	Common Ground
31	NC	-
32	NC	-
33	DGND	Common Ground
34	DGND	Common Ground
35	MD16	User bus Data16
36	MD17	User bus Data17
37	MD18	User bus Data18
38	MD19	User bus Data19

39	MD20	User bus Data20
40	MD21	User bus Data21
41	MD22	User bus Data22
42	MD23	User bus Data23
43	MD24	User bus Data24
44	MD25	User bus Data25
45	MD26	User bus Data26
46	MD27	User bus Data27
47	MD28	User bus Data28
48	MD29	User bus Data29
49	MD30	User bus Data30
50	MD31	User bus Data31
51	DGND	Common Ground
52	MA0	User bus Address0
53	MA1	User bus Address1
54	DGND	Common Ground
55	uP_RD_nWR	Data direction control
56	uP_nCS0	BOOT CS signal
57	uP_nCS1	NAND FLASH CS signal
58	uP_nCS2	External bus CS signal
59	uP_nCS4	Ethernet CS signal
60	uP_nCS5	IDE CS signal

表 4.4 J4 管脚描述

4.5 J20 (USB 从, RS232 串口, VGA, 以太网)

插座 J20 是由模块和底板组成的系统的调试接口。包括由嵌入式模块 **ZTE-PXA-270-02S** 直接引出的 USB 从信号、RS232 接口、VGA 接口及以太网接口。J20 是 20-pin 2.00mm 间距的针式插座。

管脚号	引脚名称	描述
1	USBC_P	USB Slave D+
2	USB_N	USB Slave D-
3	TXD1+	Ethernet output differential signal D+
4	VUSB_DN1	Power supply for USB client
5	TXD1-	Ethernet output differential signal D-

6	OUT_TXD0	RS232 serial port1 TXD
7	RXD1+	Ethernet input differential signal D+
8	OUT_RXD0	RS232 serial port1 RXD
9	RXD1-	Ethernet input differential signal D-
10	NC	——
11	NC	——
12	NC	——
13	NC	——
14	DGND	Common Ground
15	HSYNC_VGA	VGA HSYNC
16	DGND	Common Ground
17	V_CSINC_VGA	VGA VSYNC
18	DGND	Common Ground
19	VGA_IOR	VGA Red
20	DGND	Common Ground
21	VGA_IOG	VGA Green
22	DGND	Common Ground
23	VGA_IOB	VGA Blue
24	DGND	Common Ground

表 4.5 J20 管脚描述

4.6 CN1 (RS232 串口, RS485 串口, CAN 总线、以太网)

插座 CN1 提供多种通信信号，包括 RS32、RS485、CAN 总线、以太网。
CN1 是 40-pin 2.54mm 间距的针式插座。

管脚号	引脚名称	描述
1	NC	——
2	NC	——
3	NC	——
4	NC	——
5	NC	——
6	NC	——
7	NC	——
8	NC	——

9	NC	——
10	DGND	Common Ground
11	OUT_RXD0	RS232 serial port 1 RXD
12	OUT_TXD0	RS232 serial port 1 TXD
13	FFRS485A	RS485 serial port 1 differential signal A
14	FFRS485B	RS485 serial port 1 differential signal B
15	BTRS485A	RS485 serial port 2 differential signal A
16	BTRS485B	RS485 serial port 2 differential signal B
17	STDRS485A	RS485 serial port 3 differential signal A
18	STDRS485B	RS485 serial port 3 differential signal B
19	CAN2-	CAN bus 2 differential signal CAN-
20	CAN2+	CAN bus 2 differential signal CAN+
21	DM1	USB HOST 1 differential signal D-
22	DM2	USB HOST 2 differential signal D-
23	DP1	USB HOST 1 differential signal D+
24	DP2	USB HOST 2 differential signal D+
25	VUSB_DN2	USB HOST power
26	VUSB_DN2	USB HOST power
27	uP_BTRXD	Bluetooth serial port RXD
28	uP_BTRTS	Bluetooth serial port RTS
29	uP_BTTXD	Bluetooth serial port TXD
30	uP_BTCTS	Bluetooth serial port CTS
31	CAN-	CAN bus 1 differential signal CAN-
32	CAN+	CAN bus 1 differential signal CAN+
33	ETH_TXP	Ethernet output differential signal D+
34	ETH_TXN	Ethernet output differential signal D-
35	ETH_RXP	Ethernet input differential signal D+
36	ETH_RXN	Ethernet input differential signal D-
37	VCC3.3	Internal 3.3V power supply
38	LEDA	LAN_link indicator
39	VCC3.3	Internal 3.3V power supply
40	LEDB	LAN_act indicator

表 4.6 CN1 管脚描述

4.7 CN4 (LCD)

插座 CN4 为液晶显示其提供视频信号。CN4 应直接连接到 LCD。CN4 是 32-pin 2.00mm 间距的针式插座。

管脚号	引脚名称	描述
1	CK	LCD pixel clock output
2	GND	Common Ground
3	VSYNC	LCD VSYNC
4	GND	Common Ground
5	ENAB	LCD BIAS
6	HSYNC	LCD HSYNC
7	B5	LCD Data
8	B4	LCD Data
9	B3	LCD Data
10	B2	LCD Data
11	B1	LCD Data
12	B0	Connected to Common Ground
13	GND	Common Ground
14	GND	Common Ground
15	G5	LCD Data
16	G4	LCD Data
17	G3	LCD Data
18	G2	LCD Data
19	G1	LCD Data
20	G0	LCD Data
21	GND	Common Ground
22	GND	Common Ground
23	R5	LCD Data
24	R4	LCD Data
25	R3	LCD Data
26	R2	LCD Data
27	R1	LCD Data
28	R0	Connected to Common Ground
29	NC	—

30	GND	Common Ground
31	3.3V	Output supply for 3.3.V
32	3.3V	Output supply for 3.3.V

表 4.7 CN4 管脚描述

4.8 CN1VDS1 (LVDS)

插座 CN1VDS1 是为支持 LVDS 接口的液晶屏设计的专用接口。该接口可以直接连接到液晶屏的 LVDS 接口上。CN1VDS1 是 20-pin 2.54mm 间距的针式插座。

管脚号	引脚名称	描述
1	VCC3.3	3.3V power supply
2	VCC3.3	3.3V power supply
3	LVDS_GND	GND for LVDS
4	LVDS_GND	GND for LVDS
5	LVDS-OUT0-	Differential output D0-
6	LVDS-OUT0+	Differential output D0+
7	LVDS_GND	GND for LVDS
8	LVDS-OUT1-	Differential output D1-
9	LVDS-OUT1+	Differential output D1+
10	LVDS_GND	GND for LVDS
11	LVDS-OUT2-	Differential output D2-
12	LVDS-OUT2+	Differential output D2+
13	LVDS_GND	GND for LVDS
14	LVDSCLK-OUT-	Clock signal differential output nagtive
15	LVDSCLK-OUT+	Clock signal differential output positive
16	LVDS_GND	GND for LVDS
17	uP_GPIO_82	General purpos I/O
18	uP_GPIO_22	General purpos I/O
19	LVDS_GND	GND for LVDS
20	LVDS_GND	GND for LVDS

表 4.8 CN1VDS 管脚描述

5 ZTE-PXA270-03S 接口

5.1 CPLD

在由嵌入式模块 ZTE-PXA20-02S 和底板 ZTE-PXA270-03S 组成的系统中，CPLD 作为核心板上 CPU 的协处理器，主要为其他单元电路提供控制信号。其中 J6 为 CPLD 的 JTAG 下载调试接口。J6 是 6-pin 2.54mm 间距针式插座。

管脚号	引脚名称	描述
1	TCK	Clock
2	DGND	Common Ground
3	TDO	Data output
4	3.3V	Power supply input for 3.3V
5	TMS	mode select

表 5.1 J6 管脚描述

5.2 Storage

ZTE-PXA270-03S 支持两种存储介质，NAND FLASH 和 CF 卡。

5.2.1 NAND FLASH

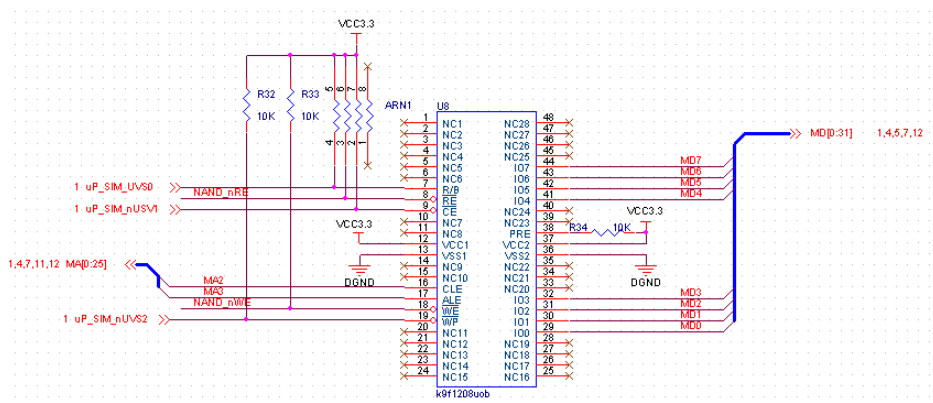
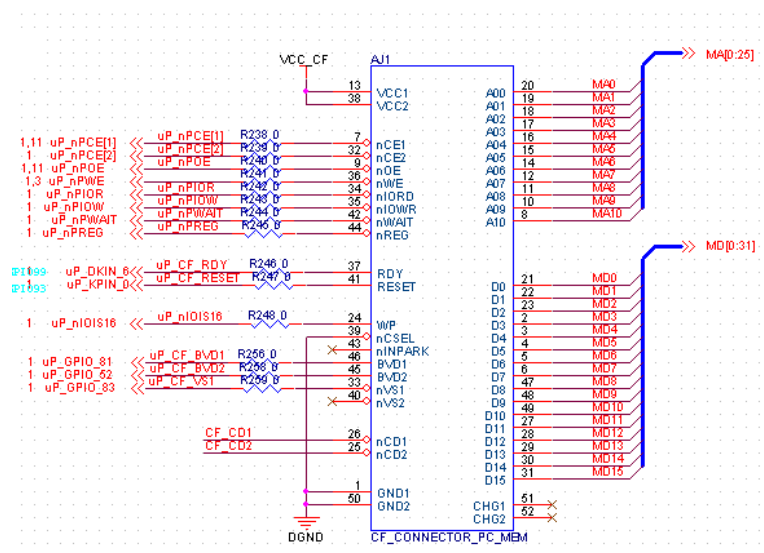


图 5.1 NAND FLASH

ZTE-PXA270-03S 扩展一片存储空间为 64MB 的 NAND FLASH，如图 5.1 所示。NAND FLASH 是一种可在线多次擦除的非易失性存储器，即掉电后数据

不会丢失。另外它还具有体积小、功耗低、抗振性强等优点，是嵌入式系统的首选存储设备。NAND FLASH 的访问是串行的，需要先把程序读取到内存然后再从内存中运行。

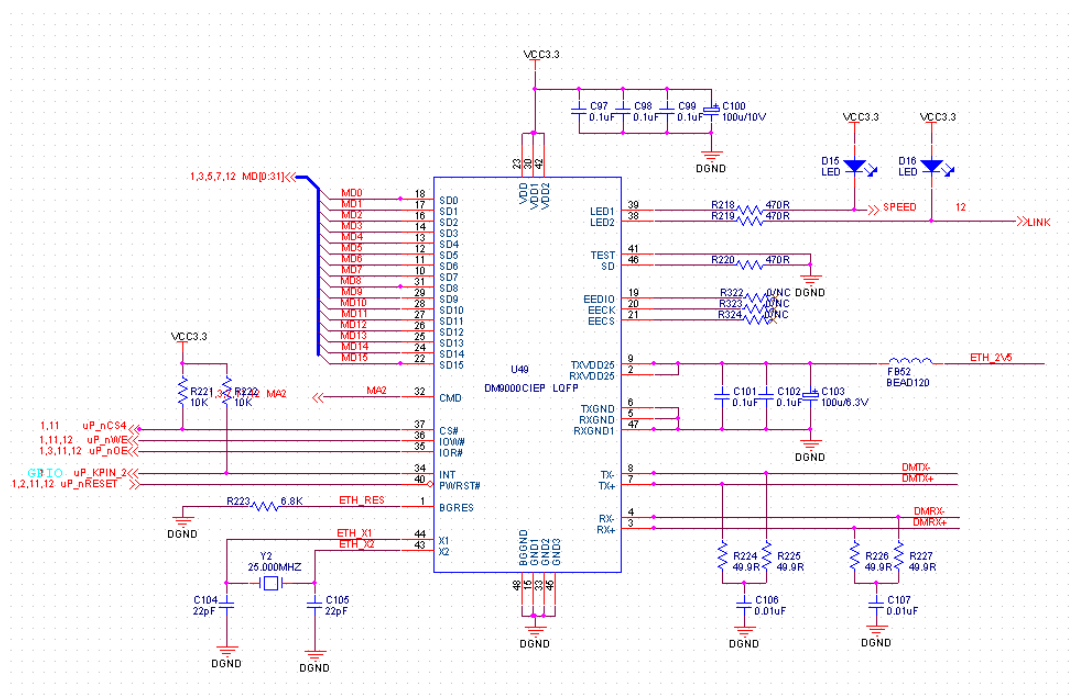
5.2.2 CF 卡



43	nINPACK	NC 未连接
34	nIORD	读信号
35	nIOWR	写信号
9	nOE	CF 卡读使能
37	RDY	准备好信号
44	nREG	判别普通存储与寄存器存储信号
41	RESET	复位信号
13, 38	VCC1,VCC2	电源
33, 40	nVS1,nVS2	电压选择信号
42	nWAIT	等待信号
36	nWE	写使能
24	WP	写保护

表 5.2 C F卡座引脚定义及功能表

5.3 以太网



嵌入式模块上的网卡信号通过插座引到 E2703S 上，然后再通过一个网卡变压器连到 J20 上，具体定义见表 4.5。

底板 **ZTE-PXA270-03S** 上有自己独立的网卡电路，如图 5.3 所示，它是由 CPU 的数据线和控制线扩展而来，网卡芯片输出的差分信号通过网卡变压器，连至 CN1 上。具体定义见表 4.6。

这两个网卡可以任选其一工作。主要有以下两个作用：（1）用作通常的网络相关应用；（2）用于 PXA270 的调试、维护。两者同时运行，互不影响。

5.4 USB（主/从）

上有一路 USB 从设备，它是从嵌入式模块 **ZTE-PXA270-02S** 上引出的 USB 差分信号，使得该系统可以作为计算机的存储设备，方便与计算机平台进行交互。此外该 USB 从接口还可以作为整个系统的下载调试接口。此 USB 从信号连接至 E2703S 的 J20 上，具体定义见表 4.5。

此外底板 **ZTE-PXA270-03S** 上还通过专用芯片将嵌入式模块 **ZTE-PXA270-02S** 上的一路 USB 主信号扩展为 4 路，其中两路连接至插座，使得底板可同时连接键盘和鼠标。同时也支持 U 盘等 USB 设备，并且两路 USB 主口具有过流保护能力，防止瞬间大电流对 USB 从设备造成损坏。

另外两路 USB 信号引至插座 CN1 上，其具体定义见表 4.6。

5.5 RS232 串口

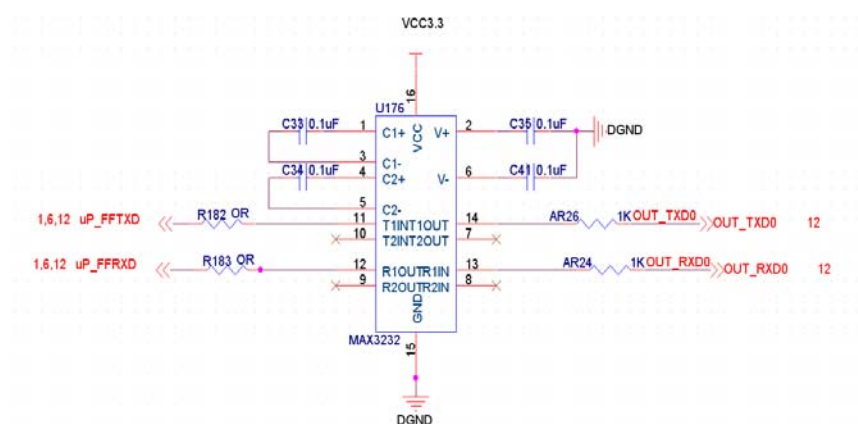


图 5.4 TTL 转 RS232 电路

ZTE-PXA270-03S 提供一个 RS-232 串口。它是将核心板上的一路 TTL 的串口信号通过一个 232 电平转换芯片转化成 232 电平串口信号，与计算机通信，

如图 5.4 所示。该串口信号已连至插座 J20 和 CN1 上，具体定义见表 4.5，4.6。该串口可进行作为系统的下载、调试与维护的接口，也可以与其他设备进行通信。用户可根据自己的需求将信号引至标准的 DB9 插座上。

5.6 RS485 串口

ZTE-PXA270-03S 提供三路半双工工作的 RS485 接口，它是由核心板上的 TTL 串口收发信号通过 485 芯片转化成 485 的差分信号的，在设计中，我们在 485 的差分信号上加入了防静电芯片，从而有效的避免了静电对 485 信号的影响。由于 485 信号是差分信号，所以线上信号抗干扰能力比较强。此外 485 信号还有传输距离远，传输速率高（可达 10Mbps/S）的优点。

三路 485 信号接至 CN1 上，其信号定义见表 4.6。

5.7 显示

底板 **ZTE-PXA270-03S** 提供多种显示接口，包括 VGA 接口、TTL 液晶接口、LVDS 液晶接口。

5.7.1 VGA 接口

嵌入式模块 **ZTE-PXA270-02S** 上的 VGA 信号直接引至插座 J20 上，其定义见表 4.5。

5.7.2 TTL LCD 接口

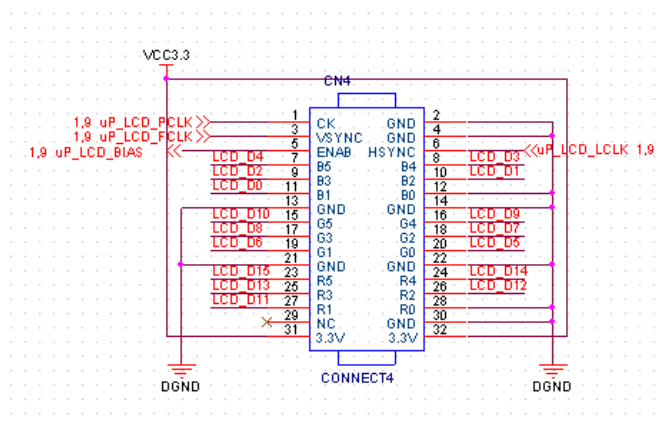


图 5.5 LCD 接口

嵌入式模块 ZTE-PXA270-02S 上的 TTL LCD 信号引到底板的插座 CN4 上, 定义见表 4.7。

5.7.3 LVDS 接口

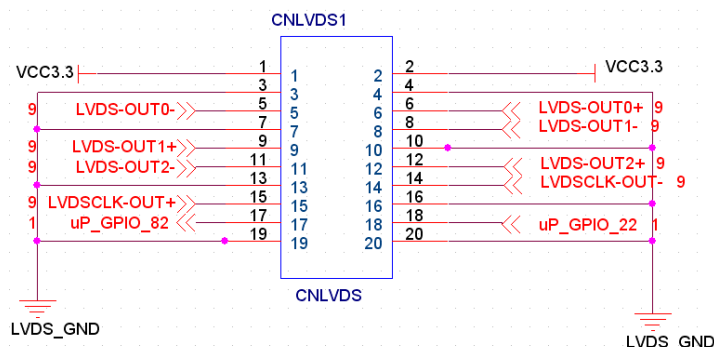


图 5.6 LVDS 接口

通过一片 LVDS 专用芯片将液晶的数据线和控制信号转换成差分信号引至插座 CNLVDS1 上，其信号定义见表 4.8。有效的增大了液晶的使用距离，同时信号抗干扰能力强，给用户带来了极大的便利。

5.8 CAN 总线

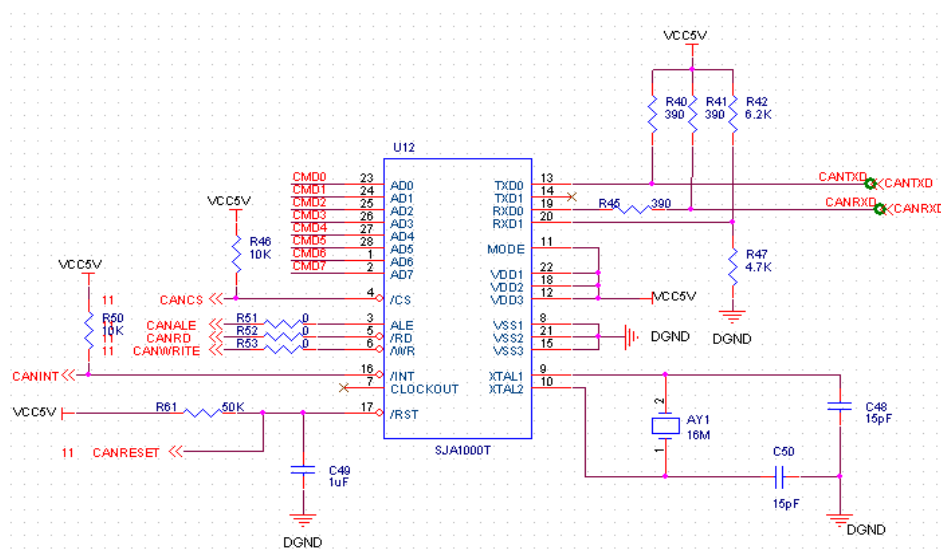


图 5.7 CAN 控制器

底板 ZTE-PXA270-03S 上扩展了两路 CAN 总线接口。利用 CPU 的数据线和 CPLD 给的控制信号，通过一个 CAN 控制器和 CAN 总线收发器，按照 CAN 总线物理层协议选择介质，设计布线方案，连接成 CAN 网络。CAN 控制器是整个 CAN 驱动电路的核心，其电路如图 5.7 所示，主要完成 CAN 总线的通信协议，而总线收发器的主要功能是增大通信距离，提高系统的瞬间抗干扰能力，保护总线，降低射频干扰等，因此它具有传输距离远和抗干扰能力强等各种优点。

此外，在设计中我们在 CAN 的差分信号上加入了防静电芯片。有效的避免了静电对 CAN 总线信号的影响。这两路 CAN 的差分信号均引至 CN1 上，具体定义见表 4.6。

5.9 RTC

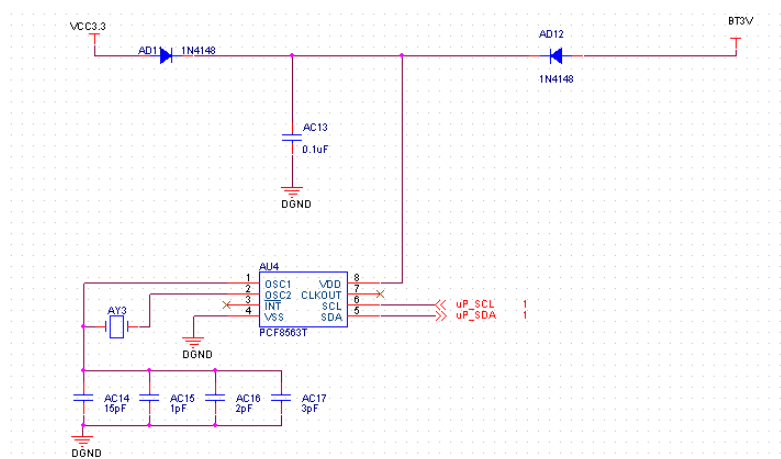


图 5.8 RTC 电路

RTC电路如上图 5.8 所示，该电路不仅能为系统提供精确的时间信息，也可以作为定时电路。RTC模块使用的实时时钟芯片是一个I²C设备，具有较高的总线接口速率。CPU通过实时时钟芯片来获取时间信息。该电路功耗极低，正常工作状态下只有约 250nA的耗电，能最大程度地满足嵌入式系统低功耗的需求。

5.10 加密功能

如何在这些嵌入式系统中采用低成本、高效率的方法保护自己的科研成果不被非法仿制和剽窃，同时保存一些关键代码或数据已成为困扰许多研发工程师的问题之一。解决的办法除了采用法律手段保护知识产权外，另一个更加简单有效的方法就是采用加密存储芯片进行硬件电路的加密和重要数据的认证存储。

在本次设计中采用的加密存储芯片，具有 1kbits的用户存储区。利用I²C串行总线通信，采用认证或加密验证等方式进行数据访问，芯片提供了标准、口令、认证和加密三种方式访问用户存储区。

在标准访问方式下，对用户存储区的读写访问无任何限制；在口令访问模式下，对用户存储区的读写访问需要口令验证。

认证和加密方式分认证和加密两种模式，在认证模式下，用户必须经过认证，同时要通过不同用户区所设定的口令检验才能正确访问用户数据区。

加密验证模式下访问用户时用户必须首先经过认证，然后利用认证成功后配置区特定寄存器中更新的数据作为密钥再次进行认证，最后还要通过不同用户区设定的口令检验后才可访问用户区，这种方式下总线上传输的数据是经过加密的密文。因此采用此保密卡电路有效的保证了自己的科研成果不受非法仿制和剽窃。I

5.11 电源

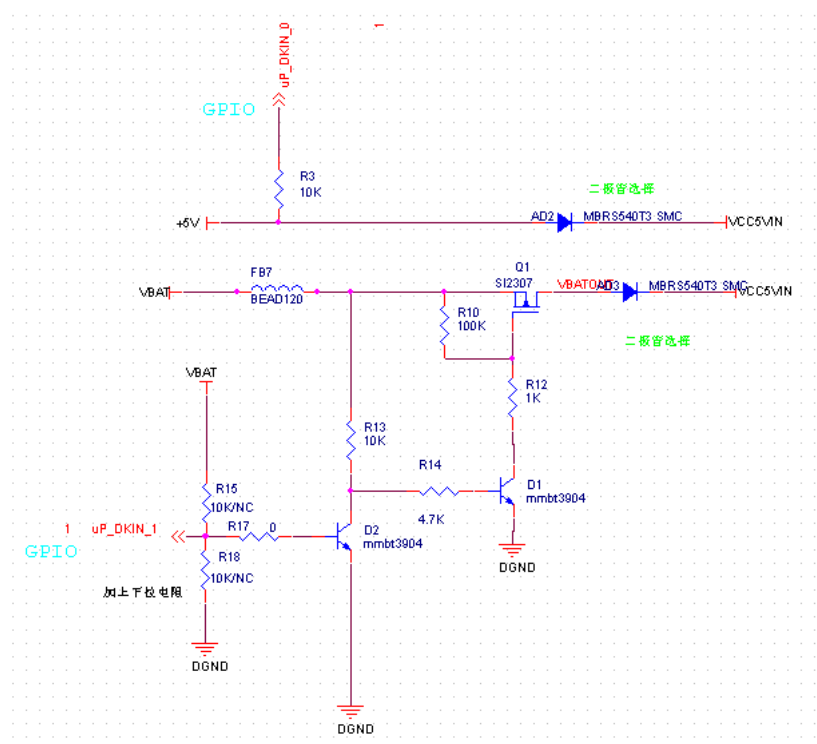


图 5.9 电源管理

5.11.1 电源供电

供电分为电池供电和外部 5V 直流电供电两种方式。电池和外部直流电的对外接口在插座 J7 上，其定义如下表 5.3

管脚号	引脚名称	描述
1	VBAT	Power supply input from battery
2	+5V	External +5VDC supply input
3	DGND	Common Ground
4	+5V	External +5VDC supply input
5	DGND	Common Ground

6	DGND	Common Ground
---	------	---------------

图 5.3 电源插座 J7 引脚定义

5.11.2 电源管理

在由 **ZTE-PXA270-02S** 和 **ZTE-PXA270-03S** 组成的嵌入式系统中，CPU 控制检测和控制两路电源的使用，当外部 5 V 直流电源和电池同时存在时，系统仅使用外部电源供电，而当外部电源断电或发生波动时，系统能够自动转换为电池电路供电并且保证系统的正常工作来防止因断电而引起的数据丢失。其电路如上图 5.9

5.12 WIFI

ZTE-PXA270-03S 支持 WIFI 无线网络，符合 IEEE802.11b/g 标准，最大支持速率可达 54Mbps。通过 PXA270 的 SSP 串行口控制 WIFI 电路。其中 J9 是整个 WIFI 电路的天线。其信号定义为 1 脚：ANT，2 脚：GND。

5.13 用户可使用的其他资源

除上述电路外，我们还将核心板上的某些信号直接或者经过扩展引至插座 CN2 和 CN5 上，供用户使用。插座 CN2 的引脚排布如下：

管脚号	引脚名称	描述
1	BMD0	User bus data D0
2	BMD1	User bus data D1
3	BMD2	User bus data D2
4	BMD3	User bus data D3
5	BMD4	User bus data D4
6	BMD5	User bus data D5
7	BMD6	User bus data D6
8	BMD7	User bus data D7
9	BMD8	User bus data D8
10	BMD9	User bus data D9
11	BMD10	User bus data D10
12	BMD11	User bus data D11
13	BMD12	User bus data D12
14	BuP_nRESETOUT	Reset signal output

15	BuP_nCS2	External bus CS signal
16	BuP_nCS5	IDE CS signal
17	BuP_nWE	PC CARD MEM write enable
18	BuP_nOE	PC CARD MEM output enable
19	BMD13	User bus data D13
20	BMD14	User bus data D14
21	BMD15	User bus data D15
22	BMA2	User bus Address 2
23	BMA3	User bus Address 4
24	BuP_PWM2	PWM 2
25	BMA4	User bus Address 4
26	BMA5	User bus Address 5
27	LINE_IN_L	AC97 Line_in left
28	LINE_OUT_L	AC97 Line_out left
29	LINE_IN_R	AC97 Line_in right
30	LINE_OUT_R	AC97 Line_out right
31	MIC_IN	MIC input
32	MIC_GND	MIC Ground
33	BMA6	User bus Address 6
34	BMA7	User bus Address 7
35	+5V	+5V power supply for board
36	+5V	+5V power supply for board
37	RESET	Reset input
38	BT3V	Battery 3.3V supply for board
39	DGND	Common Ground
40	DGND	Common Ground

表 5.4 CN2 引脚排布

插座 CN5 引脚排布如下：

管脚号	引脚名称	描述
1	DGND	Common Ground
2	MMC_DATA3	MMC data 3
3	MMC_DATA0_SPIDO	MMC data 0/SPI bus data output
4	MMC_DATA2	MMC data 2
5	MMC_CMD_SPIDI	MMC CMD/SPI data input
6	MMC_DATA1	MMC data1

7	MMC_CLK_SPICLK	MMC clock/ SPI clock
8	SSPFRM_GPIO_24	GPIO24/ SSP mode slection
9	SSPCLK_GPIO_23	GPIO23/ SSP synchronization
10	SSPRXD_GPIO_26	GPIO26/ SSP RXD
11	SSPTXD_GPIO_25	GPIO25/ SSP TXD
12	SSPEXTCLK_GPIO_27	GPIO27/ SSP external clock
13	FFRXD	UART 1 RXD
14	FFRTS	UART 1 RTS
15	FFTxD	UART 1 TXD
16	FFDCD	UART 1 DCD
17	FFCTS	UART 1 CTS
18	FFDSR	UART 1 DSR
19	DGND	Common Ground
20	FFRI	UART 1 RI
21	GPIO_12	GPIO12
22	FFDTR	UART 1 DTR
23	GPIO_11 GPIO	GPIO11
24	NC	——
25	NC	——
26	DGND	
27	GPIO_53	GPIO53
28	VCC3.3	+3.3V output
29	VCC3.3	+3.3V output
30	NC	——
31	NC	——
32	DGND	Common Ground
33	VCC5V	+5V output
34	VCC5V	+5V output
35	DGND	Common Ground
36	NC	——
37	DKIN_2	KEY I/O (or GPIO)
38	NC	——
39	NC	——
40	DGND	Common Ground

表 5.5 CN5 引脚排布