

ARTIX-7 FPGA 开发平台

用户手册

AX7035

REV 1.1 版

芯驿电子科技（上海）有限公司

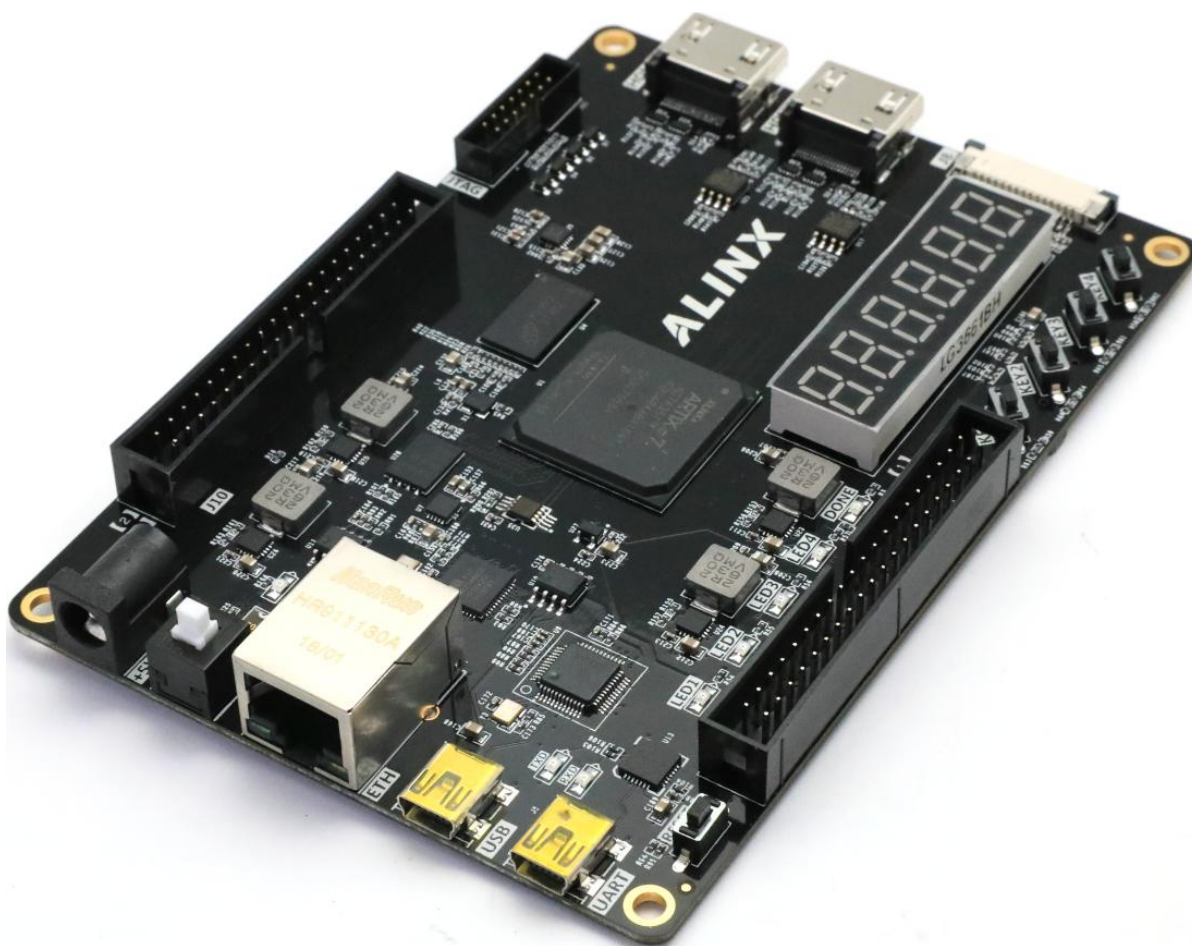
WWW.ALINX.COM.CN

目录

一、	开发板简介	4
二、	结构尺寸	6
三、	电源.....	7
四、	FPGA	8
五、	50M 有源晶振	9
六、	DDR3	10
七、	QSPI Flash	13
八、	千兆以太网接口	15
九、	HDMI 输出接口.....	17
十、	HDMI1 输入接口（也可作为输入）	20
十一、	USB2.0 通信接口.....	22
十二、	SD 卡槽	23
十三、	USB 转串口.....	25
十四、	EEPROM 24LC04	26
十五、	数码管	27
十六、	温度传感器.....	29
十七、	2.54mm 扩展口.....	31
十八、	FPC 扩展口	34
十九、	JTAG 接口	36
二十、	用户按键.....	37
二十一、	LED 灯	38

XILINX ARTIX-7 系列的高端 FPGA 开发平台 (型号 : AX7035) 正式发布了 , 为了让您对此开发平台可以快速了解 , 我们编写了此用户手册。

这款 ARTIX-7 FPGA 开发平台采用 XILINX 的 ARTIX-7 芯片 , 开发板的外围设计了丰富的外围接口 , 比如一路 HDMI 输入接口 , 一路 HDMI 输出接口 , 一路千兆以太网接口 , 一路 USB2.0 接口 , Uart 接口 , 下载器接口和两路 40 针扩展口等等。满足用户各种高速数据传输 , 视频处理和工业控制的要求 , 是一款“全能级”的 FPGA 开发平台。为高速视频传输 , 数据通信 , 图像处理及数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。



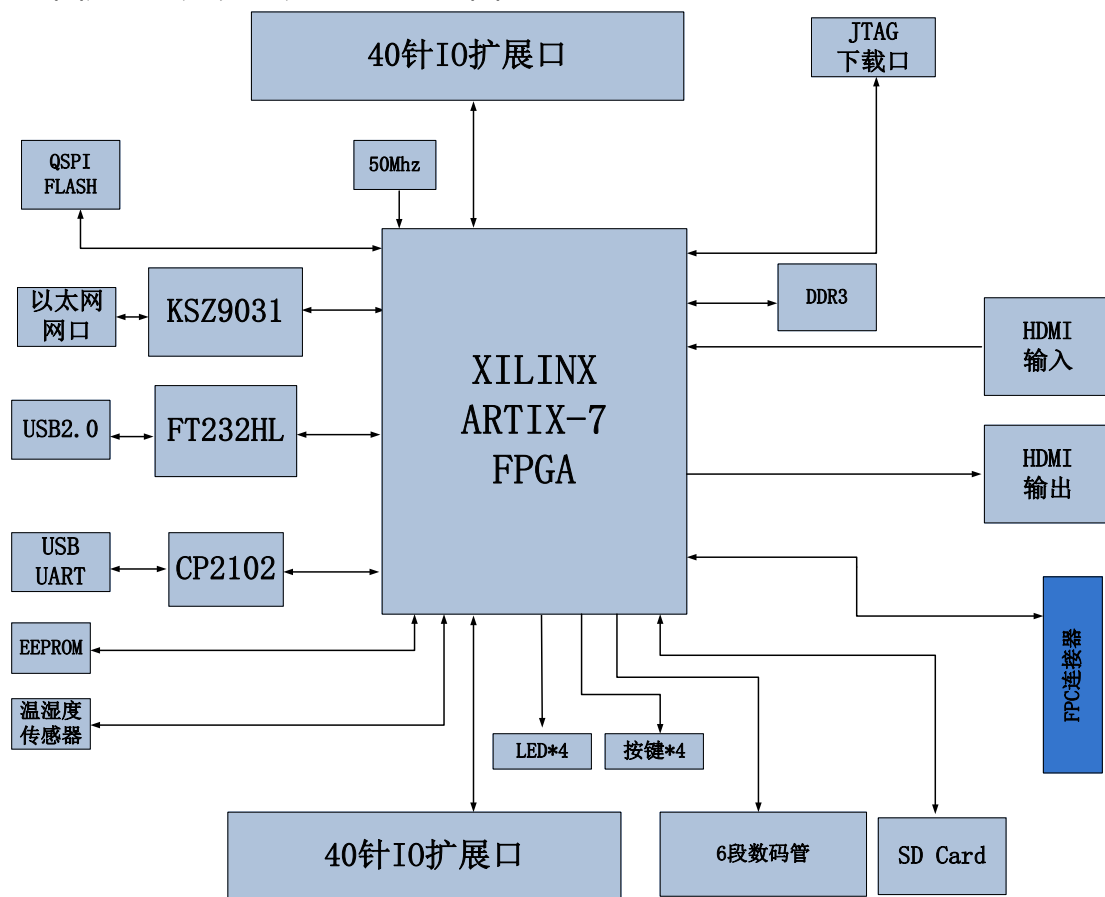
一、开发板简介

在这里，对这款 AX7035 FPGA 开发平台进行简单的功能介绍。

此款开发板使用的是 Xilinx 公司的 ARTIX-7 系列的 FPGA 芯片，型号为 XC7A35T-2FGG484I，484 个引脚的 FBGA 封装。FPGA 芯片连接了一个 256M 字节的 DDR3 存储芯片，实现 FPGA 和 DDR3 之间的高速数据读写，数据位宽为 16 位，DDR 的读写时钟频率达到 400Mhz，整个系统的带宽高达 12.8Gb/s (800M*16bit)，满足数据处理过程中对数据缓冲区的需求。一片 128Mbit 的 QSPI FLASH 作为 FPGA 的配置芯片，用于存储 FPGA 的配置文件和一些用户数据。

开发板上扩展了丰富的外围接口，其中包含一路 HDMI 输出接口和一路 HDMI 输入接口、一路千兆以太网接口、一路 USB2.0 接口、一路 UART 串口接口、一路 SD 卡接口、两路 40 针的扩展口和一些按键 LED 及 EEPROM 和传感器电路。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- Xilinx ARTIX-7 系列 FPGA 芯片 XC7A35T-2FGG484I
- 一片大容量的 2Gbit(256MB) 高速 DDR3 SDRAM, 可作为 FPGA 芯片数据的缓存;

- 一片 128Mbit 的 QSPI FLASH, 可用作 FPGA 芯片的配置文件和用户数据的存储;
- 板载一个 50Mhz 的有源晶振, 给 FPGA 系统提供稳定的时钟源;
- 一路 10/100M/1000M 以太网 RJ-45 接口

千兆以太网接口芯片采用 Micrel 公司的 KSZ9031RNX 以太网 PHY 芯片为用户提供网络通信服务。KSZ9031RNX 芯片支持 10/100/1000 Mbps 网络传输速率; 全双工和自适应。

- 一路 HDMI 图像视频输出接口

最高支持 1080P@60Hz 输出, 支持不同格式的数据输出。

- 一路 HDMI 图像视频输入接口

最高支持 720P@60Hz 输入, 支持不同格式的数据输入。

- 一路高速 USB2.0 接口

使用 FTDI Chip 公司的 FT232H 单通道 USB 芯片, 可用于开发板和 PC 之间的 USB2.0 高速通信, 最高速度达 480Mb/s。

- 一路 USB Uart 接口

一路 Uart 转 USB 接口, 用于和电脑通信, 方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口。

- Micro SD 卡座

一路 Micro SD 卡座, 支持 SD 模式和 SPI 模式。

- 一个 6 位数码管, 可以动态显示 6 位数字。

- 温湿度传感器

板载一片温湿度传感器芯片 LM75, 用于检测板子周围环境的温度和湿度。

- 二路 40 针扩展口

预留 2 个 40 针 2.54mm 间距的扩展口, 可以外接的各种模块 (双目摄像头, TFT LCD 屏, 高速 AD 模块等等)。扩展口包含 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, IO 口 34 路。

- 一路 FPC 扩展口

预留 1 个 15 针 FPC 扩展口, 用于连接用户的 MIPI 摄像头模块。

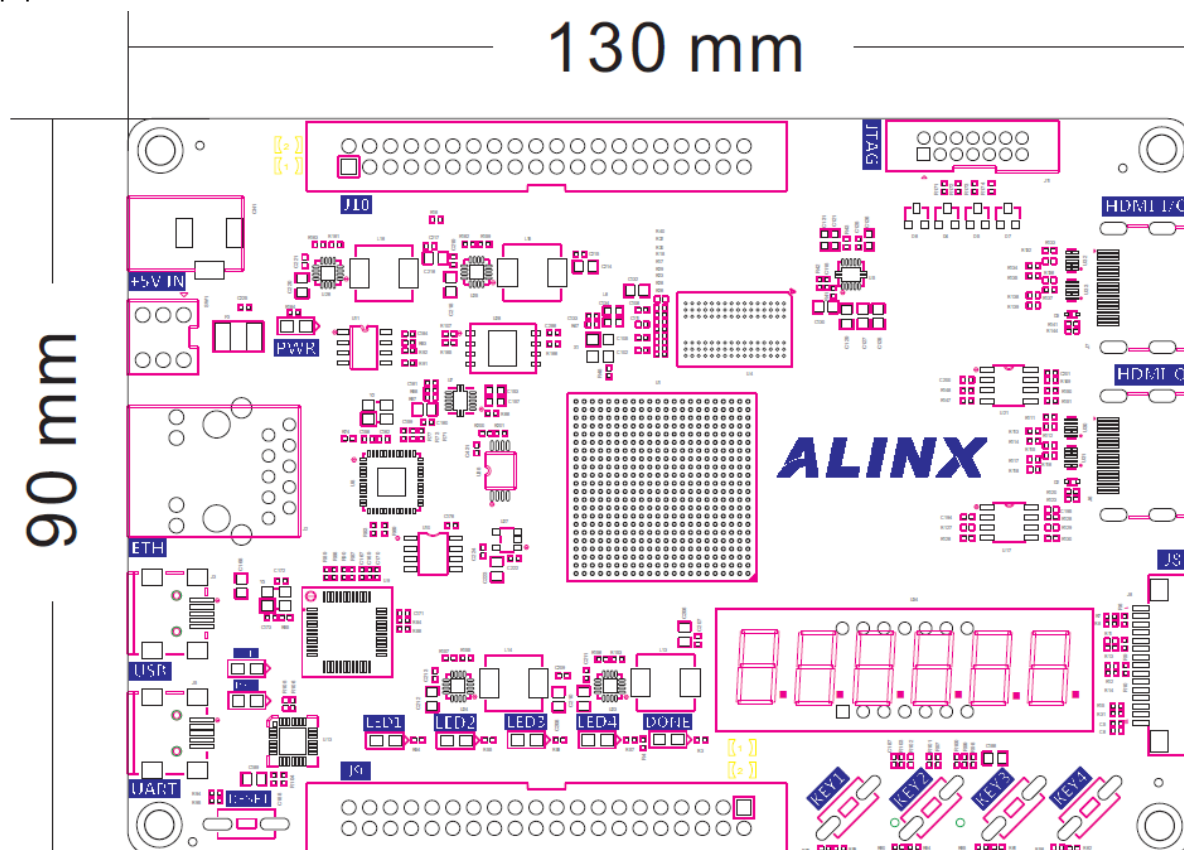
- 一路 JTAG 口, 可对 FPGA 系统进行调试和下载。

- 按键和 LED 灯

1 个复位按键, 4 个用户按键; 1 个电源指示灯, 1 个 DONE 配置指示灯, 2 个串口发送和接收指示灯, 4 个用户 LED 灯。

二、 结构尺寸

开发板的尺寸为精简的 130mm x 90mm, PCB 采用 8 层板设计。板子四周有 4 个螺丝定位孔, 用于固定开发板, 定位孔的孔径为 3.5mm(直径), 资料中提供 dxf 结构图。



三、电源

电源输入：开发板供电电压为 DC5V，请使用开发板自带的电源，不要用其他规格的电源，以免损坏开发板。开发板上的电源设计示意图如下：

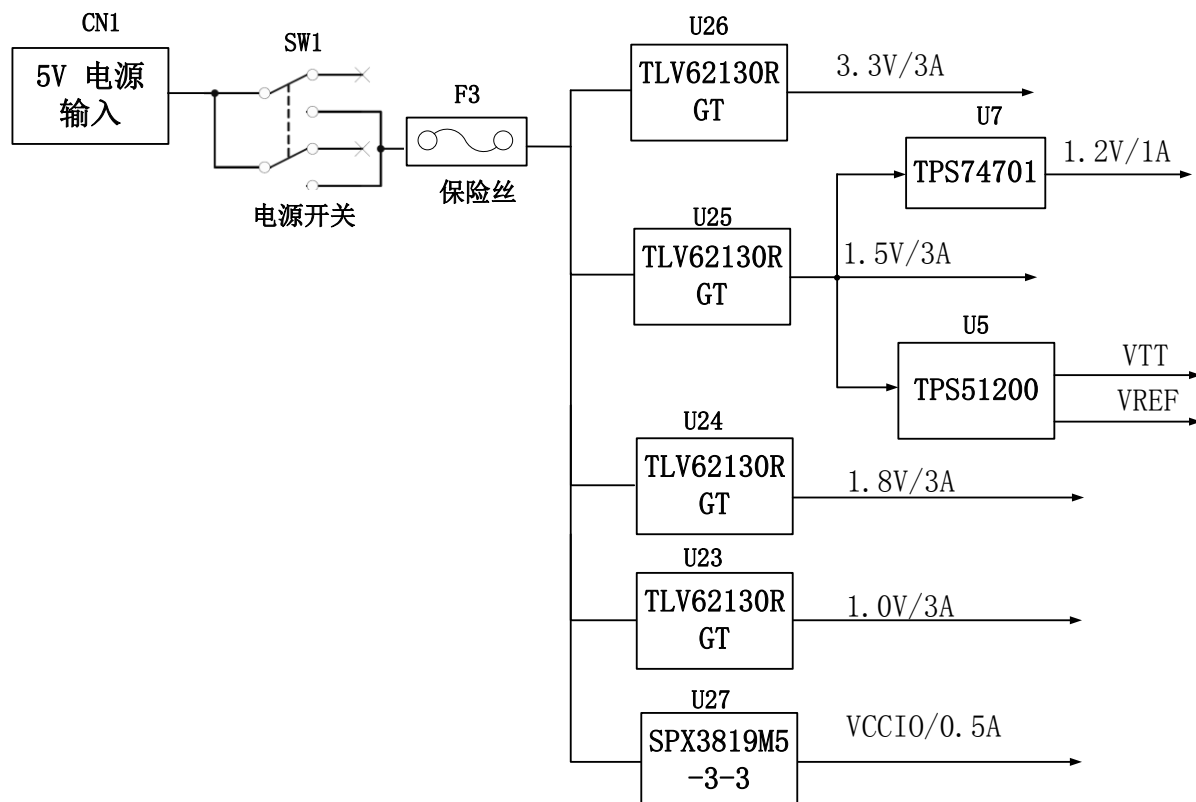


图 3-1 原理图中电源接口部分

开发板通过+5V 供电，通过四路 DC/DC 电源芯片 TLV62130RGT 转化成+3.3V，+1.5V，+1.8V，+1.0V 四路电源，每路输出电流可高达 3A。通过一路 LDO SPX3819M5-3-3 产生 VCCIO 电源，VCCIO 最要是针对 FPGA 的 BANK16 进行供电，通过更换其它的 LDO 芯片，使得 BANK16 的 IO 适应不同的电压标准。1.5V 通过 TI 的 TPS51200 生成 DDR3 需要的 VTT 和 VREF 电压，另外 1.5V 通过一个 LDO 芯片 TPS74701 产生 1.2V 给网络接口芯片提供电源。各个电源分配的功能如下表所示：

电源	功能
+3.3V	FPGA 的 VCCIO, 以太网, 串口, HDMI, 传感器, FLASH, EEPROM 以及 SD card
+1.8V	FPGA 的辅助电压 VCCAUX, VCCBATT 以及 ADC 电源 VCCADC

+1.0V	FPGA 的核心电压 VCCINT, VCCBRAM
+1.5V	DDR3, FPGA 的 Bank34
VREF, VTT	DDR3
VCCIO	FPGA Bank16

因为 ARTIX-7 的 FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照 FPGA 的电源要求设计，上电依次为 1.0V -> 1.8V -> 1.5 V -> 3.3V -> VCCIO。

四、FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 XC7A35T-2FGG484I，属于 Xilinx 公司 Artix-7 系列的产品，速度等级为 2，温度等级为工业级。此型号为 FGG484 封装，484 个引脚。Xilinx ARTIX-7 FPGA 的芯片命名规则如下：

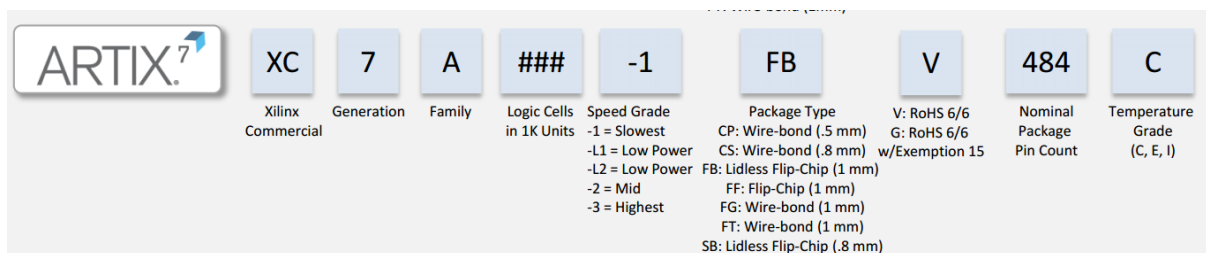


图 4-1 为开发板所用的 FPGA 芯片实物图。



图 4-1 FPGA 芯片实物

其中 FPGA 芯片 XC7A35T 的主要参数如下所示：

名称	具体参数
逻辑单元 Logic Cells	33,280
查找表(Slices)	5,200
触发器(CLB flip-flops)	41,600
Block RAM (kb) 大小	1,800
DSP 处理单元 (DSP Slices)	90
速度等级	-2
温度等级	工业级

FPGA 供电系统

Artix-7 FPGA 电源有 V_{CCINT} , V_{CCBRAM} , V_{CCAUX} , V_{CCO} , $V_{MGTAVCC}$ 和 $V_{MGTAVTT}$ 。 V_{CCINT} 为 FPGA 内核供电引脚，需接 1.0V； V_{CCBRAM} 为 FPGA Block RAM 的供电引脚；接 1.0V； V_{CCAUX} 为 FPGA 辅助供电引脚，接 1.8V； V_{CCO} 为 FPGA 的各个 BANK 的电压，包含 BANK0, BANK14~16, BANK34~35，在 AX7035 开发板上，BANK34 因为需要连接 DDR3，BANK 的电压连接的是 1.5V，其它 BANK 的电压都是 3.3V，其中 BANK16 的 V_{CCO} 是由 LDO 供电，可以通过更换 LDO 芯片更改 BANK 的电平。因为这里没有用到 GTP 的功能，所以 GTP 的电源我们不需要提供。

Artix-7 FPGA 系统要求上电顺序分别为先 V_{CCINT} 供电，再是 V_{CCBRAM} ，然后是 V_{CCAUX} ，最后为 V_{CCO} 。如果 V_{CCINT} 和 V_{CCBRAM} 的电压一样，可以同时上电。断电的顺序则相反。

五、 50M 有源晶振

开发板上提供一个 Sitime 公司的 50M 有源晶振给 FPGA 作为系统时钟输入。晶振输出连接到 FPGA 的全局时钟(GCLK Pin Y18)，这个 GCLK 可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLL 和 MMCM 来实现更高的时钟。

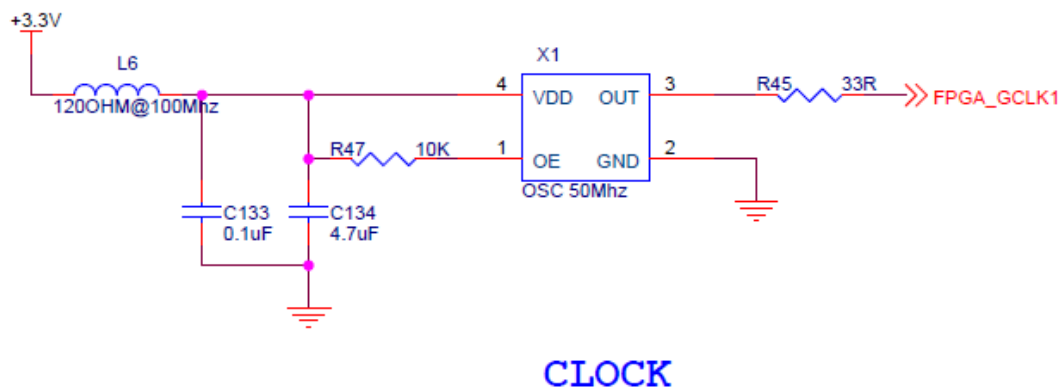


图 5-1 50M 有源晶振

图 5-2 为有源晶振实物图

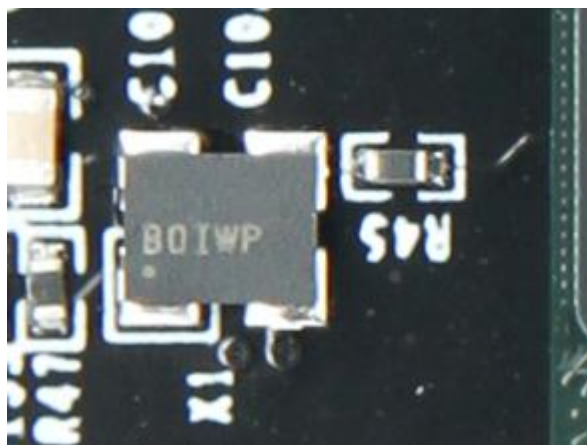


图 4.2 50M 有源晶振实物图

时钟引脚分配：

引脚名称	FPGA 引脚
FPGA_GCLK1	Y18

六、 DDR3

AX7035 板上配有一个 Micron(美光) 的 2Gbit (256MB) 的 DDR3 芯片,型号为 MT41J128M16HA-125。DDR 的总线宽度共为 16bit。DDR3 SDRAM 的最高运行时钟速度可达 400MHz(数据速率 800Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK 34 的存储器接口上。DDR3 SDRAM 的具体配置如下表 6-1 所示。

表 6-1 DDR3 SDRAM 配置

位号	芯片类型	容量	厂家
----	------	----	----

U4	MT41J128M16HA-125	128M x 16bit	micron
----	-------------------	--------------	--------

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 6-1 所示:

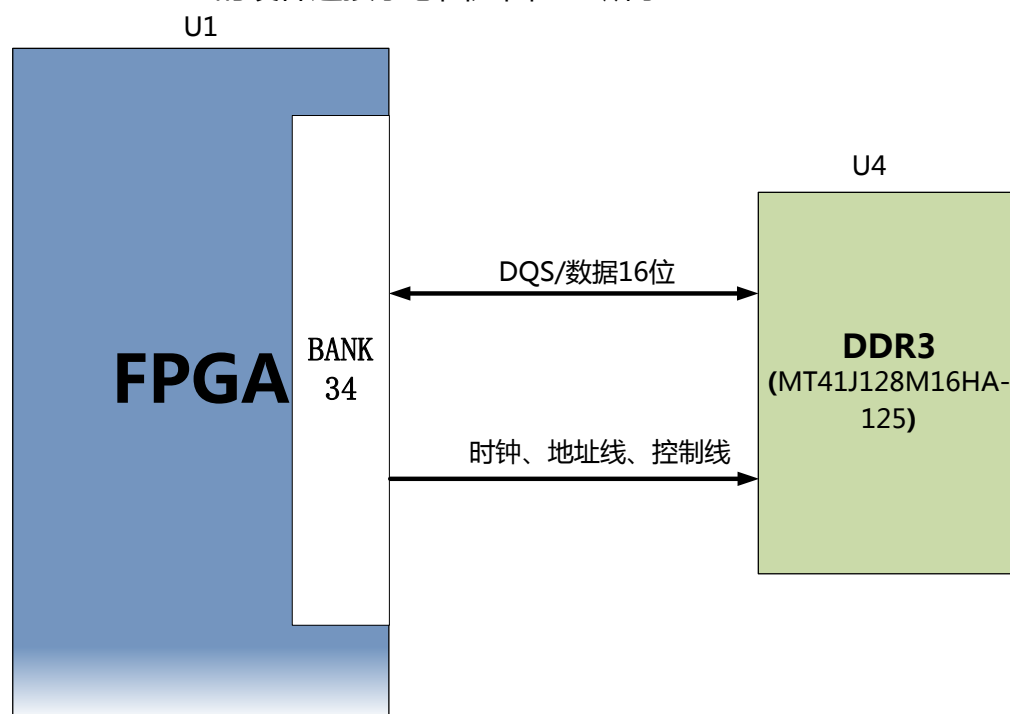


图6-1 DDR3 DRAM原理图示意图

图 6-2 为 DDR3 DRAM 实物图



图 6-2 DDR3 DRAM实物图

DDR3 DRAM 引脚分配：

信号名称	FPGA 引脚名	FPGA 管脚号
DDR3_LDQS_P	IO_L9P_T1_DQS_34	Y3

DDR3_LDQS_N	IO_L9N_T1_DQS_34	AA3
DDR3_UDQS_P	IO_L3P_T0_DQS_34	R3
DDR3_UDQS_N	IO_L3N_T0_DQS_34	R2
DDR3_DQ[0]	IO_L12P_T1_MRCC_34	V4
DDR3_DQ [1]	IO_L8N_T1_34	AB2
DDR3_DQ [2]	IO_L8P_T1_34	AB3
DDR3_DQ [3]	IO_L7P_T1_34	AA1
DDR3_DQ [4]	IO_L10P_T1_34	AA5
DDR3_DQ [5]	IO_L11P_T1_SRCC_34	Y4
DDR3_DQ [6]	IO_L10N_T1_34	AB5
DDR3_DQ [7]	IO_L11N_T1_SRCC_34	AA4
DDR3_DQ [8]	IO_L2N_T0_34	V2
DDR3_DQ [9]	IO_L5N_T0_34	Y1
DDR3_DQ [10]	IO_L1N_T0_34	U1
DDR3_DQ [11]	IO_L4N_T0_34	Y2
DDR3_DQ [12]	IO_L1P_T0_34	T1
DDR3_DQ [13]	IO_L5P_T0_34	W1
DDR3_DQ [14]	IO_L2P_T0_34	U2
DDR3_DQ [15]	IO_L6P_T0_34	U3
DDR3_LDM	IO_L7N_T1_34	AB1
DDR3_UDM	IO_L4P_T0_34	W2
DDR3_A[0]	IO_L22P_T3_34	AA8
DDR3_A[1]	O_L14N_T2_SRCC_34	U5
DDR3_A[2]	IO_L24N_T3_34	Y9
DDR3_A[3]	IO_L23P_T3_34	Y8
DDR3_A[4]	IO_L16N_T2_34	V5
DDR3_A[5]	IO_L19N_T3_VREF_34	W7
DDR3_A[6]	IO_L16P_T2_34	U6
DDR3_A[7]	IO_L19P_T3_34	V7
DDR3_A[8]	IO_L14P_T2_SRCC_34	T5
DDR3_A[9]	O_L24P_T3_34	W9

DDR3_A[10]	IO_L18N_T2_34	AA6
DDR3_A[11]	IO_L17N_T2_34	T6
DDR3_A[12]	IO_L18P_T2_34	Y6
DDR3_A[13]	IO_L17P_T2_34	R6
DDR3_BA[0]	IO_L22N_T3_34	AB8
DDR3_BA[1]	IO_L15N_T2_DQS_34	W5
DDR3_BA[2]	IO_L23N_T3_34	Y7
DDR3_S0	IO_25_34	U7
DDR3_RAS	IO_L20P_T3_34	AB7
DDR3_CAS	IO_L13N_T2_MRCC_34	T4
DDR3_WE	IO_L15P_T2_DQS_34	W6
DDR3_ODT	IO_L20N_T3_34	AB6
DDR3_RESET	IO_0_34	T3
DDR3_CLK_P	IO_L21P_T3_DQS_34	V9
DDR3_CLK_N	IO_L21N_T3_DQS_34	V8
DDR3_CKE	IO_L13P_T2_MRCC_34	R4

七、 QSPI Flash

开发板上使用了一片 128Mbit 大小的 QSPI FLASH 芯片，型号为 N25Q128，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

QSPI FLASH的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U8	N25Q128	128M Bit	Numonyx

表7-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK0 和 BANK14 的专用管脚上，其中时钟管脚连接到 BANK0 的 CCLK0 上，其它数据和片选信号分别连接到 BANK14 的 D00~D03 和 FCS 管脚上。图 7-1 为 QSPI Flash 在硬件连接示意图。

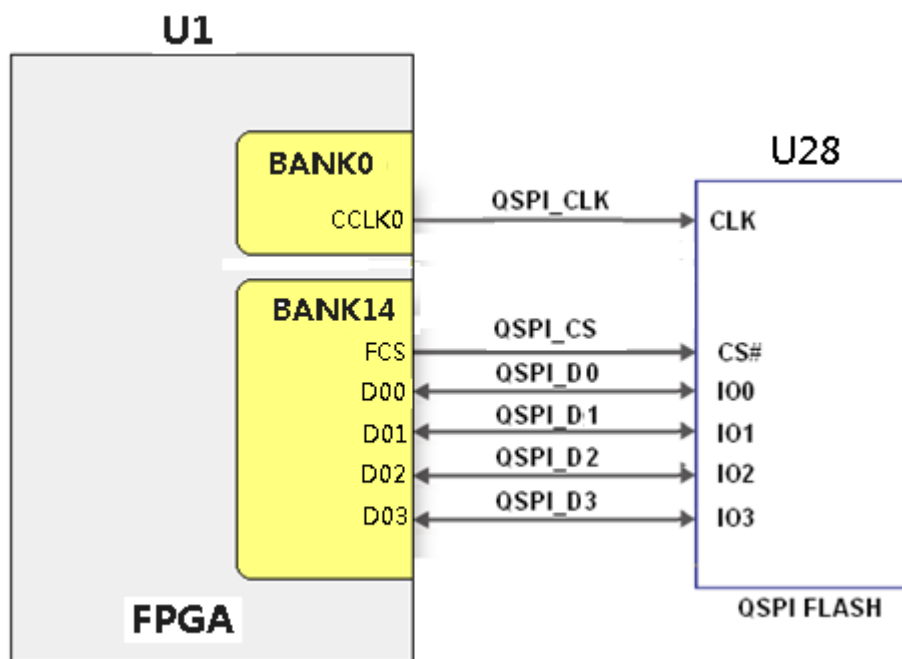


图 7-1 QSPI Flash连接示意图

配置芯片引脚分配：

信号名称	FPGA 引脚名	FPGA 管脚号
QSPI_CLK	CCLK_0	L12
QSPI_CS	IO_L6P_T0_FCS_B_14	T19
QSPI_DQ0	IO_L1P_T0_D00_MOSI_14	P22
QSPI_DQ1	IO_L1N_T0_D01_DIN_14	R22
QSPI_DQ2	IO_L2P_T0_D02_14	P21
QSPI_DQ3	IO_L2N_T0_D03_14	R21

图 7-2 为开发板上 QSPI Flash 的实物图

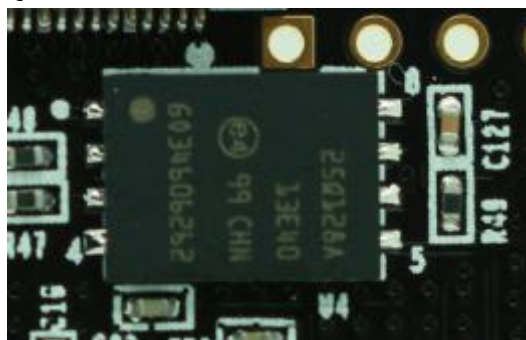


图 7-2 QSPI FLASH 部分实物图

八、 千兆以太网接口

AX7035 开发板上通过一片 Micrel 公司的 KSZ9031RNX 以太网 PHY 芯片为用户提供网络通信服务。以太网 PHY 芯片是连接到 ARTIX7 FPGA 的 IO 接口上。KSZ9031RNX 芯片支持 10/100/1000 Mbps 网络传输速率,通过 RGMII 接口跟 FPGA 进行数据通信。KSZ9031RNX 支持MDI/MDX 自适应,各种速度自适应,Master/Slave 自适应,支持 MDIO 总线进行 PHY 的寄存器管理。

KSZ9031RNX 上电会检测一些特定的 IO 的电平状态,从而确定自己的工作模式。表 8-1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
PHYAD[2:0]	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
CLK125_EN	使能 125Mhz 时钟输出选择	使能
LED_MODE	LED 灯模式配置	单个 LED 灯模式
MODE0~MODE3	链路自适应和全双工配置	10/100/1000 自适应,兼容全双工、半双工

表 8-1 PHY 芯片默认配置值

当网络连接到千兆以太网时,FPGA 和 PHY 芯片 KSZ9031RNX 的数据传输时通过 RGMII 总线通信,传输时钟为 125Mhz,数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时,FPGA 和 PHY 芯片 KSZ9031RNX 的数据传输时通过 RMII 总线通信,传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 8-1 为 FPGA 与以太网 PHY 芯片连接示意图:

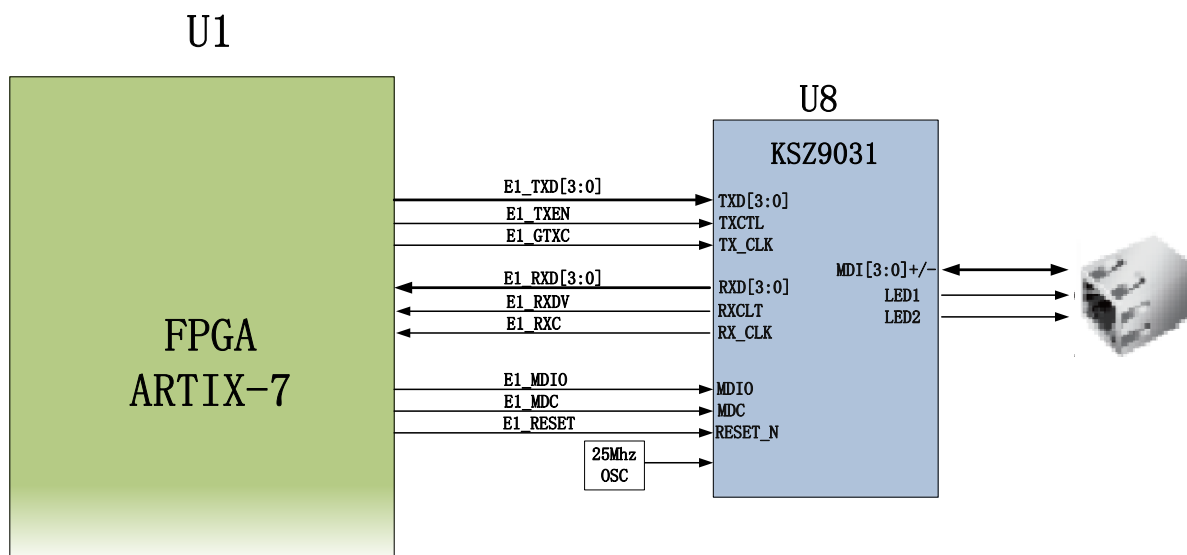


图 8-1 FPGA 与 PHY 芯片连接示意图

图 8-2 为以太网 PHY 芯片的实物图



图 8-2 以太网 PHY 芯片实物图

以太网 PHY 的 FPGA 引脚分配如下：

信号名称	FPGA 引脚号	备注
E1_GTXC	L14	RGMII 发送时钟
E1_TXD0	J21	发送数据 bit 0
E1_TXD1	M20	发送数据 bit1
E1_TXD2	L18	发送数据 bit2
E1_TXD3	L20	发送数据 bit3

E1_TXEN	L19	发送使能信号
E1_RXC	K18	RGMII 接收时钟
E1_RXD0	K19	接收数据 Bit0
E1_RXD1	M15	接收数据 Bit1
E1_RXD2	J17	接收数据 Bit2
E1_RXD3	J20	接收数据 Bit3
E1_RXDV	M21	接收数据有效信号
E1_MDC	K17	MDIO 管理时钟
E1_MDIO	K16	MDIO 管理数据
E1_RESET	L15	PHY 芯片复位

九、 HDMI 输出接口

AX7035 开发板上 HDMI 输出接口的实现是通过 FPGA 的差分 IO 直接连接到 HDMI 接口的差分信号和时钟,在 FPGA 内部实现数据进行编码和并行转差分转换后对 HDMI 信号的差分输出,实现 HDMI 数字视频输出的传输解决方案,最高支持 1080P@60Hz 输出的功能。

HDMI 的差分驱动信号通过 FPGA 的 BANK35 上 IO 输出,在信号接口处我们加了 ESD 保护器件,另外 HPD(hot plug detect)信号作为用来检测外部 HDMI 显示设备是否插入,图 9-1 为 HDMI 输出设计的原理图。

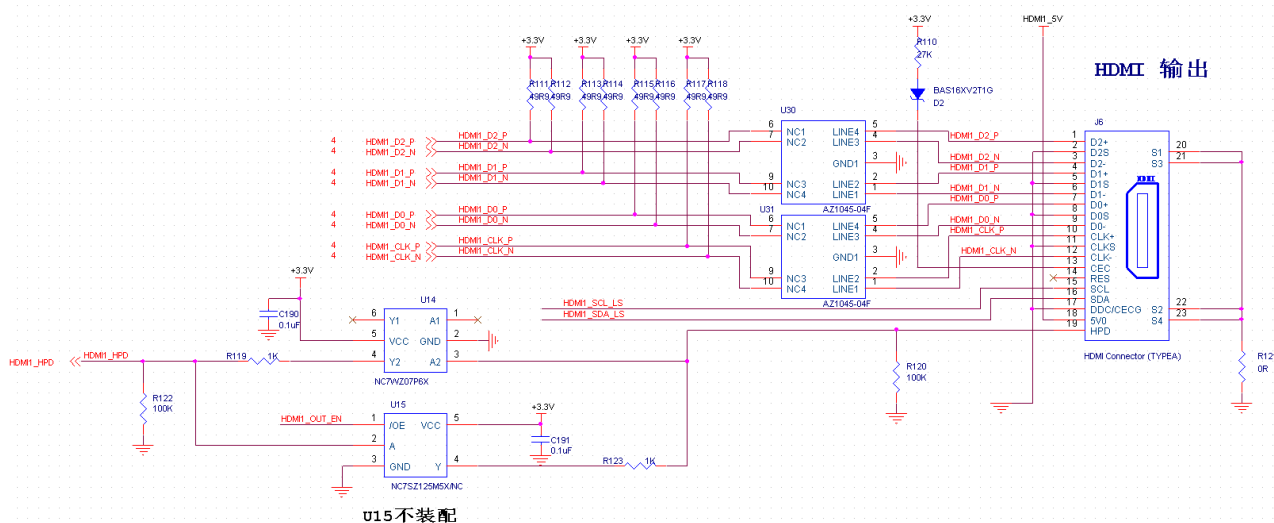


图 9-1 HDMI 输出接口原理图

开发板在作为 HDMI 显示的输出设备时,需要提供给 HDMI 显示设备一个+5V 的电

源，当 HDMI1_OUT_EN 信号为高时，输出+5V 电源给外部 HDMI 设备。电源输出控制电路如图 9-2 所示

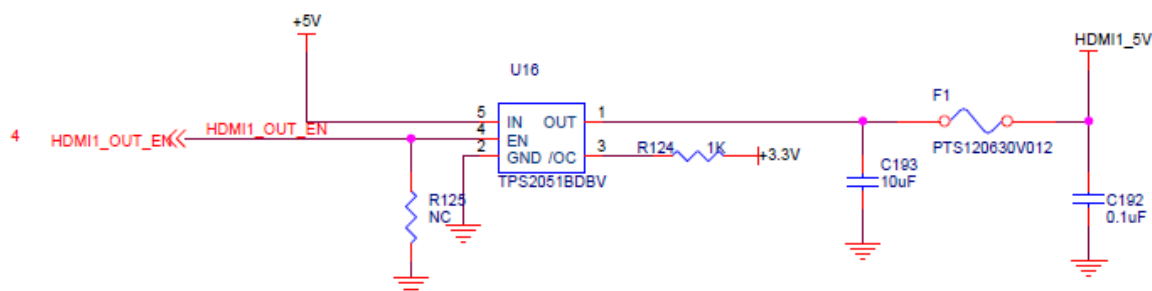


图 9-2 HDMI +5V 输出电路

另外 HDMI 主设备会通过 IIC 总线读取 HDMI 显示设备的 EDID 设备信息。FPGA 的管脚电平是 3.3V, 但 HDMI 的电平是+5V, 这里我们需要电平转换芯片 GTL2002D 来连接。IIC 的转换电路如图 9-3 所示

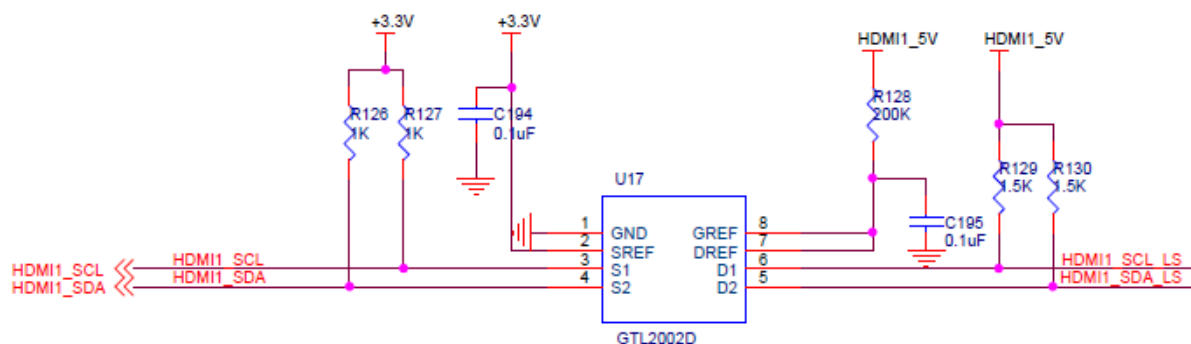


图 9-3 GTL2002D 电平转换电路

图 9-4 为 HDMI 输出接口的实物图

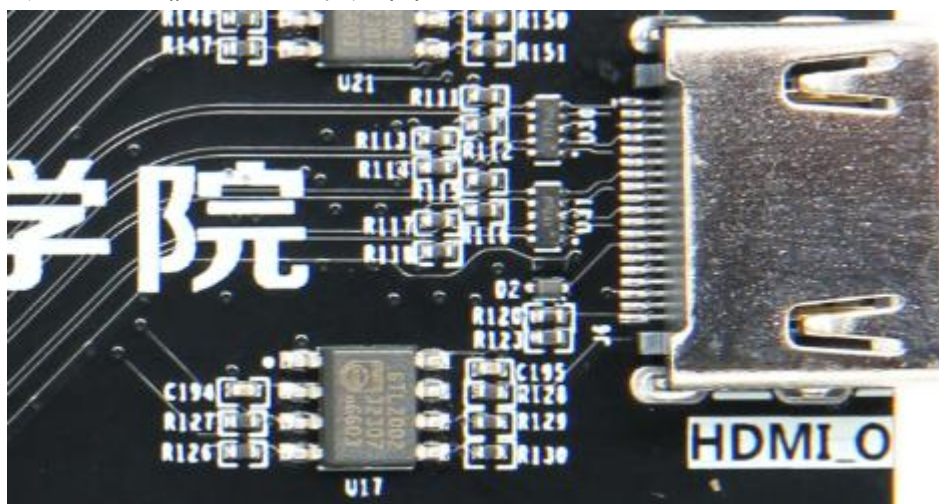


图 9-4 HDMI 输出接口实物图

FPGA 引脚分配：

引脚名称	FPGA 引脚
HDMI1_CLK_P	E1
HDMI1_CLK_N	D1
HDMI1_D0_P	G1
HDMI1_D0_N	F1
HDMI1_D1_P	H2
HDMI1_D1_N	G2
HDMI1_D2_P	K1
HDMI1_D2_N	J1
HDMI1_SCL	P4
HDMI1_SDA	N3
HDMI1_OUT_EN	M6
HDMI1_HPD	P5

图 9-5 为 HDMI 输入接口的实物图

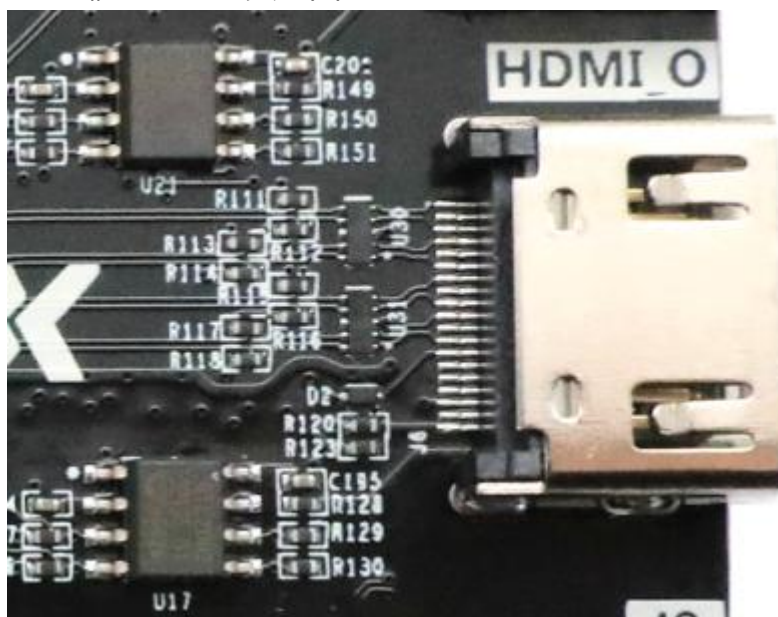


图 9-5 HDMI 输入接口实物图

十、HDMI1 输入接口（也可作为输出）

AX7035 开发板上 HDMI2 接口(J7)是既可以作为 HDMI 输入,也可以作为 HDMI 输出。默认我们把 HDMI2 接口是作为 HDMI 输入使用。HDMI 接口的数据差分信号和时钟信号直接连接到 FPGA 的差分 IO,在 FPGA 内部实现 HMDI 信号的差分转并行再进行解码,实现 HDMI 数字视频输入的传输解决方案,最高支持 720P@60Hz 输入的功能。

HDMI 的差分驱动信号通过 FPGA 的 BANK35 上 IO 输入,在信号接口处我们加了 ESD 保护器件,另外 HPD(hot plug detect)信号作为 HDMI 的从设备进行输出,高电平表示 HDMI 显示从设备已经插入。图 10-1 为 HDMI 输入设计的原理图。

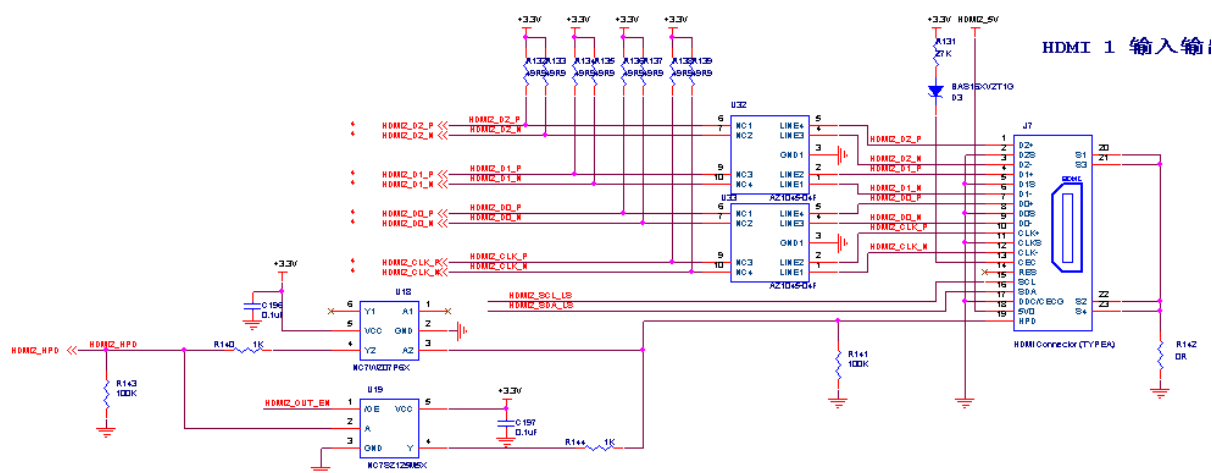


图 10-1 HDMI 输入接口原理图

开发板在作为 HDMI 显示的输入设备时, HDMI1_5V 的电源是由外面的主设备提供, 这里需要对 HDMI2_OUT_EN 的信号置低, 不使能 U20 芯片输出 5V。HDMI2 电源控制电路如图 10-2 所示

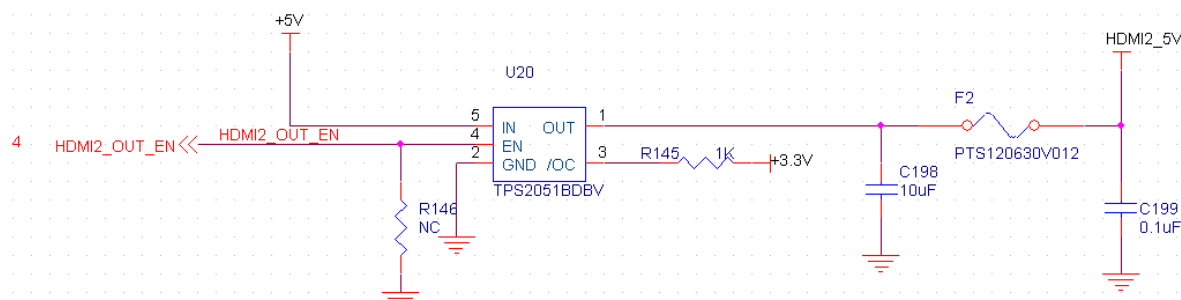


图 10-2 HDMI2 电源控制电路

另外 HDMI 主设备会通过 IIC 总线读取 HDMI 从设备的 EDID 设备信息。FPGA 的管脚电平是 3.3V, 但 HDMI 的电平是 +5V, 这里我们需要电平转换芯片 GTL2002D 来连接。IIC 的转换电路如图 10-3 所示

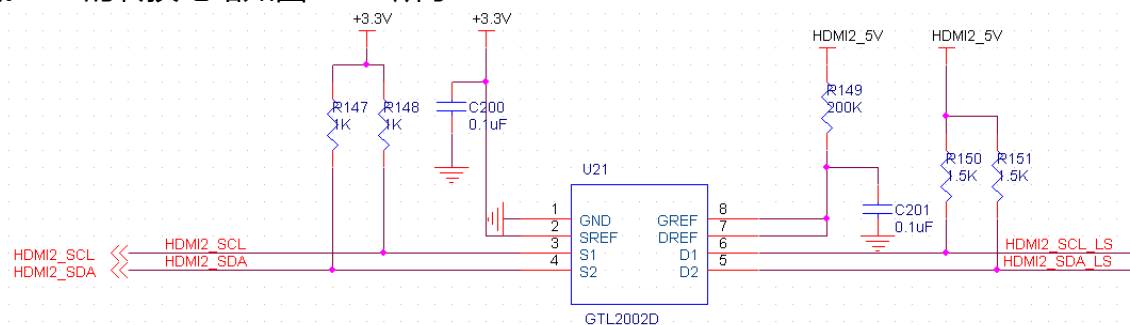


图 10-3 GTL2002D 电平转换电路

图 10-4 为 HDMI2 输入接口的实物图

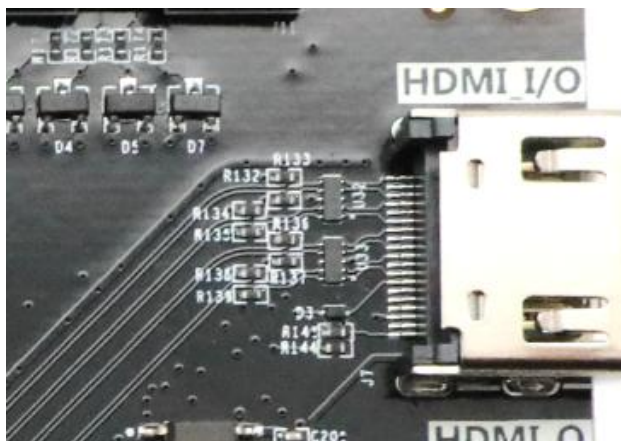


图 10-4 HDMI1 输入接口实物图

FPGA 引脚分配：

引脚名称	FPGA 引脚
HDMI2_CLK_P	K4
HDMI2_CLK_N	J4
HDMI2_D0_P	M1
HDMI2_D0_N	L1
HDMI2_D1_P	P2
HDMI2_D1_N	N2
HDMI2_D2_P	R1
HDMI2_D2_N	P1
HDMI2_SCL	N5
HDMI2_SDA	L6

HDMI2_OUT_EN	P6
HDMI2_HPD	M5

十一、USB2.0 通信接口

AX7035 采用了 FTDI Chip 公司的 FT232H 单通道高速 USB 芯片为开发板实现和电脑之间的 USB2.0 数据通信。最高 USB2.0 高速通信 (480Mb/s) 和全速通信 (12Mb/s), 数据接口支持不同的数据通信模式 (FIFO, I2C, SPI, JTAG), 上电后读取外置的 EEPROM 配置内容来决定数据通信模式, 也可以通过 PC 方便的修改配置方式。USB 芯片的接口管脚的功能是复用的, 具体请参考 FT232H 的芯片手册。

USB 芯片 FT232H 的数据接口信号与 FPGA 的 IO 相连, 通过 FPGA 的编程来对 FT232H 进行数据通信, FT232H 的硬件连接是按照 FT245 同步 FIFO 接口方式连接的。如图 11-1 所示。

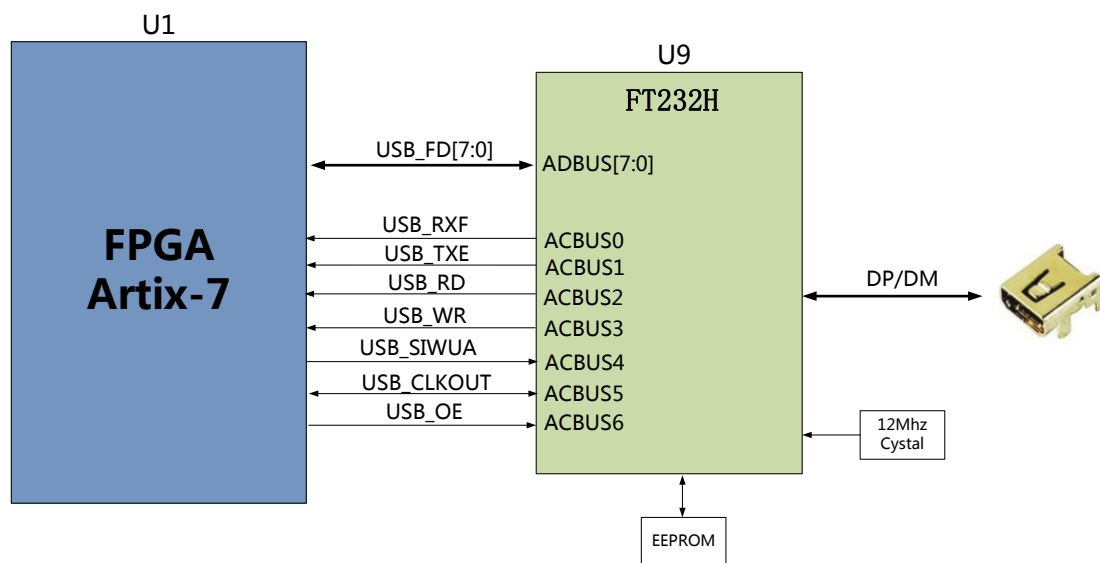


图 11-1 USB2.0 接口原理图

USB2.0 接口在扩展板的实物图如下图 11-2 所示:

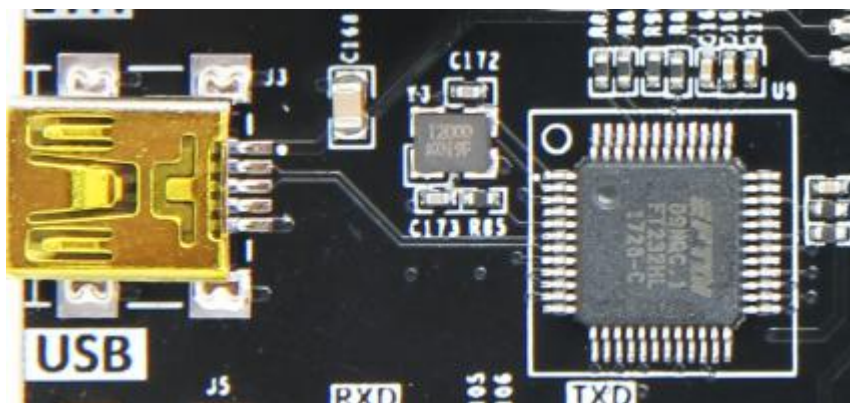


图 11-2 USB2.0 接口实物图

FPGA 引脚分配：

引脚名称	FPGA 引脚	说明
USB_FD0	K22	USB2.0 的数据 bit0
USB_FD1	K21	USB2.0 的数据 bit1
USB_FD2	J22	USB2.0 的数据 bit2
USB_FD3	H18	USB2.0 的数据 bit3
USB_FD4	H22	USB2.0 的数据 bit4
USB_FD5	J15	USB2.0 的数据 bit5
USB_FD6	H20	USB2.0 的数据 bit6
USB_FD7	G20	USB2.0 的数据 bit7
USB_RXF	H19	低表示接收 FIFO 数据可读
USB_TXE	H15	低表示发送 FIFO 数据可以写
USB_RD	L21	数据接收 FIFO 读信号，低有效
USB_WR	G17	数据发送 FIFO 写信号，低有效
USB_SIWUA	H17	立刻发送/唤醒功能
USB_CLKOUT	J19	60MHz 的时钟输出
USB_OE	G18	USB 数据输出使能

十二、SD 卡槽

SD 卡(Secure Digital Memory Card)是一种基于半导体闪存工艺的存储卡，1999 年由日本松下主导概念，参与者东芝和美国 SanDisk 公司进行实质研发而完成。2000

年这几家公司发起成立了 SD 协会(Secure Digital Association 简称 SDA), 阵容强大, 吸引了大量厂商参加。其中包括 IBM, Microsoft, Motorola, NEC、Samsung 等。在这些领导厂商的推动下, SD 卡已成为目前消费数码设备中应用最广泛的一种存储卡。

SD 卡是现在非常常用的存储设备, 我们扩展出来的 SD 卡, 支持 SD 和 SPI 模式, 使用的 SD 卡为 MicroSD 卡。原理图如下图 12-1 所示。

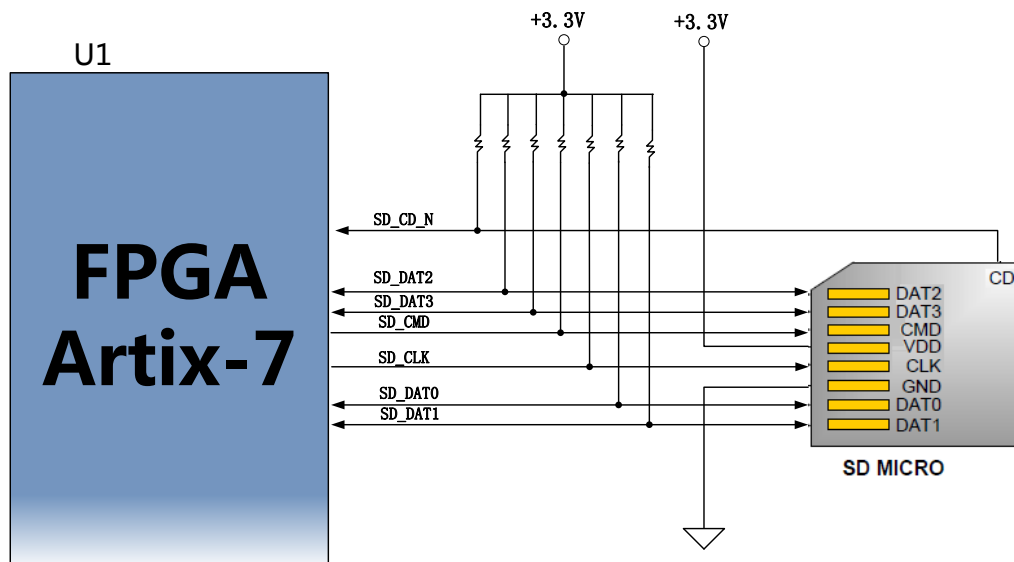


图 12-1 SD 卡槽原理图

SD 卡槽位于开发板的背面, 下图为 AX7035 开发板的 SD 卡槽实物图

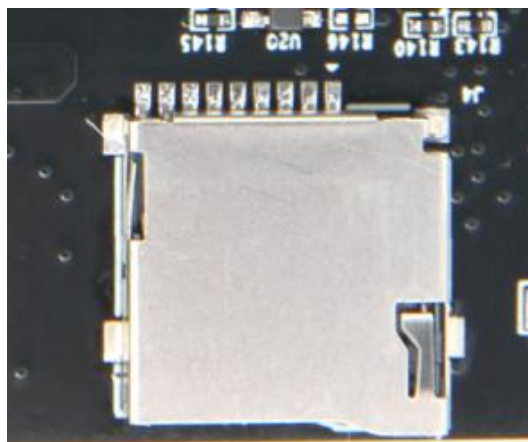


图 12-2 SD 卡槽实物图

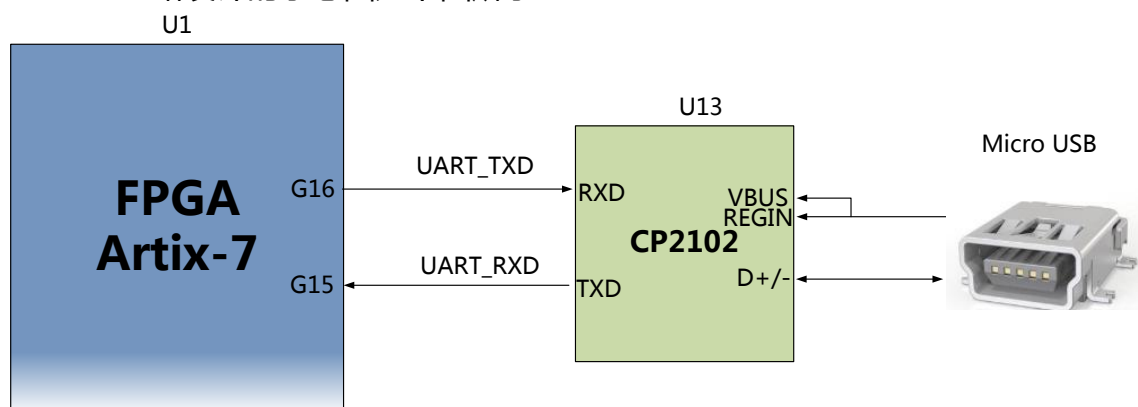
SD 卡槽引脚分配

SPI 模式	
引脚名称	FPGA 引脚
SD_CLK	N15

SD_CMD	P15
SD_DAT0	P16
SD_DAT1	R17
SD_DAT2	N14
SD_DAT3	N13
SD_CD_N	R16

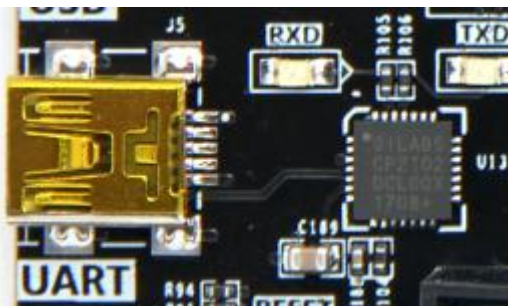
十三、USB 转串口

AX7035 开发板包含了 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口, 可以用一根 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。USB Uart 电路设计的示意图如下图所示:



13-1 USB 转串口示意图

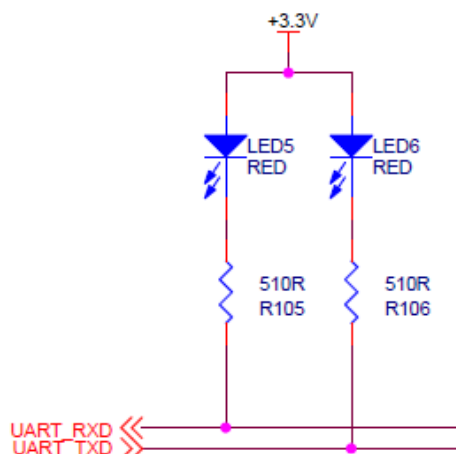
下图为 USB 转串口的实物图



13-2 USB 转串口实物图

同时对串口信号设置了 2 个 PCB 上丝印为 TXD 和 RXD 的 LED 指示灯, TXD 和

RXD LED 灯会指示串口是否有数据发出或者是否有数据接受，如下图所示，



13-3 USB 转串口信号指示灯

UART 转串口的 FPGA 引脚分配：

引脚名称	FPGA 引脚
UART_RXD	G15
UART_TXD	G16

十四、EEPROM 24LC04

AX7035 开发板板载了一片 EEPROM，型号为 24LC04,容量为：4Kbit (2*256*8bit),由 2 个 256byte 的 block 组成,通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 的 I2C 信号连接的 FPGA 的 IO 口上。下图 14-1 为 EEPROM 的设计示意图

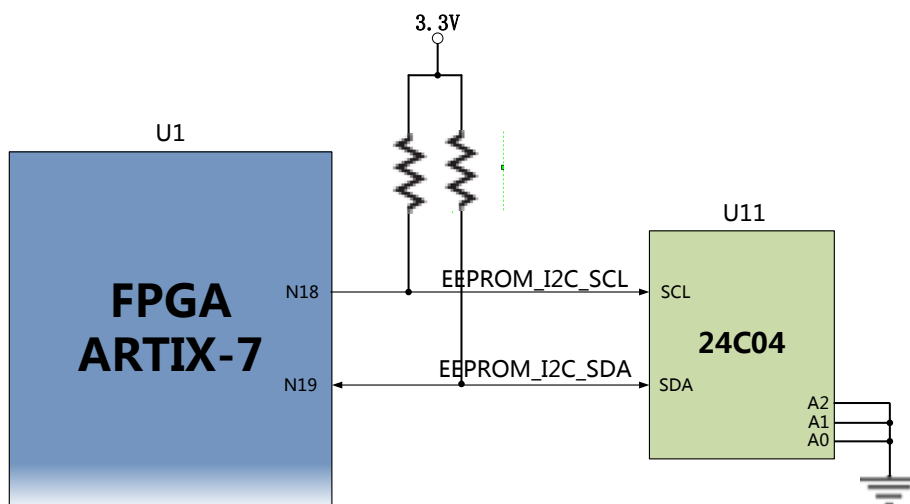


图 14-1 EEPROM 原理图部分

下图为 EEPROM 实物图

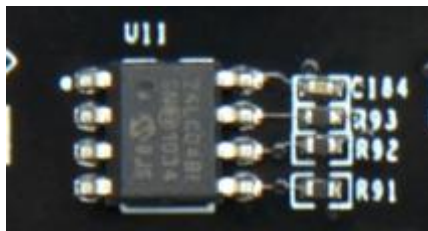


图 14-2 EEPROM 实物图

EEPROM 引脚分配：

引脚名称	FPGA 引脚
EEPROM_I2C_SCL	N18
EEPROM_I2C_SDA	N19

十五、 数码管

AX7035 开发板上有 6 位数码管，用来显示数字信息。我们采用的数码管为 6 位一体的八段数码管，一位数码管的段结构图 15.1 所示

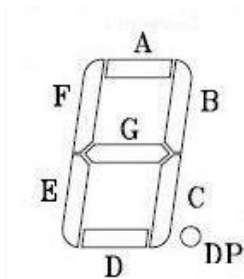


图 15.1 数码管的段结构

我们使用的是共阳极数码管,当某一字段对应的引脚为低电平时,相应字段就点亮,当某一字段对应的引脚为高电平时,相应字段就不亮。

说完上面的原理图,我们来看我们开发板上的设计。

六位一体数码管是属于动态显示,由于人的视觉暂留现象及发光二极管的余辉效应,尽管实际上各位数码管并非同时点亮,但只要扫描的速度足够快,给人的印象就是一组稳定的显示数据,不会有闪烁感。

六位一体数码管的相同的段都接在了一起,一共是 8 个引脚,然后加上 6 个控制信号引脚,一共是 14 个引脚,如图 15.2 所示,其中 DIG[0..7]是对应数码管的 A,B,C,D,E,F,G,H(即点 DP);SEL[0..5]是六个数码管的六个控制引脚,也是低电平有效,当控制引脚为低电平时,对应的数码管有了供电电压,这样数码管才能点亮,否则无论数码管的段如何变化,也不能点亮对应的数码管。

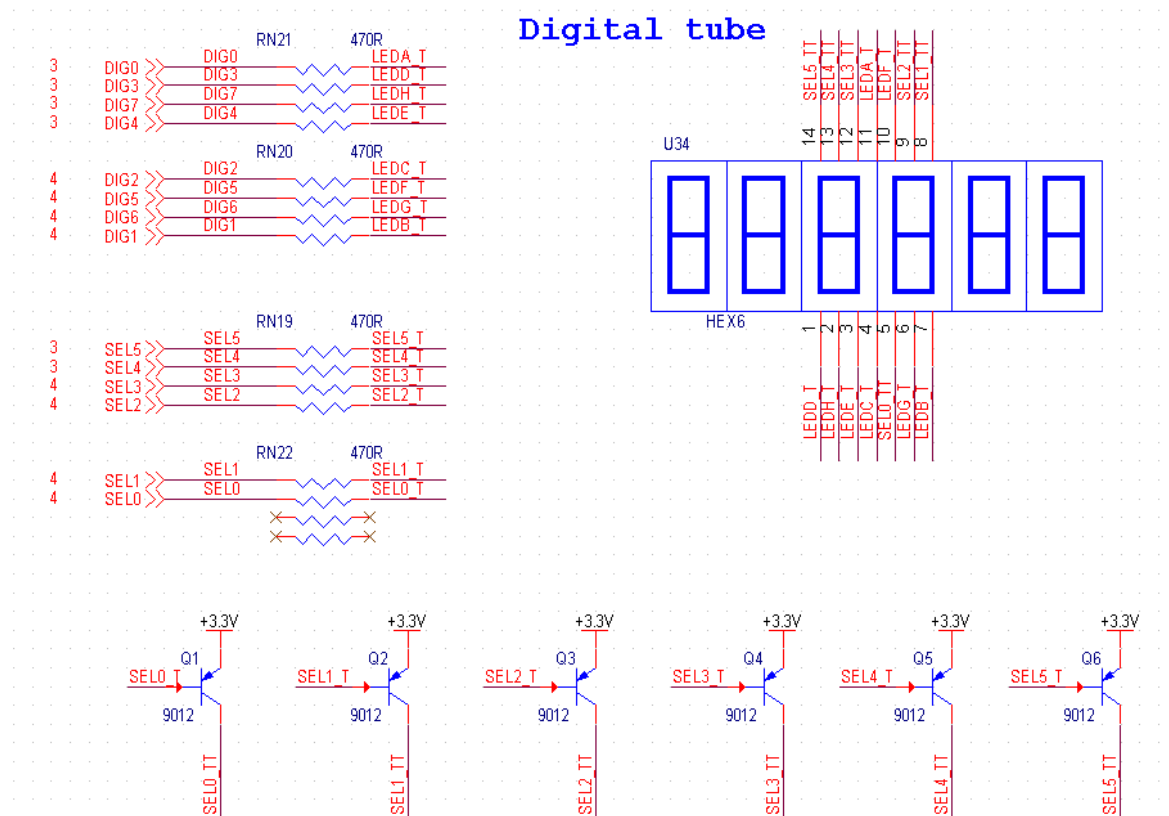


图 15.2 数码管原理图

图 15.3 为数码管实物图



图 15.3 数码管实物图

数码管引脚分配

引脚名称	FPGA 引脚	备注
DIG0	J5	对应段 A
DIG1	M3	对应段 B
DIG2	J6	对应段 C
DIG3	H5	对应段 D
DIG4	G4	对应段 E
DIG5	K6	对应段 F
DIG6	K3	对应段 G
DIG7	H4	对应点 DP
SEL0	M2	从右面数第一个数码管
SEL1	N4	从右面数第二个数码管
SEL2	L5	从右面数第三个数码管
SEL3	L4	从右面数第四个数码管
SEL4	M16	从右面数第五个数码管
SEL5	M17	从右面数第六个数码管

十六、 温度传感器

AX7035 开发板上安装了一个高精度、低功耗、数字温度传感器芯片，型号为 ON Semiconductor 公司的 LM75。LM75 芯片的温度精度为 0.5 度,传感器和 FPGA 直接为 I2C 数字接口，FPGA 通过 I2C 接口来读取当前开发板附近的温度。下图 16-1 为

LM75 传感器芯片的设计示意图

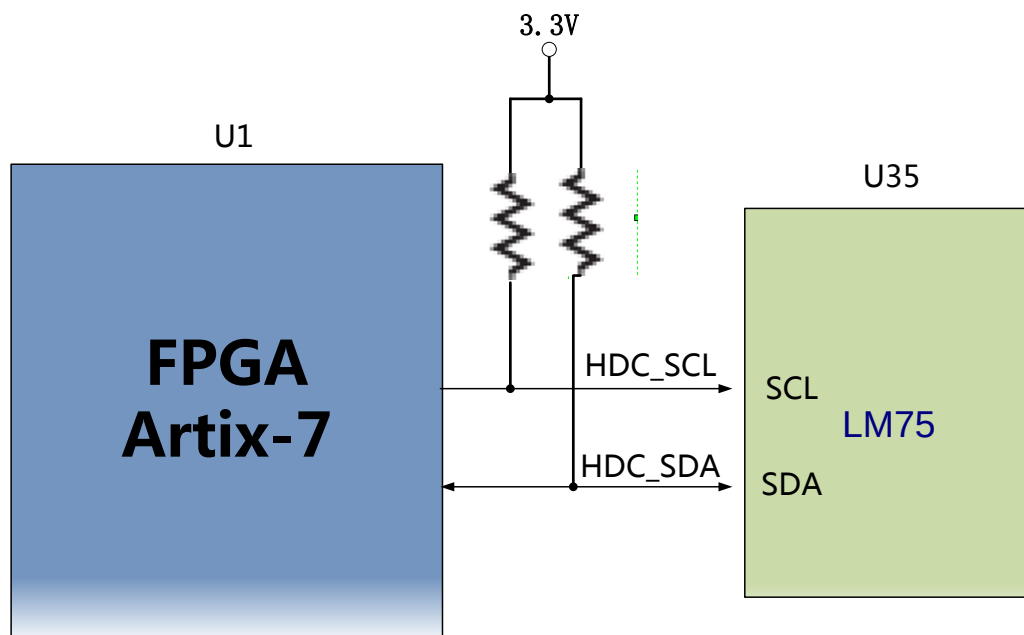


图 16-1 LM75 传感器原理图部分

下图为 LM75 传感器实物图

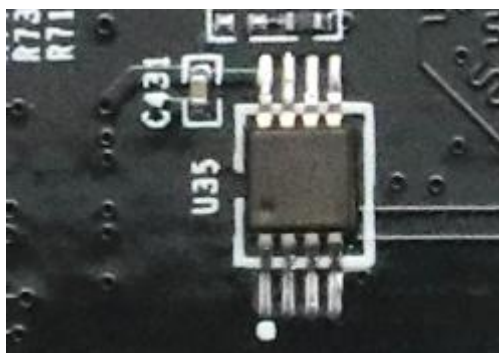


图 16-2 LM75 传感器实物图

LM75 传感器引脚分配：

引脚名称	FPGA 引脚
LM75_SCL	M22
LM75_SDA	N22

十七、 2.54mm 扩展口

AX7035 开发板上预留 2 个 2.54mm 标准间距的 40 针的扩展口 J9 和 J10，用于连接黑金的各种扩展模块或者用户自己设计的外面电路，其中扩展口 J9 的信号因为连接到 FPGA 的 BANK16 上，所以可以通过更换 LDO 芯片(U27)来匹配不同电平标准。J10 的 IO 信号连接到 FPGA 的 BANK14 上，所以 J10 的 IO 电平标准固定为 3.3V。

每路扩展口有 40 个信号，其中，5V 电源 1 路（输出），3.3V 电源 2 路（输出），地 3 路，双向 IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。**

在扩展口和 FPGA 连接之间串联了 33 欧姆的排阻，用于保护 FPGA 以免外界电压或电流过高造成损坏，扩展口(J9)的电路如下图 17-1 所示

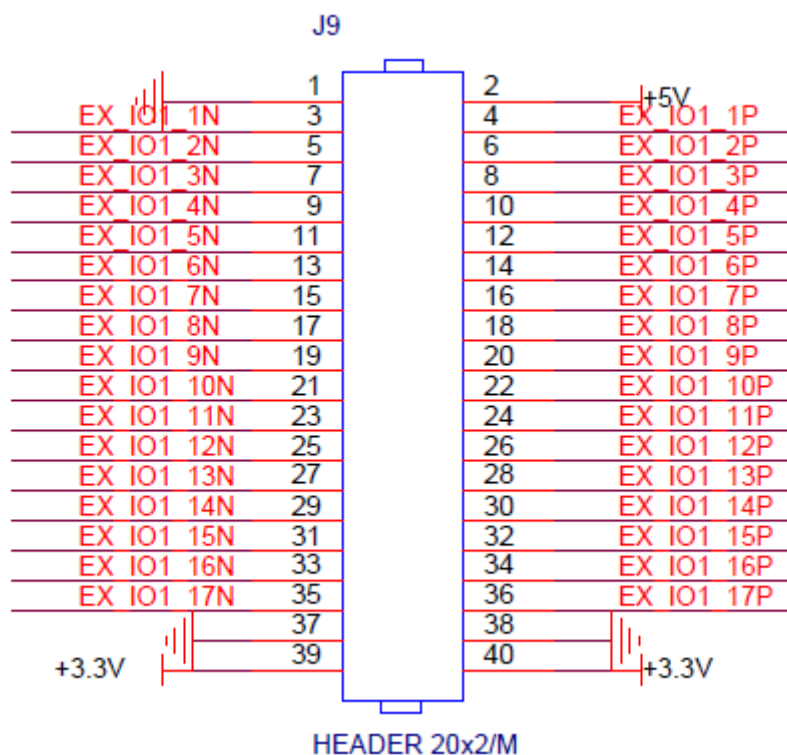


图 17-1 扩展口 J9 原理图

下图为 J9 扩展口实物图，扩展口的 Pin1，Pin2 已经在板上标示出。



图 17-2 扩展口 J9 实物图

J9 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	+5V
3	D16	4	E16
5	F14	6	F13
7	E14	8	E13
9	D15	10	D14
11	B13	12	C13
13	A14	14	A13
15	C15	16	C14
17	A16	18	A15
19	B16	20	B15
21	B18	22	B17
23	A19	24	A18
25	C19	26	C18
27	A20	28	B20
29	C17	30	D17
31	D19	32	E19
33	E18	34	F18
35	E17	36	F16
37	GND	38	GND
39	+3.3V	40	+3.3V

扩展口(J10)的电路如下图 17-3 所示

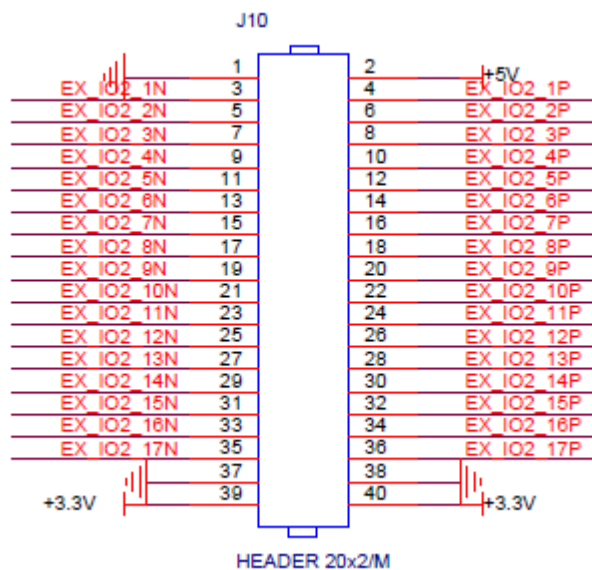


图 17-3 扩展口 J10 原理图

下图为 J10 扩展口实物图，扩展口的 Pin1，Pin2 已经在板上标示出。

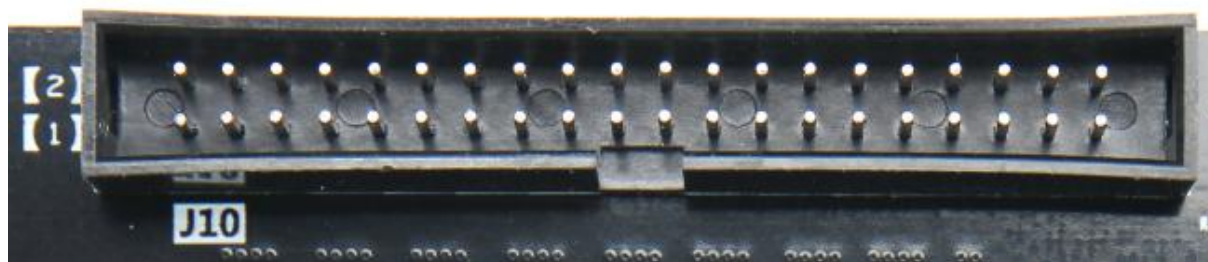


图 17-4 扩展口 J10 实物图

J10 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	+5V
3	P17	4	N17
5	R19	6	P19
7	T18	8	R18
9	U21	10	T21
11	V22	12	U22
13	V20	14	U20
15	W22	16	W21
17	Y22	18	Y21
19	AA21	20	AA20

21	AB22	22	AB21
23	AB20	24	AA19
25	W20	26	W19
27	AB18	28	AA18
29	V19	30	V18
31	W17	32	V17
33	U18	34	U17
35	R14	36	P14
37	GND	38	GND
39	+3.3V	40	+3.3V

十八、 FPC 扩展口

AX7035 开发板上预留 1 个 15 针 FPC 的扩展口 J8, 通过 15 线 1mm 间距的 FPC 排线连接外部模块 (比如 MIPI 摄像头)。扩展口有 3 对差分信号 , 4 个控制信号 , 一路 3.3V 电源 (输出), 地 4 路。

FPC 扩展口(J8)的电路如下图 18-1 所示 :

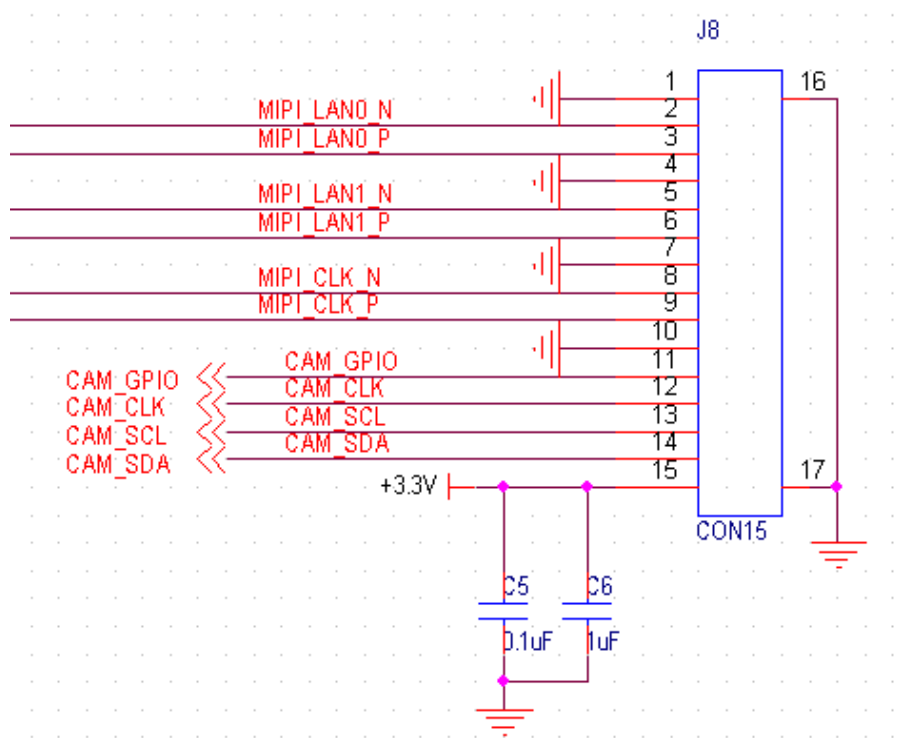


图 18-1 FPC 扩展口 J8 原理图

下图为 J8 FPC 扩展口实物图。



图 18-2 扩展口 J8 实物图

J8 FPC 扩展口 FPGA 的引脚分配

引脚编号	信号网络名称	FPGA 引脚
1	GND	-
2	MIPI_LAN0_N	D2
3	MIPI_LAN0_P	E2
4	GND	-
5	MIPI_LAN1_N	E3
6	MIPI_LAN1_P	F3
7	GND	-
8	MIPI_CLK_N	G3
9	MIPI_CLK_P	H3
10	GND	-
11	CAM_GPIO	H13
12	CAM_CLK	H14
13	CAM_SCL	J14
14	CAM_SDA	G13

15	+3.3V	-
----	-------	---

十九、 JTAG 接口

AX7035 开发板预留了一个 JTAG 接口，用于下载程序到 FPGA 或者固化程序到板上的 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 FPGA 的损坏。

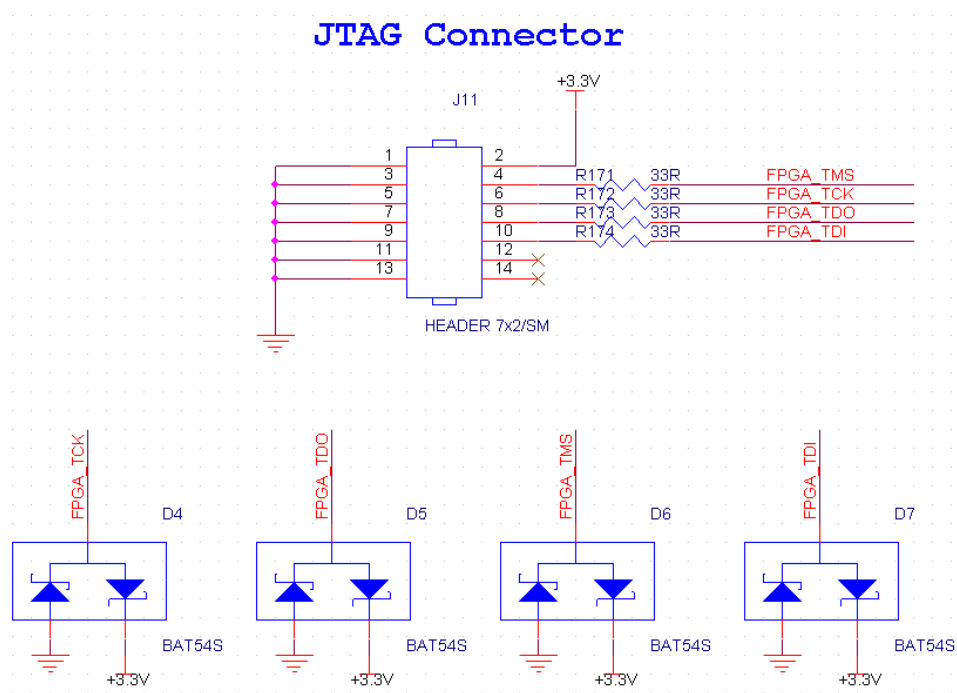


图19-1 原理图中JTAG接口部分

下图为扩展板上 JTAG 接口实物图，JTAG 线插拔的时候注意不要热插拔，连接 JTAG 排线时注意不要插反。

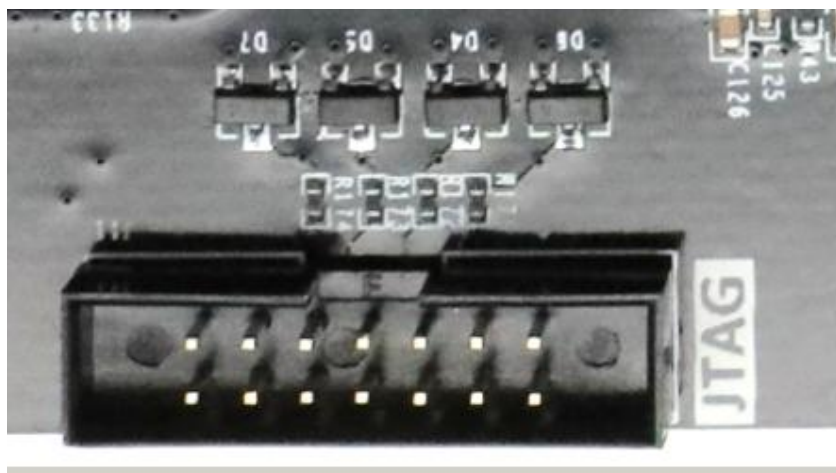


图19-2 JTAG接口实物图

二十、 用户按键

开发板上含有一个复位按键 RESET 和四个用户按键 KEY1~KEY4 ,五个按键都连接到 FPGA 的普通的 IO 上, 按键低电平有效, 当按键按下, FPGA 的 IO 输入电压为低, 当没有按键按下时, FPGA 的 IO 输入电压为高。按键部分电路如下图 20-1 所示

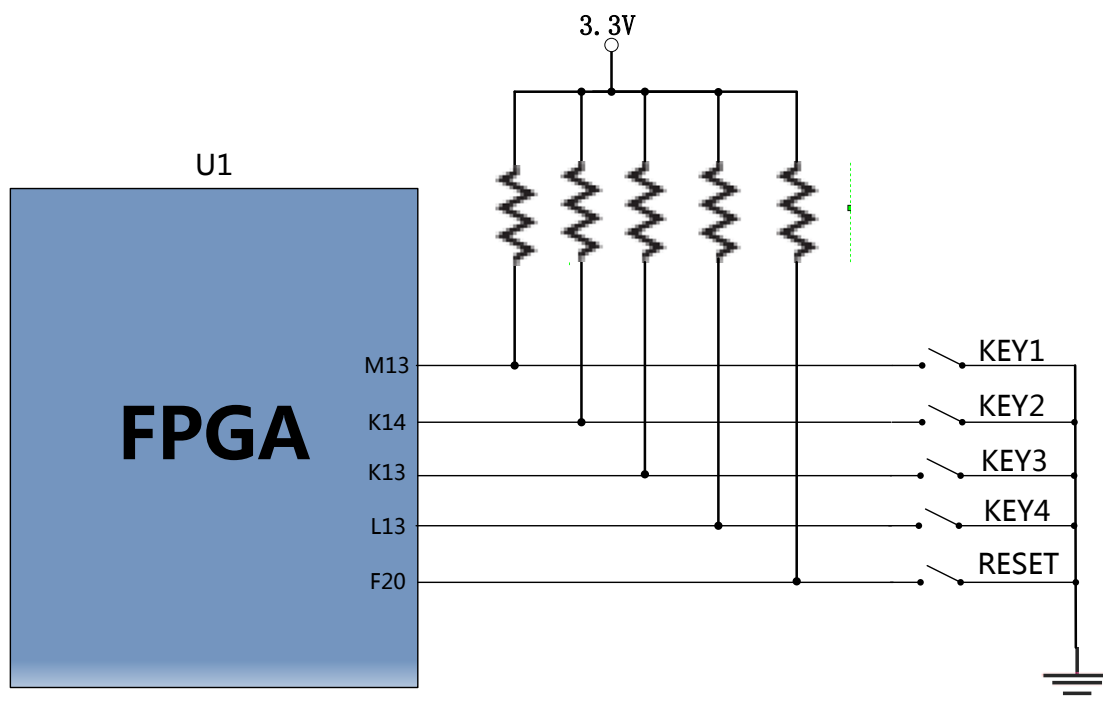


图 20-1 按键硬件设计示意图

图 20-2 为扩展板上 5 个用户按键实物图



图 20-2 按键实物图

按键 FPGA 引脚分配：

引脚名称	FPGA 引脚
KEY1	M13
KEY2	K14
KEY3	K13
KEY4	L13
RESET	F20

二十一、 LED 灯

开发板上有 7 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置指示灯 (DONE)，2 个是 USB Uart 的数据接收和发送指示灯， 4 个是用户 LED 灯 (LED1~LED4)。当开发板供电后，电源指示灯会亮起， 当 FPGA 配置成功时 DONE LED 灯会亮起。用户 LED1~LED4 连接到 FPGA 的普通 IO，当连接用户 LED 灯的 IO 电压配置为低电平时，用户 LED 灯点亮，当连接 IO 电压为配置为高电平时，用户 LED 会被熄灭。

LED 灯硬件连接的示意图如图 21-1 所示

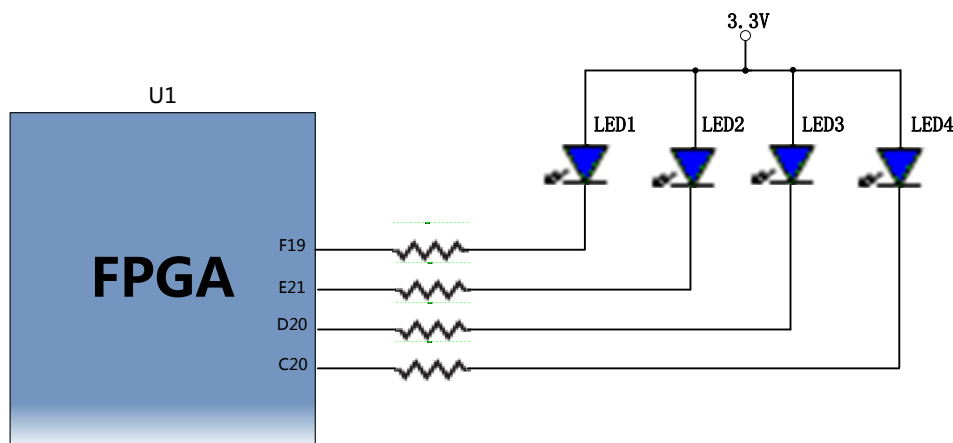


图 21-1 LED 灯硬件设计示意图

图 21-2 为扩展板上 2 个用户 LED 灯实物图

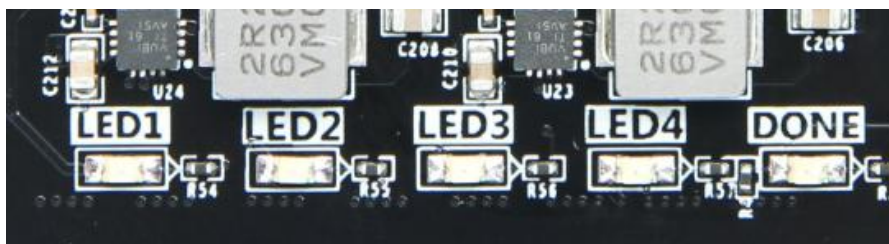


图 21-2 用户 LED 灯实物图

按键 FPGA 引脚分配：

引脚名称	FPGA 引脚
LED1	F19
LED2	E21
LED3	D20
LED4	C20