

第一章 产品综述

1.1 特性	2
体系结构.....	2
系统管理器.....	3
NAND Flash 启动引导.....	3
Cache 存储器.....	3
时钟和电源管理.....	3
中断控制器.....	4
具有脉冲带宽调制功能的定时器.....	4
RTC（实时时钟）.....	4
通用I/O端口.....	4
UART.....	4
DMA 控制器.....	5
A/D转换和触摸屏接口.....	5
LCD控制器STN LCD显示特性.....	5
TFT彩色显示屏.....	5
看门狗定时器.....	5
IIC总线接口.....	6
IIS总线接口.....	6
USB主设备.....	6
SD主机接口.....	6
SPI接口.....	6
工作电压.....	7
操作频率.....	7
封装.....	7
1.2 内部结构图	8
表 1-1 272-FBGA 引脚分配及顺序.....	9
表 1-2 272-FBGA 封装的引脚分配.....	12
信号描述.....	21
表 1-3 S3C2410A 信号描述.....	21
表 1-4 S3C2410A 专用寄存器.....	25

Samsung 公司推出的16/32位RISC处理器S3C2410A，为手持设备和一般类型应用提供了低价格、低功耗、高性能小型微控制器的解决方案。为了降低整个系统的成本，S3C2410A提供了以下丰富的内部设备：分开的16KB的指令Cache和16KB数据Cache，MMU虚拟存储器管理，LCD控制器（支持STN&TFT），支持NAND Flash系统引导，系统管理器（片选逻辑和SDRAM控制器），3通道UART，4通道DMA，4通道PWM定时器，I/O端口，RTC，8通道10位ADC和触摸屏接口，IIC-BUS接口，IIC-BUS接口，USB主机，USB设备，SD主卡&MMC卡接口，2通道的SPI以及内部PLL时钟倍频器。

S3C2410A采用了ARM920T内核，0.18um工艺的CMOS标准宏单元和存储器单元。它的低功耗、精简和出色的全静态设计特别适用于对成本和功耗敏感的应用。同样它还采用了一种叫做Advanced Microcontroller Bus Architecture(AMBA)新型总线结构。

S3C2410A的显著特性是它的CPU核心，是一个由Advanced RISC Machines（ARM）有限公司设计的16/32位ARM920T RISC处理器。ARM920T实现了MMU，AMBA BUS和Harvard高速缓冲体系结构。这一结构具有独立的16KB指令Cache和16KB数据Cache，每个都是由8字长的行（line）构成。

通过提供一系列完整的系统外围设备，S3C2410A大大减少了整个系统的成本，消除了为系统配置额外器件的需要。本文档将介绍S3C2410A中集成的以下片上功能：

- 1.8V/2.0V内核供电，3.3V存储器供电，3.3V外部I/O供电；
- 具备16KB的I-Cache和16KB的D-Cache/MMU；
- 外部存储控制器（SDRAM控制和片选逻辑）
- LCD控制器（最大支持4K色STN和256K色TFT）提供1通道LCD专用DMA。
- 4通道DMA并有外部请求引脚。
- 3通道UART(IrDA1.0,16字节Tx FIFO,和16字节Rx FIFO)/2通道SPI
- 1通道多主IIC-BUS/1通道IIS-BUS控制器。
- 兼容SD主接口协议1.0版和MMC卡协议2.11兼容版。
- 2端口USB主机/1端口USB设备（1.1版）
- 4通道PWM定时器和1通道内部定时器
- 看门狗定时器
- 117个通用I/O口和24通道外部中断源。
- 功耗控制模式：具有普通，慢速，空闲和掉电模式。
- 8通道10比特ADC和触摸屏接口
- 具有日历功能的RTC
- 具有PLL片上时钟发生器

1.1 特性

体系结构

- ◆ 为手持设备和通用嵌入式应用提供片上集成系统解决方案
- ◆ 16/32位RISC体系结构和ARM920T内核强大的指令集
- ◆ 加强的ARM体系结构MMU用于支持WinCE,EPOC 32和Linux
- ◆ 指令高速存储缓冲器（I-Cache），数据高速存储缓冲器（D-Cache），写缓冲器和物理地址TAG RAM减少主存带宽和响应性带来的影响；

- ◆ 采用 ARM920T CPU 内核支持 ARM 调试体系结构
- ◆ 内部高级微控制总线（AMBA）体系结构(AMBA2.0, AHB/APB)

系统管理器

- ◆ 支持大/小端方式
- ◆ 寻址空间：每 bank 128M 字节（总共 1G 字节）
- ◆ 支持可编程的每 bank 8/16/32 位数据总线带宽
- ◆ 从 bank 0 到 bank 6 都采用固定的 bank 起始寻址
- ◆ bank7 具有可编程的 bank 的起始地址和大小
- ◆ 8 个存储器 bank：
 - 其中 6 个适用于 ROM,SRAM,和其他
 - 另外 2 个适用于 ROM/SRAM 和同步 DRAM
- ◆ 所有的存储器 bank 都具有可编程的操作周期
- ◆ 支持外部等待信号延长总线周期
- ◆ 支持掉电时的 SDRAM 自刷新模式
- ◆ 支持各种型号的 ROM 引导（NOR/NAND Flash, EEPROM, 或其他）

NAND Flash 启动引导

- ◆ 支持从 NAND flash 存储器的启动
- ◆ 采用 4KB 内部缓冲器进行启动引导
- ◆ 支持启动之后 NAND 存储器仍然作为外部存储器使用

Cache 存储器

- ◆ 64 项全相连模式，采用 I-Cache(16KB)和 D-Cache(16KB)
- ◆ 每行 8 字长度，其中每行带有一个有效为和两个 dirty 位
- ◆ 伪随机数或轮转循环替换算法
- ◆ 采用写穿式（write-through）或写回式（write-back）cache 操作来更新主存储器
- ◆ 写缓冲器可以保存 16 个字的数据和 4 个地址

时钟和电源管理

- ◆ 片上 MPLL 和 UPLL：
 - 采用 UPLL 产生操作 USB 主机/设备的时钟
 - MPLL 产生最大 266MHZ（在 2.0V 内核电压下）操作 MCU 所需要的时钟
- ◆ 通过软件可以有选择性的为每个功能模块提供时钟
- ◆ 电源模式：正常，慢速，空闲和掉电模式
 - 正常模式：正常运行模式
 - 慢速模式：不加 PLL 的低时钟频率模式

空闲模式：只停止 CPU 的时钟；

掉电模式：所有外设和内核的电源都切断了；

- ◆ 可以通过 EINT[15:0]或 RTC 报警中断来从掉电模式中唤醒处理器

中断控制器

- ◆ 55 个中断源（1 个看门狗定时器，5 个定时器，9 个 UARTs，24 个外部中断，4 个 DMA,2 个 RTC,2 个 ADC,1 个 IIC,2 个 SPI,1 个 SDI,2 个 USB,1 个 LCD,和 1 个电池故障）
- ◆ 电平/边沿触发模式的外部中断源
- ◆ 可编程的边沿/电平触发极性
- ◆ 支持为紧急中断请求提供快速中断服务

具有脉冲带宽调制功能的定时器

- ◆ 4 通道 16 位具有 PWM 功能的定时器，1 通道 16 位内部定时器，可基于 DMA 或中断工作
- ◆ 可编程的占空比周期，频率和极性
- ◆ 能产生死区
- ◆ 支持外部时钟源

RTC（实时时钟）

- ◆ 全面的时钟特性：秒、分、时、日期，星期，月和年；
- ◆ 32.768KHz 工作
- ◆ 具有报警中断
- ◆ 具有节拍中断

通用 I/O 端口

- ◆ 24 个外部中断端口
- ◆ 多功能输入/输出端口

UART

- ◆ 3 通道 UART，可以基于 DMA 模式或中断模式工作；
- ◆ 支持 5 位，6 位，7 位或者 8 位串行数据发送/接收；
- ◆ 支持外部时钟作为 UART 的运行时钟（UEXTCLK）；
- ◆ 可编程的波特率；
- ◆ 支持 IrDA1.0；
- ◆ 具有测试用的还回模式；

- ◆ 每个通道都具有内部 16 字节的发送 FIFO 和 16 字节的接收 FIFO；

DMA 控制器

- ◆ 4 通道的 DMA 控制器；
- ◆ 支持存储器到存储器，IO 到存储器，存储器到 IO 和 IO 到 IO 的传输
- ◆ 采用猝发传输模式加快传输速率。

A/D 转换和触摸屏接口

- ◆ 8 通道多路复用 ADC
- ◆ 最大 500KSPS/10 位精度

LCD 控制器 STN LCD 显示特性

- ◆ 支持 3 种类型的 STN LCD 显示屏：4 位双扫描，4 位单扫描，8 位单扫描显示类型。
- ◆ 支持单色模式、4 级、16 级灰度 STN LCD、256 色和 4096 色 STN LCD。
- ◆ 支持多种不同尺寸的液晶屏
- ◆ LCD 实际尺寸的典型值是：640×480，320×240，160×160 及其他
- ◆ 最大虚拟屏幕大小是 4M 字节。
- ◆ 256 色模式下支持的最大虚拟屏是：4096×1024，2048×2048，1024×4096 等。

TFT 彩色显示屏

- ◆ 支持彩色 TFT 的 1，2，4 或 8bbp(像素每位)调色显示
- ◆ 支持 16bbp 无调色真彩显示
- ◆ 在 24bbp 模式下支持最大 16M 色 TFT
- ◆ 支持多种不同尺寸的液晶屏
- ◆ 典型实屏尺寸：640×480，320×240，160×160 及其他
- ◆ 最大虚拟屏大小 4M 字节
- ◆ 64K 色彩模式下最大的虚拟屏尺寸为 2048×1024 及其他

看门狗定时器

- ◆ 16 位看门狗定时器
- ◆ 在定时器溢出时发生中断请求或系统复位

IIC 总线接口

- ◆ 1 通道多主 IIC 总线
- ◆ 可进行串行，8 位，双向数据传输，标准模式下数据传输速度可达 100kbit/s，快速模式下可达到 400kbit/s

IIS 总线接口

- ◆ 1 通道音频 IIS 总线接口，可基于 DMA 方式工作
- ◆ 串行，每通道 8/16 位数据传输
- ◆ 发送和接收具备 128 字节(64 字节加 64 字节)FIFO
- ◆ 支持 IIS 格式和 MSB-justified 数据格式

USB 主设备

- ◆ 2 个 USB 主设备接口
- ◆ 遵从 OHCI Rev.1.0 标准
- ◆ 兼容 USB ver1.1 标准

USB 从设备

- ◆ 1 个 USB 从设备接口
- ◆ 具备 5 个 Endpoint
- ◆ 兼容 USB ver1.1 标准

SD 主机接口

- ◆ 兼容 SD 存储卡协议 1.0 版
- ◆ 兼容 SDIO 卡协议 1.0 版
- ◆ 发送和接收具有 FIFO
- ◆ 基于 DMA 或中断模式工作
- ◆ 兼容 MMC 卡协议 2.11 版

SPI 接口

- ◆ 兼容 2 通道 SPI 协议 2.11 版
- ◆ 发送和接收具有 2×8 位的移位寄存器
- ◆ 可以基于 DMA 或中断模式工作

工作电压

- ◆ 内核：1.8V 最高 200MHz (S3C2410A-20)
2.0V 最高 266MHz (S3C2410A-26)
- ◆ 存储器和 IO 口：3.3V

操作频率

- ◆ 最高达到 266MHZ

封装

- ◆ 272—FBGA

1.2 内部结构图

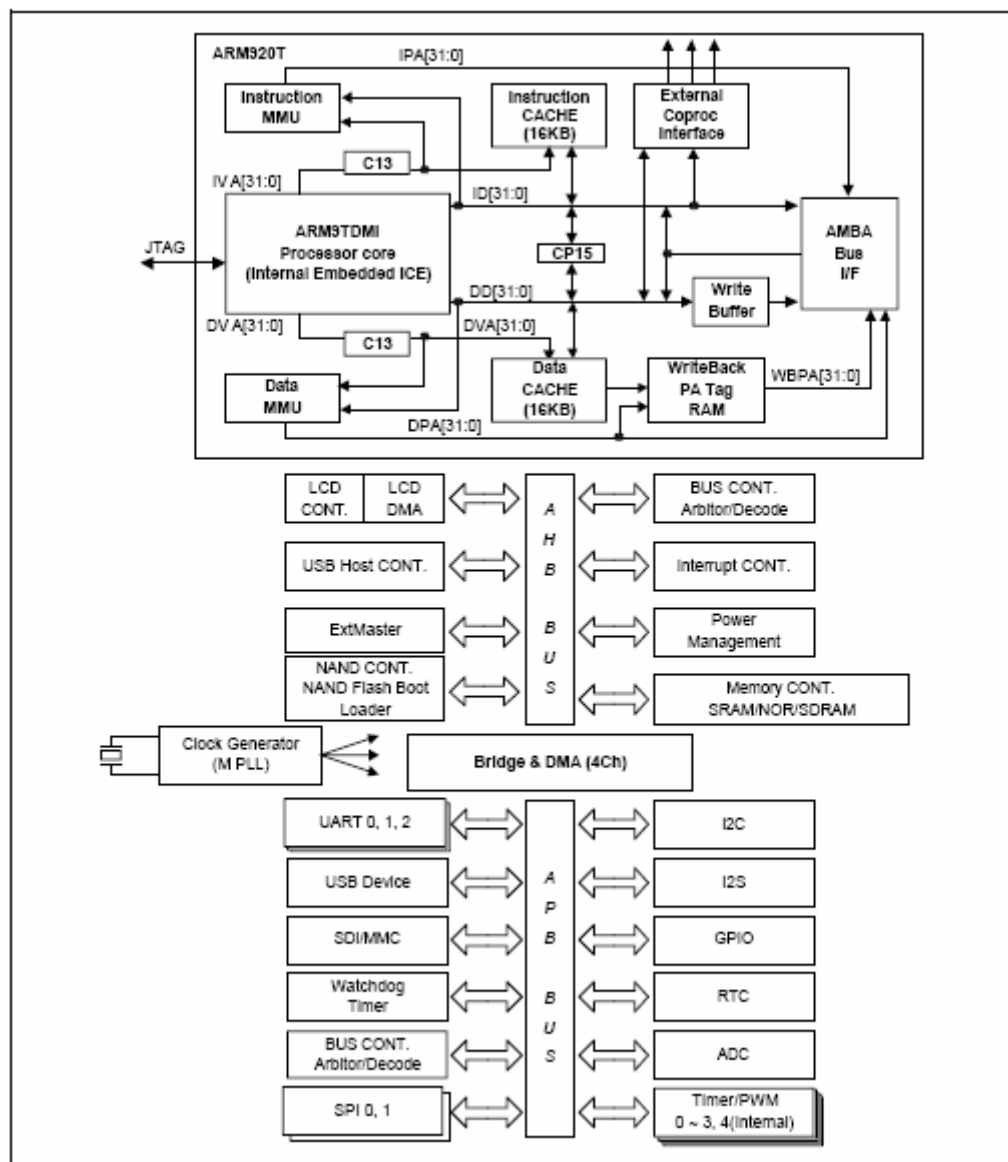


图 1-1 S3C2410 内部结构图

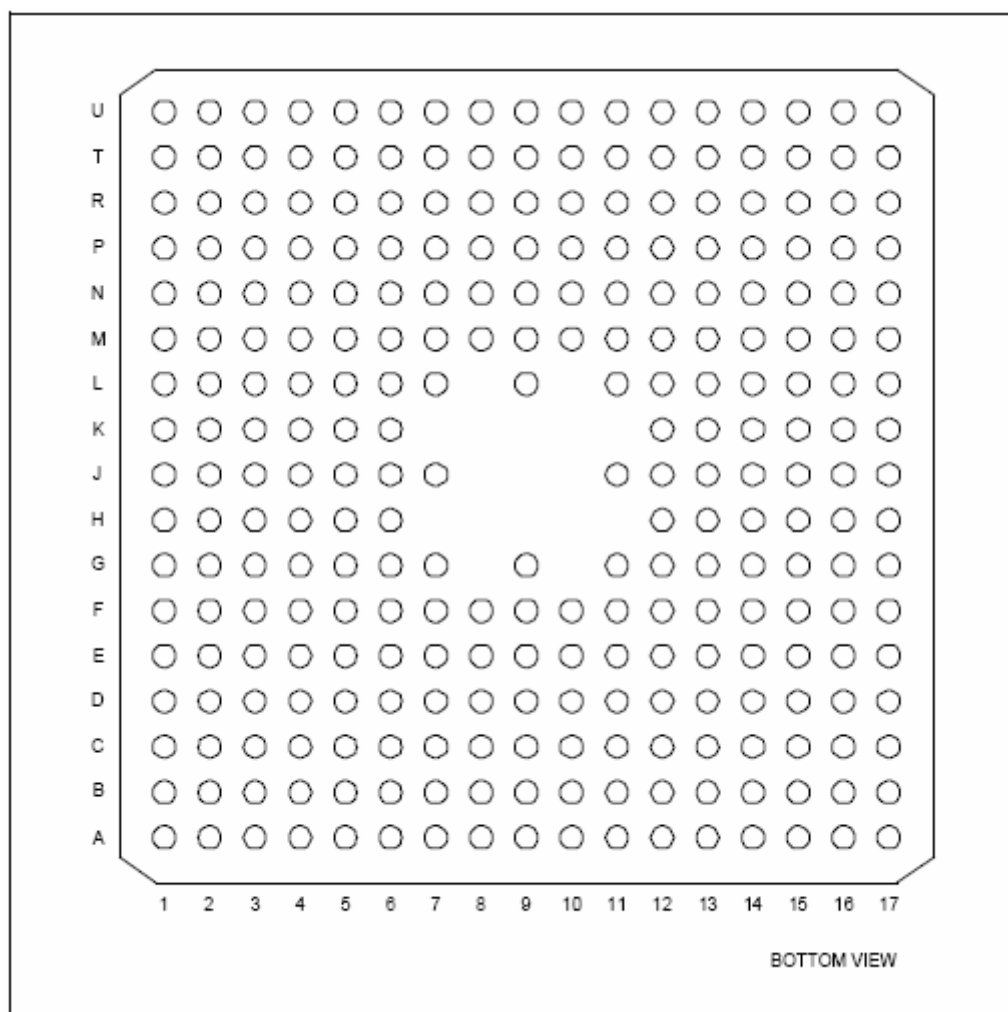


图 1-2 S3C2410A 引脚定义图（272-FBGA 封装）

表 1-1 272-FBGA 引脚分配及顺序

引脚号	引脚定义	引脚号	引脚定义	引脚号	引脚定义
A1	DATA19	B14	ADDR0/GPA0	D10	ADDR19/GPA4
A2	DATA18	B15	nSRAS	D11	VDDi
A3	DATA16	B16	nBE1:nWBE1:DQM1	D12	ADDR10
A4	DATA15	B17	VSSi	D13	ADDR5
A5	DATA11	C1	DATA24	D14	ADDR1
A6	VDDMOP	C2	DATA23	D15	VSSMOP
A7	DATA6	C3	DATA21	D16	SCKE
A8	DATA1	C4	VDDi	D17	nGCS0
A9	ADDR21/GPA6	C5	DATA12	E1	DATA31

A10	ADDR16/GPA1	C6	DATA7	E2	DATA29
A11	ADDR13	C7	DATA4	E3	DATA28
A12	VSSMOP	C8	VDDi	E4	DATA30
A13	ADDR6	C9	ADDR25/GPA10	E5	VDDMOP
A14	ADDR2	C10	VSSMOP	E6	VSSMOP
A15	VDDMOP	C11	ADDR14	E7	DATA3
A16	nBE3:nWBE3:DQM3	C12	ADDR7	E8	ADDR26/GPA11
A17	nBE0:nWBE0:DQM0	C13	ADDR3	E9	ADDR23/GPA8
B1	DATA22	C14	nSCAS	E10	ADDR18/GPA3
B2	DATA20	C15	nBE2:nWBE2:DQM2	E11	VDDMOP
B3	DATA17	C16	nOE	E12	ADDR11
B4	VDDMOP	C17	VDDi	E13	nWE
B5	DATA13	D1	DATA27	E14	nGCS3/GPA14
B6	DATA9	D2	DATA25	E15	nGCS1/GPA12
B7	DATA5	D3	VSSMOP	E16	nGCS2/GPA13
B8	DATA0	D4	DATA26	E17	nGCS4/GPA15
B9	ADDR24/GPA9	D5	DATA14	F1	TOUT1/GPB1
B10	ADDR17/GPA2	D6	DATA10	F2	TOUT0/GPB0
B11	ADDR12	D7	DATA2	F3	VSSMOP
B12	ADDR8	D8	VDDMOP	F4	TOUT2/GPB2
B13	ADDR4	D9	ADDR22/GPA7	F5	VSSOP
F6	VSSi	H4	nXDREQ1/GPB8	K13	TXD2/nRTS1/GPH6
F7	DATA8	H5	nTRST	K14	RXD1/GPH5
F8	VSSMOP	H6	TCK	K15	TXD0/GPH2
F9	VSSi	H12	CLE/GPA17	K16	TXD1/GPH4
F10	ADDR20/GPA5	H13	VSSOP	K17	RXD0/GPH3
F11	VSSi	H14	VDDMOP	L1	VD0/GPC8
F12	VSSMOP	H15	VSSi	L2	VD1/GPC9
F13	SCLK0	H16	XTOpll	L3	LCDVF2/GPC7
F14	SCLK1	H17	XTIpll	L4	VD2/GPC10
F15	nGCS5/GPA16	J1	TDI	L5	VDDiarm
F16	nGCS6:nSCS0	J2	VCLK:LCD_HCLK/GPC1	L6	LCDVF1/GPC6
F17	nGCS7:nSCS1	J3	TMS	L7	IIC_SCL/GPE14
G1	nXBACK/GPB5	J4	LEND:STH/GPC0	L9	EINT11/nSS1/GPG3
G2	nXDACK1/GPB7	J5	TDO	L11	VDDi_UPLL
G3	TOUT3/GPB3	J6	VLINE:HSYNC:CPV/GPC2	L12	nRTS0/GPH1

G4	TCLK0/GPB4	J7	VSSiarm	L13	UPLLCAP
G5	nXBREQ/GPB6	J11	EXTCLK	L14	nCTS0/GPH0
G6	VDDalive	J12	nRESET	L15	EINT6/GPF6
G7	VDDiarm	J13	VDDi	L16	UEXTCLK/GPH8
G9	VSSMOP	J14	VDDalive	L17	EINT7/GPF7
G11	ADDR15	J15	PWREN	M1	VSSiarm
G12	ADDR9	J16	nRSTOUT/GPA21	M2	VD5/GPC13
G13	nWAIT	J17	nBATT_FLT	M3	VD3/GPC11
G14	ALE/GPA18	K1	VDDOP	M4	VD4/GPC12
G15	nFWE/GPA19	K2	VM:VDEN:TP/GPC4	M5	VSSiarm
G16	nFRE/GPA20	K3	VDDiarm	M6	VDDOP
G17	nFCE/GPA22	K4	VFRAME: VSYNC:STV/GPC3	M7	VDDiarm
H1	VSSiarm	K5	VSSOP	M8	IICSDA/GPE15
H2	nXDACK0/GPB9	K6	LCDVF0/GPC5	M9	VSSiarm
H3	nXDREQ0/GPB10	K12	RXD2/nCTS1/GPH7	M10	DP1/PDP0
M11	EINT23/nYPON/GPG15	P8	SPICLK0/GPE13	T5	I2SLRCK/GPE0
M12	RTCVDD	P9	EINT12/LCD_PWRE N/GPG4	T6	SDCLK/GPE5
M13	VSSi_MPLL	P10	EINT18/GPG10	T7	SPIMISO0/GPE11
M14	EINT5/GPF5	P11	EINT20/XMON /GPG12	T8	EINT10/nSS0/GPG2
M15	EINT4/GPF4	P12	VSSOP	T9	VSSOP
M16	EINT2/GPF2	P13	DP0	T10	EINT17/GPG9
M17	EINT3/GPF3	P14	VDDi_MPLL	T11	EINT22/YMON /GPG14
N1	VD6/GPC14	P15	VDDA_ADC	T12	DN0
N2	VD8/GPD0	P16	XTIrtc	T13	OM3
N3	VD7/GPC15	P17	MPLLCAP	T14	VSSA_ADC
N4	VD9/GPD1	R1	VDDiarm	T15	AIN1
N5	VDDiarm	R2	VD14/GPD6	T16	AIN3
N6	CDCLK/GPE2	R3	VD17/GPD9	T17	AIN5
N7	SDDAT1/GPE8	R4	VD18/GPD10	U1	VD15/GPD7
N8	VSSiarm	R5	VSSOP	U2	VD19/GPD11
N9	VDDOP	R6	SDDAT0/GPE7	U3	VD21/GPD13
N10	VDDiarm	R7	SDDAT3/GPE10	U4	VSSiarm
N11	DN1/PDN0	R8	EINT8/GPG0	U5	I2SSDI/nSS0/GPE3
N12	Vref	R9	EINT14/SPIMOSI1 /GPG6	U6	I2SSDO/I2SSDI /GPE4

N13	AIN7	R10	EINT15/SPICLK1 /GPG7	U7	SPIMOSI0/GPE12
N14	EINT0/GPF0	R11	EINT19/TCLK1 /GPG11	U8	EINT9/GPG1
N15	VSSi_UPLL	R12	CLKOUT0/GPH9	U9	EINT13/SPIMISO1/GPG5
N16	VDDOP	R13	R/nB	U10	EINT16/GPG8
N17	EINT1/GPF1	R14	OM0	U11	EINT21/nXPON/GPG13
P1	VD10/GPD2	R15	AIN4	U12	CLKOUT1/GPH10
P2	VD12/GPD4	R16	AIN6	U13	NCON
P3	VD11/GPD3	R17	XTOrtc	U14	OM2
P4	VD23/nSS0/GPD15	T1	VD13/GPD5	U15	OM1
P5	I2SSCLK/GPE1	T2	VD16/GPD8	U16	AIN0
P6	SDCMD/GPE6	T3	VD20/GPD12	U17	AIN2
P7	SDDAT2/GPE9	T4	VD22/nSS1/GPD14	-	-

表 1-2 272—FBGA 封装的引脚分配

引脚号	引脚定义	默认功能	I/O 状态 @BUS REQ	I/O 状态 @PWR-off	I/O 状态 @nRESET	I/O类型
C3	DATA21	DATA21	Hi-z	Hi-z	I	t12
B1	DATA22	DATA22	Hi-z	Hi-z	I	t12
C2	DATA23	DATA23	Hi-z	Hi-z	I	t12
D3	VSSMOP	VSSMOP	P	P	P	s3o
E5	VDDMOP	VDDMOP	P	P	P	d3o
C1	DATA24	DATA24	Hi-z	Hi-z	I	t12
D2	DATA25	DATA25	Hi-z	Hi-z	I	t12
D4	DATA26	DATA26	Hi-z	Hi-z	I	t12
D1	DATA27	DATA27	Hi-z	Hi-z	I	t12
E3	DATA28	DATA28	Hi-z	Hi-z	I	t12
E2	DATA29	DATA29	Hi-z	Hi-z	I	t12
E4	DATA30	DATA30	Hi-z	Hi-z	I	t12
E1	DATA31	DATA31	Hi-z	Hi-z	I	t12
F3	VSSMOP	VSSMOP	P	P	P	s3o
F5	VSSOP	VSSOP	P	P	P	s3o
F2	TOUT0/GPB0	GPB0	-/-	O(L)/-	I	t8
F1	TOUT1/GPB1	GPB1	-/-	O(L)/-	I	t8

F4	TOUT2/GPB2	GPB2	-/-	O(L)/-	I	t8
G3	TOUT3/GPB3	GPB3	-/-	O(L)/-	I	t8
G4	TCLK0/GPB4	GPB4	-/-	-/-	I	t8
G1	nXBACK/GPB5	GPB5	-/-	-/-	I	t8
G5	nXBREQ/GPB6	GPB6	-/-	-/-	I	t8
G2	nXDACK1/GPB7	GPB7	-/-	-/-	I	t8
G6	VDDalive	VDDalive	P	P	P	d1i
G7	VDDiarm	VDDiarm	P	P	P	d1c
H1	VSSiarm	VSSiarm	P	P	P	s3i
H4	nXDREQ1/GPB8	GPB8	-/-	-/-	I	t8
H2	nXDACK0/GPB9	GPB9	-/-	-/-	I	t8
H3	nXDREQ0/GPB10	GPB10	-/-	-/-	I	t8
H5	nTRST	nTRST	I	I	I	is
H6	TCK	TCK	I	I	I	is
J1	TDI	TDI	I	I	I	is
J3	TMS	TMS	I	I	I	is
J5	TDO	TDO	O	O	O	ot
J4	LEND:STH/GPC0	GPC0	-/-	O(L)/-	I	t8
J2	VCLK:LCD_HCLK/GPC1	GPC1	-/-	O(L)/-	I	t8
J6	VLINE:HSYNC:CPV/GPC2	GPC2	-/-	O(L)/-	I	t8
K3	VDDiarm	VDDiarm	P	P	P	d1c
J7	VSSiarm	VSSiarm	P	P	P	s3i
K2	VM:VDEN:TP/GPC4	GPC4	-/-	O(L)/-	I	t8
K4	VFRAME:VSYNC:STV/GPC3	GPC3	-/-	O(L)/-	I	t8
K1	VDDOP	VDDOP	P	P	P	d3o
K5	VSSOP	VSSOP	P	P	P	s3o
K6	LCDVF0/GPC5	GPC5	-/-	O(L)/-	I	t8
L6	LCDVF1/GPC6	GPC6	-/-	O(L)/-	I	t8
L3	LCDVF2/GPC7	GPC7	-/-	O(L)/-	I	t8
L1	VD0/GPC8	GPC8	-/-	O(L)/-	I	t8
L2	VD1/GPC9	GPC9	-/-	O(L)/-	I	t8
L4	VD2/GPC10	GPC10	-/-	O(L)/-	I	t8
M3	VD3/GPC11	GPC11	-/-	O(L)/-	I	t8
L5	VDDiarm	VDDiarm	P	P	P	d1c
M1	VSSiarm	VSSiarm	P	P	P	s3i

M4	VD4/GPC12	GPC12	-/-	O(L)/-	I	t8
M2	VD5/GPC13	GPC13	-/-	O(L)/-	I	t8
N1	VD6/GPC14	GPC14	-/-	O(L)/-	I	t8
N3	VD7/GPC15	GPC15	-/-	O(L)/-	I	t8
N2	VD8/GPD0	GPD0	-/-	O(L)/-	I	t8
N4	VD9/GPD1	GPD1	-/-	O(L)/-	I	t8
P1	VD10/GPD2	GPD2	-/-	O(L)/-	I	t8
P3	VD11/GPD3	GPD3	-/-	O(L)/-	I	t8
P2	VD12/GPD4	GPD4	-/-	O(L)/-	I	t8
R1	VDDiarm	VDDiarm	P	P	P	d1c
M5	VSSiarm	VSSiarm	P	P	P	s3i
T1	VD13/GPD5	GPD5	-/-	O(L)/-	I	t8
R2	VD14/GPD6	GPD6	-/-	O(L)/-	I	t8
U1	VD15/GPD7	GPD7	-/-	O(L)/-	I	t8
T2	VD16/GPD8	GPD8	-/-	O(L)/-	I	t8
R3	VD17/GPD9	GPD9	-/-	O(L)/-	I	t8
R4	VD18/GPD10	GPD10	-/-	O(L)/-	I	t8
U2	VD19/GPD11	GPD11	-/-	O(L)/-	I	t8
T3	VD20/GPD12	GPD12	-/-	O(L)/-	I	t8
U3	VD21/GPD13	GPD13	-/-	O(L)/-	I	t8
T4	VD22/nSS1/GPD14	GPD14	-/-	O(L)/-	I	t8
P4	VD23/nSS0/GPD15	GPD15	-/-	O(L)/-	I	t8
N5	VDDiarm	VDDiarm	P	P	P	d1c
U4	VSSiarm	VSSiarm	P	P	P	s3i
M6	VDDOP	VDDOP	P	P	P	d3o
R5	VSSOP	VSSOP	P	P	P	s3o
T5	I2SLRCK/GPE0	GPE0	-/-	O(L)/-	I	t8
P5	I2SSCLK/GPE1	GPE1	-/-	O(L)/-	I	t8
N6	CDCLK/GPE2	GPE2	-/-	O(L)/-	I	t8
U5	I2SSDI/nSS0/GPE3	GPE3	-/-/-	-/-/-	I	t8
U6	I2SSDO/I2SSDI/GPE4	GPE4	-/-/-	O(L)/-/-	I	t8
T6	SDCLK/GPE5	GPE5	-/-	O(L)/-	I	t8
P6	SDCMD/GPE6	GPE6	-/-	Hi-z/-	I	t8
R6	SDDAT0/GPE7	GPE7	-/-	Hi-z/-	I	t8
N7	SDDAT1/GPE8	GPE8	-/-	Hi-z/-	I	t8
P7	SDDAT2/GPE9	GPE9	-/-	Hi-z/-	I	t8
R7	SDDAT3/GPE10	GPE10	-/-	Hi-z/-	I	t8
T7	SPIMISO0/GPE11	GPE11	-/-	Hi-z/-	I	t8

U7	SPIMOSI0/GPE12	GPE12	-/-	Hi-z/-	I	t8
P8	SPICK0/GPE13	GPE13	-/-	Hi-z/-	I	t8
M7	VDDiarm	VDDiarm	P	P	P	d1c
N8	VSSiarm	VSSiarm	P	P	P	s3i
L7	IIC_SCL/GPE14	GPE14	-/-	Hi-z/-	I	d8
M8	IIC_SDA/GPE15	GPE15	-/-	Hi-z/-	I	d8
R8	EINT8/GPG0	GPG0	-/-	-/-	I	t8
U8	EINT9/GPG1	GPG1	-/-	-/-	I	t8
T8	EINT10/nSS0/GPG2	GPG2	-/-/-	-/-/-	I	t8
L9	EINT11/nSS1/GPG3	GPG3	-/-/-	-/-/-	I	t8
P9	EINT12/LCD_PWREN/ GPG4	GPG4	-/-/-	-/O(L)/-	I	t8
U9	EINT13/SPIMISO1/GPG 5	GPG5	-/-/-	-/Hi-z/-	I	t8
R9	EINT14/SPIMOSI1/GPG 6	GPG6	-/-/-	-/Hi-z/-	I	t8
T9	VSSOP	VSSOP	P	P	P	s3o
N9	VDDOP	VDDOP	P	P	P	d3o
N10	VDDiarm	VDDiarm	P	P	P	d1c
M9	VSSiarm	VSSiarm	P	P	P	s3i
R10	EINT15/SPICK1/GPG7	GPG7	-/-/-	-/Hi-z/-	I	t8
U10	EINT16/GPG8	GPG8	-/-	-/-	I	t6
T10	EINT17/GPG9	GPG9	-/-	-/-	I	t6
P10	EINT18/GPG10	GPG10	-/-	-/-	I	t6
R11	EINT19/TCLK1/GPG11	GPG11	-/-/-	-/-/-	I	t12
P11	EINT20/XMON/GPG12	GPG12	-/-/-	-/O(L)/-	I	t12
U11	EINT21/nXPON/GPG13	GPG13	-/-/-	-/O(L)/-	I	t12
T11	EINT22/YMON/GPG14	GPG14	-/-/-	-/O(L)/-	I	t12
M11	EINT23/nYPON/GPG15	GPG15	-/-/-	-/O(L)/-	I	t12
R12	CLKOUT0/GPH9	GPH9	-/-	O(L)/-	I	t12
U12	CLKOUT1/GPH10	GPH10	-/-	O(L)/-	I	t12
M10	DP1/PDP0	DP1	-	-	AI	us
N11	DN1/PDN0	DN1	-	-	AI	us
P13	DP0	DP0	-	-	AI	us
T12	DN0	DN0	-	-	AI	us
U13	NCON	NCON	-	-	I	is
R13	R/nB	R/nB	-	-	I	is
T13	OM3	OM3	-	-	I	is

U14	OM2	OM2	-	-	I	is
U15	OM1	OM1	-	-	I	is
R14	OM0	OM0	-	-	I	is
P12	VSSOP	VSSOP	P	P	P	s3o
T14	VSSA_ADC	VSSA_ADC	P	P	P	s3t
N12	Vref	Vref	-	-	AI	ia
U16	AIN0	AIN0	-	-	AI	r10
T15	AIN1	AIN1	-	-	AI	r10
U17	AIN2	AIN2	-	-	AI	r10
T16	AIN3	AIN3	-	-	AI	r10
R15	AIN4	AIN4	-	-	AI	r10
T17	AIN5	AIN5	-	-	AI	r10
R16	AIN6	AIN6	-	-	AI	r10
N13	AIN7	AIN7	-	-	AI	r10
P15	VDDA_ADC	VDDA_ADC	P	P	P	d3t
R17	XTOrtc	XTOrtc	-	-	AO	gp
P16	XTIrtc	XTIrtc	-	-	AI	gp
M12	RTCVDD	RTCVDD	P	P	P	d1i
P14	VDDi_MPLL	VDDi_MPLL	P	P	P	d1c
M13	VSSi_MPLL	VSSi_MPLL	P	P	P	s3i
P17	MPLLCAP	MPLLCAP	-	-	AI	gp
L11	VDDi_UPLL	VDDi_UPLL	P	P	P	d1c
N15	VSSi_UPLL	VSSi_UPLL	P	P	P	s3i
L13	UPLLCAP	UPLLCAP	-	-	AI	gp
N16	VDDOP	VDDOP	P	P	P	d3o
N14	EINT0/GPF0	GPF0	-/-	-/-	I	t8
N17	EINT1/GPF1	GPF1	-/-	-/-	I	t8
M16	EINT2/GPF2	GPF2	-/-	-/-	I	t8
M17	EINT3/GPF3	GPF3	-/-	-/-	I	t8
M15	EINT4/GPF4	GPF4	-/-	-/-	I	t8
M14	EINT5/GPF5	GPF5	-/-	-/-	I	t8
L15	EINT6/GPF6	GPF6	-/-	-/-	I	t8
L17	EINT7/GPF7	GPF7	-/-	-/-	I	t8
L16	UEXTCLK/GPH8	GPH8	-/-	-/-	I	t8
L14	nCTS0/GPH0	GPH0	-/-	-/-	I	t8
L12	nRTS0/GPH1	GPH1	-/-	O(H)-	I	t8
K15	TXD0/GPH2	GPH2	-/-	O(H)-	I	t8
K17	RXD0/GPH3	GPH3	-/-	-/-	I	t8

K16	TXD1/GPH4	GPH4	-/-	O(H)/-	I	t8
K14	RXD1/GPH5	GPH5	-/-	-/-	I	t8
K13	TXD2/nRTS1/GPH6	GPH6	-/-	O(H)/-	I	t8
K12	RXD2/nCTS1/GPH7	GPH7	-/-	-/-	I	t8
J17	nBATT_FLT	nBATT_FLT	-	-	I	is
J16	nRSTOUT/GPA21	nRSTOUT	-/-	O(L)/-	O(L)	b8
J15	PWREN	PWREN	O(H)	O(L)	O(H)	b8
J12	nRESET	nRESET	-	-	I	is
J14	VDDalive	VDDalive	P	P	P	d1i
J11	EXTCLK	EXTCLK	-	-	AI	is
J13	VDDi	VDDi	P	P	P	d1c
H17	XTIpll	XTIpll	-	-	AI	m26
H16	XTOpll	XTOpll	-	-	AO	m26
H15	VSSi	VSSi	P	P	P	s3i
H13	VSSOP	VSSOP	P	P	P	s3o
H14	VDDMOP	VDDMOP	P	P	P	d3o
G17	nFCE/GPA22	nFCE	O(H)/-	O(H)/-	O(H)	b8
G16	nFRE/GPA20	nFRE	O(H)/-	O(H)/-	O(H)	b8
G15	nFWE/GPA19	nFWE	O(H)/-	O(H)/-	O(H)	b8
G14	ALE/GPA18	ALE	O(L)/-	O(L)/-	O(L)	b8
H12	CLE/GPA17	CLE	O(L)/-	O(L)/-	O(L)	b8
G13	nWAIT	nWAIT	-	-	I	is
F17	nGCS7:nSCS1	nGCS7	Hi-z	O(H)	O(H)	ot
F16	nGCS6:nSCS0	nGCS6	Hi-z	O(H)	O(H)	ot
F15	nGCS5/GPA16	nGCS5	Hi-z	O(H)/-	O(H)	ot
E17	nGCS4/GPA15	nGCS4	Hi-z	O(H)/-	O(H)	ot
E14	nGCS3/GPA14	nGCS3	Hi-z	O(H)/-	O(H)	ot
E16	nGCS2/GPA13	nGCS2	Hi-z	O(H)/-	O(H)	ot
E15	nGCS1/GPA12	nGCS1	Hi-z	O(H)/-	O(H)	ot
D17	nGCS0	nGCS0	Hi-z	O(H)	O(H)	ot
D16	SCKE	SCKE	Hi-z	O(L)	O(H)	ot
D15	VSSMOP	VSSMOP	P	P	P	s3o
F14	SCLK1	SCLK1	Hi-z	O(L)	O(SCLK)	t16
C17	VDDi	VDDi	P	P	P	d1c
F13	SCLK0	SCLK0	Hi-z	O(L)	O(SCLK)	t16
B17	VSSi	VSSi	P	P	P	s3i
E13	nWE	nWE	Hi-z	O(H)	O(H)	ot
C16	nOE	nOE	Hi-z	O(H)	O(H)	ot

A17	nBE0:nWBE0:DQM0	DQM0	Hi-z	O(H)	O(H)	ot
B16	nBE1:nWBE1:DQM1	DQM1	Hi-z	O(H)	O(H)	ot
C15	nBE2:nWBE2:DQM2	DQM2	Hi-z	O(H)	O(H)	ot
A16	nBE3:nWBE3:DQM3	DQM3	Hi-z	O(H)	O(H)	ot
B15	nSRAS	nSRAS	Hi-z	O(H)	O(H)	ot
C14	nSCAS	nSCAS	Hi-z	O(H)	O(H)	ot
A15	VDDMOP	VDDMOP	P	P	P	d3o
F12	VSSMOP	VSSMOP	P	P	P	s3o
B14	ADDR0/GPA0	ADDR0	Hi-z/-	O(L)/-	O(L)	ot
D14	ADDR1	ADDR1	Hi-z	O(L)	O(L)	ot
A14	ADDR2	ADDR2	Hi-z	O(L)	O(L)	ot
C13	ADDR3	ADDR3	Hi-z	O(L)	O(L)	ot
B13	ADDR4	ADDR4	Hi-z	O(L)	O(L)	ot
D13	ADDR5	ADDR5	Hi-z	O(L)	O(L)	ot
A13	ADDR6	ADDR6	Hi-z	O(L)	O(L)	ot
C12	ADDR7	ADDR7	Hi-z	O(L)	O(L)	ot
B12	ADDR8	ADDR8	Hi-z	O(L)	O(L)	ot
G12	ADDR9	ADDR9	Hi-z	O(L)	O(L)	ot
A12	VSSMOP	VSSMOP	P	P	P	s3o
E11	VDDMOP	VDDMOP	P	P	P	d3o
D12	ADDR10	ADDR10	Hi-z	O(L)	O(L)	ot
E12	ADDR11	ADDR11	Hi-z	O(L)	O(L)	ot
D11	VDDi	VDDi	P	P	P	d1c
F11	VSSi	VSSi	P	P	P	s3i
B11	ADDR12	ADDR12	Hi-z	O(L)	O(L)	ot
A11	ADDR13	ADDR13	Hi-z	O(L)	O(L)	ot
C11	ADDR14	ADDR14	Hi-z	O(L)	O(L)	ot
G11	ADDR15	ADDR15	Hi-z	O(L)	O(L)	ot
A10	ADDR16/GPA1	ADDR16	Hi-z	O(L)/-	O(L)	ot
B10	ADDR17/GPA2	ADDR17	Hi-z	O(L)/-	O(L)	ot
C10	VSSMOP	VSSMOP	P	P	P	s3o
E10	ADDR18/GPA3	ADDR18	Hi-z/-	O(L)	O(L)	ot
D10	ADDR19/GPA4	ADDR19	Hi-z/-	O(L)	O(L)	ot
F10	ADDR20/GPA5	ADDR20	Hi-z/-	O(L)	O(L)	ot
A9	ADDR21/GPA6	ADDR21	Hi-z/-	O(L)	O(L)	ot
D9	ADDR22/GPA7	ADDR22	Hi-z/-	O(L)	O(L)	ot
E9	ADDR23/GPA8	ADDR23	Hi-z/-	O(L)	O(L)	ot
B9	ADDR24/GPA9	ADDR24	Hi-z/-	O(L)	O(L)	ot

C9	ADDR25/GPA10	ADDR25	Hi-z/-	O(L)	O(L)	ot
E8	ADDR26/GPA11	ADDR26	Hi-z/-	O(L)	O(L)	ot
C8	VDDi	VDDi	P	P	P	d1c
F9	VSSi	VSSi	P	P	P	s3i
D8	VDDMOP	VDDMOP	P	P	P	d3o
G9	VSSMOP	VSSMOP	P	P	P	s3o
B8	DATA0	DATA0	Hi-z	Hi-z	Hi-z	t12
A8	DATA1	DATA1	Hi-z	Hi-z	Hi-z	t12
D7	DATA2	DATA2	Hi-z	Hi-z	Hi-z	t12
E7	DATA3	DATA3	Hi-z	Hi-z	Hi-z	t12
C7	DATA4	DATA4	Hi-z	Hi-z	Hi-z	t12
B7	DATA5	DATA5	Hi-z	Hi-z	Hi-z	t12
A7	DATA6	DATA6	Hi-z	Hi-z	Hi-z	t12
C6	DATA7	DATA7	Hi-z	Hi-z	Hi-z	t12
A6	VDDMOP	VDDMOP	P	P	P	d3o
F8	VSSMOP	VSSMOP	P	P	P	s3o
F7	DATA8	DATA8	Hi-z	Hi-z	Hi-z	t12
B6	DATA9	DATA9	Hi-z	Hi-z	Hi-z	t12
D6	DATA10	DATA10	Hi-z	Hi-z	Hi-z	t12
A5	DATA11	DATA11	Hi-z	Hi-z	Hi-z	t12
C5	DATA12	DATA12	Hi-z	Hi-z	Hi-z	t12
B5	DATA13	DATA13	Hi-z	Hi-z	Hi-z	t12
D5	DATA14	DATA14	Hi-z	Hi-z	Hi-z	t12
A4	DATA15	DATA15	Hi-z	Hi-z	Hi-z	t12
B4	VDDMOP	VDDMOP	P	P	P	d3o
E6	VSSMOP	VSSMOP	P	P	P	s3o
C4	VDDi	VDDi	P	P	P	d1c
F6	VSSi	VSSi	P	P	P	s3i
A3	DATA16	DATA16	Hi-z	Hi-z	Hi-z	t12
B3	DATA17	DATA17	Hi-z	Hi-z	Hi-z	t12
A2	DATA18	DATA18	Hi-z	Hi-z	Hi-z	t12
A1	DATA19	DATA19	Hi-z	Hi-z	Hi-z	t12
B2	DATA20	DATA20	Hi-z	Hi-z	Hi-z	t12

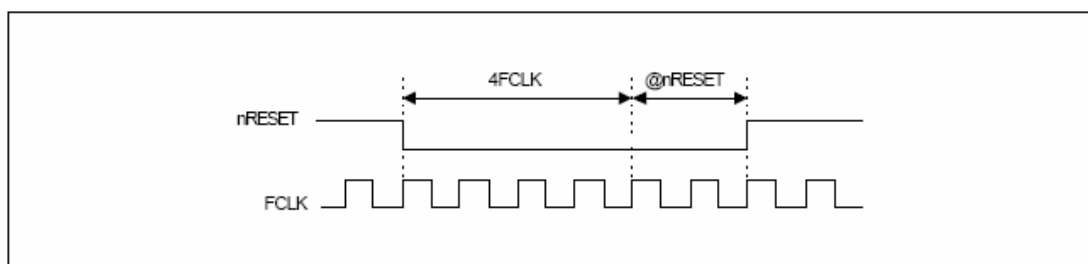
注意：

1. @BUS REQ 表示处于外部总线控制状态，即总线被其他总线所有者占用。
2. “-” 标记表示在 BUS REQ 模式中引脚没有变化。
3. Hi-z 或 Pre 表示高阻状态或保持之前的状态，究竟是哪一个由 MISCCR 寄存器的设置决定；

4.AI/AO 表示模拟输入/模拟输出。

5.P, I 和 O 分别表示电源, 输入和输出

6.I/O 状态@nRESET 表示 I/O 脚在复位脚 nRESET 处于低电平下的状态, 如下图所示。



下表表示I/O口的类型及描述

I/O 类型	描述
d1i(vdd1ih), s3i(vss3i)	内部逻辑电压: 1.8V / 2.0V VDD/VSS
d1c(vdd1ih_core), s3i(vss3i)	无输入驱动的内部逻辑电压: 1.8V / 2.0V VDD/VSS
d3o(vdd3op), s3o(vss3op)	外部逻辑电压: 3.3V VDD/VSS
d3t(vdd3t_abb), s3t(vss3t_abb)	模拟电路电压: 3.3V VDD/VSS
is(phis)	输入引脚, LVCMOS施密特触发电平
us(pbusb)	USB 引脚
ot(phot8)	输出引脚, 三态, 输出电流Io为8mA
b8(phob8)	输出引脚, 输出电流Io为8mA
t16(phot16sm)	输出引脚, 三态, 中等回转率, 输出电流Io为16mA
r10(phiar10_abb)	具有10欧电阻的模拟输入引脚
ia(phia_abb)	模拟输入引脚
gp(phgpad_option)	模拟信号引脚
m26(phsosc26)	带有使能电阻和反馈电阻的振荡器单元
t6(phtbsu100ct6sm)	双向引脚, 具有5V耐压的LVCMOS施密特触发器, 具有可控的100Kohm的上拉电阻, 三态, 输出电流Io=6mA
t8(phbsu100ct8sm)	双向引脚, LVCMOS施密特触发器, 具有可控的100Kohm的上拉电阻, 三态, 输出电流8mA
t12(phbsu100ct12sm)	双向引脚, LVCMOS施密特触发器, 具有可控的100Kohm的上拉电阻, 三态, 输出电流12mA
d8(phbsu100cd8sm)	双向引脚, LVCMOS施密特触发器, 具有可控的100Kohm的上拉电阻, 集电极开路, 输出电流8mA

信号描述

表 1—3 S3C2410A 信号描述

信号	I/O	描述
总线控制器		
OM [1:0]	I	OM [1:0]在产品测试时可以将S3C2410A置于测速模式下。它还决定nGCS0使能区域的总线宽度。接在该引脚上的上拉或下拉电阻决定了它在复位期间的逻辑电平。 00:Nand-boot 01:16-bit 10:32-bit 11:Test mode
ADDR [26:0]	O	ADDR [26:0]（地址总线）输出对应bank区内的要访问的地址
DATA [31:0]	IO	DATA [31:0]（数据总线）在读取存储器时从该总线输入数据，在写存储器时输出数据。该总线的宽度可以通过编程设定在8/6/32位。
nGCS [7:0]	O	nGCS [7:0] (通用片选) 当要访问的地址位于某个bank区内，那么该bank对应的片选就会被激活。操作周期和bank的大小是可编程的。
nWE	O	nWE (写使能) 表示当前总线周期是一个写周期
nOE	O	nOE (Output Enable) 表示当前总线周期是一个读周期
nXBREQ	I	nXBREQ (总线占用请求) 允许其他需要占用总线的设备请求当地总线的控制权。BACK有效时表示总线控制被承认了
nXBACK	O	nXBACK (总线占用应答) 表示 S3C2410A同意交出当地总线的控制权给总线的请求者。
nWAIT	I	nWAIT 信号要求延长总线周期。只要nWAIT是低电平，当前总线周期就没有结束。如果nWAIT信号没有在你的系统中使用，必须用一个上拉电阻接在nWAIT引脚上。
SDRAM/SRAM		
nSRAS	O	SDRAM行地址使能
nSCAS	O	SDRAM列地址使能
nSCS [1:0]	O	SDRAM片选
DQM [3:0]	O	SDRAM数据屏蔽
SCLK [1:0]	O	SDRAM时钟
SCKE	O	SDRAM时钟使能
nBE [3:0]	O	高字节/低字节 使能(在16-位SDRAM中使用)
nWBE [3:0]	O	写字节使能
NAND Flash		
CLE	O	命令锁存使能
ALE	O	地址锁存使能
nFCE	O	NAND Flash 片选使能

nFRE	O	NAND Flash 读使能
nFWE	O	NAND Flash 写使能
NCON	I	NAND Flash 配置，如果没有使用NAND Flash控制器，它必须接一个上拉电阻。
R/nB	I	NAND Flash 准备好/忙。如果没有使用NAND Flash控制器，它必须接一个上拉电阻。
LCD控制器单元		
VD [23:0]	O	STN/TFT/SEC TFT: LCD 数据总线
LCD_PWREN	O	STN/TFT/SEC TFT: LCD屏电源使能控制信号
VCLK	O	STN/TFT: LCD 时钟信号
VFRAME	O	STN: LCD 帧信号
VLINE	O	STN: LCD线信号
VM	O	STN: VM 改变行和列电压的极性
VSYNC	O	TFT: 垂直同步信号
HSYNC	O	TFT: 水平同步信号
VDEN	O	TFT: 数据使能信号
LEND	O	TFT: 线结束信号
STV	O	SEC TFT: SEC (Samsung Electronics Company) TFT LCD 屏控制信号
CPV	O	SEC TFT: SEC (Samsung Electronics Company) TFT LCD屏控制信号
LCD_HCLK	O	SEC TFT: SEC (Samsung Electronics Company) TFT LCD屏控制信号
TP	O	SEC TFT: SEC (Samsung Electronics Company) TFT LCD屏控制信号
STH	O	SEC TFT: SEC (Samsung Electronics Company) TFT LCD屏控制信号
LCDVF [2:0]	O	SEC TFT: 特殊TFT LCD (OE/REV/REVB)的时序控制信号
中断控制单元		
EINT [23:0]	I	外部中断请求
DMA		
nXDREQ [1:0]	I	外部DMA请求
nXDACK [1:0]	O	外部DMA应答
异步串行口		
RxD [2:0]	I	异步串行口接收数据输入
TxD [2:0]	O	异步串行口发送数据输出
nCTS [1:0]	I	输入信号，被清零时，发送数据
nRTS [1:0]	O	输出信号，请求发送
UEXTCLK	I	异步串行口时钟信号
ADC		

AIN [7:0]	AI	ADC输入信号 [7:0]。如果不使用，该引脚接地
Vref	AI	ADC 参考电压
IIC总线		
IICSDA	IO	IIC总线数据
IIC_SCL	IO	IIC总线时钟
IIS总线		
I2SLRCK	IO	IIS总线通道选择时钟
I2SSDO	O	IIS总线串行数据输出
I2SSDI	I	IIS总线串行数据输入
I2SSCLK	IO	IIS总线串行时钟
CDCLK	O	CODEC系统时钟
触摸屏		
nXPON	O	X轴正端开关控制信号
XMON	O	X轴负端开关控制信号
nYPON	O	Y轴正端开关控制信号
YMON	O	Y轴负端开关控制信号
USB主设备		
DN [1:0]	IO	USB 主设备的DATA (-)信号 (需接下拉电阻15K)
DP [1:0]	IO	USB 主设备的DATA (+)信号 (需接下拉电阻15K)
USB从设备		
PDN0	IO	USB从设备的DATA (-)信号 (需接下拉电阻470K)
PDP0	IO	USB从设备的DATA (+)信号 (需接下拉电阻1.5K)
SPI		
SPIMISO [1:0]	IO	当SPI配置为总线上的主设备，SPIMISO 是主设备的数据输入线。如果SPI配置为总线上的从设备，则成为从设备的输出线。
PIMOSI [1:0]	IO	当SPI配置为总线上的主设备，SPIMISO 是主设备的数据输出线。如果SPI配置为总线上的从设备，则成为从设备的输入线。
SPICLK [1:0]	IO	SPI 时钟
nSS [1:0]	I	SPI 片选 (针对从设备模式)
SD		
SDDAT [3:0]	IO	SD接收/发送数据
SDCMD	IO	SD接收回应/发送命令
SDCLK	O	SD时钟
General Port		
GPn [116:0]	IO	通用输入/输出端口 (其中一些只能用作输出)
TIMMER/PWM		
TOUT [3:0]	O	定时器输出 [3:0]
TCLK [1:0]	I	外部定时器时钟输入
JTAG TEST LOGIC		

nTRST	I	nTRST (TAP控制器复位)开始时复位TAP控制器。如果使用调试器,需要连接一个10K的上拉电阻。如果不使用调试器, nTRST引脚必须输入一个低电平脉冲（一般连接到nRESET）。
TMS	I	TMS (TAP控制器模式选择) 控制TAP控制器状态序列。TMS 引脚需要连接一个10K的上拉电阻。.
TCK	I	TCK (TAP控制器时钟)为JTAG逻辑提供时钟输入。TCK 引脚需要连接一个10K的上拉电阻。
TDI	I	TDI (TAP控制器数据输入) 测试指令和数据串行输入。TDI 引脚需要连接一个10K的上拉电阻。
TDO	O	TDO (TAP控制器数据输出) 测试指令和数据的串行输出。
Reset, Clock & Power		
nRESET	ST	nRESET信号将挂起任何操作,并将S3C2410A带入一个可知的复位状态。一个有效的复位信号,必须是在处理器电源稳定之后,将nRESET保持低电平至少4个FCLK的时间。
nRSTOUT	O	外部设备复位控制 (nRSTOUT = nRESET & nWDTRST & SW_RESET)
PWREN	O	2.0V 内核电压开关控制信号
nBATT_FLT	I	电池状态探测器（不能够在掉电模式下,因电量低而唤醒处理器）如果它不使用,必须接高电平（3.3V）
OM [3:2]	I	OM [3:2]决定采用哪种时钟。 OM [3:2] = 00b, 晶振用于MPLL CLK时钟源和UPLL CLK 时钟源。 OM [3:2] = 00b, 晶振用于MPLL CLK 时钟源, EXTCLK用于UPLL CLK 时钟源。 OM [3:2] = 10b, EXTCLK用于MPLL CLK时钟源, 晶振用于UPLL CLK 时钟源。 OM [3:2] = 11b, EXTCLK用于MPLL CLK时钟源和UPLL CLK时钟源
EXTCLK	I	外部时钟源 OM [3:2] = 00b, EXTCLK用于UPLL CLK时钟源。 OM [3:2] = 10b, EXTCLK用于MPLL CLK时钟源, 晶振用于UPLL CLK 时钟源。 OM [3:2] = 11b, EXTCLK用于MPLL CLK时钟源和UPLL CLK时钟源 如果它不使用,必须接高电平（3.3V）
XTIpll	AI	内部振荡电路的晶振输入 OM [3:2] = 00b, 用于MPLL CLK时钟源和UPLL CLK 时钟源。 OM [3:2] = 00b, 用于MPLL CLK 时钟源 OM [3:2] = 10b, 用于UPLL CLK时钟源。 如果它不使用,XTIpll必须接高电平（3.3V）
XTOpll	AO	内部振荡电路的晶振输出 OM [3:2] = 00b, 用于MPLL CLK时钟源和UPLL CLK 时钟源。 OM [3:2] = 00b, 用于MPLL CLK 时钟源 OM [3:2] = 10b, 用于UPLL CLK时钟源。 如果它不使用,必须浮空

MPLLCAP	AI	主时钟的环路滤波电容
UPLLCAP	AI	USB时钟的环路滤波电容
XTIrtc	AI	32.768 kHz的RTC晶振输入。如果不被使用，必须接高电平（RTCVDD = 1.8V）。
XTOrtc	AO	32.768 kHz的RTC晶振输出。如果不使用它必须设为悬空
CLKOUT [1:0]	O	时钟输出信号。MISCCR寄存器的CLKSEL域设定了时钟输出的模式，包括：MPLL CLK, UPLL CLK, FCLK, HCLK 和 PCLK.
电源		
VDDalive	P	S3C2410A 复位电路和端口状态寄存器电源 (1.8V / 2.0V)。无论是正常模式还是掉电模式它都应该始终提供电源
VDDi/VDDiarm	P	S3C2410A的CPU内核逻辑电源(1.8V / 2.0V)
VSSi/VSSiarm	P	S3C2410A 内核逻辑 VSS
VDDi_MPLL	P	S3C2410A MPLL 模拟和数字 VDD (1.8V / 2.0V).
VSSi_MPLL	P	S3C2410A MPLL模拟和数字VSS.
VDDOP	P	S3C2410A I/O 口 VDD (3.3V)
VDDMOP	P	S3C2410A 存储器 I/O VDD 3.3V: SCLK 最高 133MHz
VSSMOP	P	S3C2410A存储器I/O VSS
VSSOP	P	S3C2410A I/O口VSS
RTCVDD	P	RTC VDD (1.8 V, 不支持 2.0 and 3.3V) (如果RTC不使用它必须连接到电源)
VDDi_UPLL	P	S3C2410A UPLL 模拟和数字 VDD (1.8V / 2.0V)
VSSi_UPLL	P	S3C2410A UPLL模拟和数字 VSS
VDDA_ADC	P	S3C2410A ADC VDD (3.3V)
VSSA_ADC	P	S3C2410A ADC VSS

注意：

1. I/O表示输入/输出
2. AI/AO表示模拟输入/输出
3. ST表示施密特触发
4. P表示电源

表 1—4 S3C2410A 专用寄存器

存储器名	地址(大端)	地址(小端)	Acc.单元	读/写	功能
------	--------	--------	--------	-----	----

存储器控制					
BWSCON	0x48000000	←	W	R/W	总线宽度和等待控制
BANKCON0	0x48000004				Boot ROM 控制
BANKCON1	0x48000008				BANK1 控制
BANKCON2	0x4800000C				BANK2 控制
BANKCON3	0x48000010				BANK3 控制
BANKCON4	0x48000014				BANK4 控制
BANKCON5	0x48000018				BANK5 控制
BANKCON6	0x4800001C				BANK6 控制
BANKCON7	0x48000020				BANK7 控制
REFRESH	0x48000024				DRAM/SDRAM 刷新控制
BANKSIZE	0x48000028				存储器大小
MRSRB6	0x4800002C				SDRAM 的模式设置寄存器
MRSRB7	0x48000030				SDRAM 的模式设置寄存器
USB主设备控制器					
HcRevision	0x49000000	←	W		控制和状态组
HcControl	0x49000004				
HcCommonStatus	0x49000008				
HcInterruptStatus	0x4900000C				
HcInterruptEnable	0x49000010				
HcInterruptDisable	0x49000014				
HcHCCA	0x49000018				存储器指针组
HcPeriodCurrentED	0x4900001C				
HcControlHeadED	0x49000020				
HcControlCurrentED	0x49000024				
HcBulkHeadED	0x49000028				
HcBulkCurrentED	0x4900002C				
HcDoneHead	0x49000030				帧计数器组
HcRmInterval	0x49000034				
HcFmRemaining	0x49000038				
HcFmNumber	0x4900003C				
HcPeriodicStart	0x49000040				
HcLSThreshold	0x49000044				
HcRhDescriptorA	0x49000048				根Hub组

HcRhDescriptorB	0x4900004C					
HcRhStatus	0x49000050					
HcRhPortStatus1	0x49000054					
HcRhPortStatus2	0x49000058					
中断控制器						
SRCPND	0X4A000000	←	W	R/W	中断请求状态	
INTMOD	0X4A000004			W	中断模式控制	
INTMSK	0X4A000008			R/W	中断屏蔽控制	
PRIORITY	0X4A00000C			W	IRQ优先级控制	
INTPND	0X4A000010			R/W	中断请求状态	
INTOFFSET	0X4A000014			R	中断请求源偏移	
SUBSRCPND	0X4A000018			R/W	次级中断源请求	
INTSUBMSK	0X4A00001C			R/W	次级中断屏蔽	
DMA						
DISRC0	0x4B000000	←	W	R/W	DMA0传输初始源	
DISRCC0	0x4B000004				DMA0传输初始源控制	
DIDST0	0x4B000008				DMA0传输初始目的地	
DIDSTC0	0x4B00000C				DMA0传输初始目的地控制	
DCON0	0x4B000010				DMA 0控制	
DSTAT0	0x4B000014			R	DMA 0传输计数	
DCSRC0	0x4B000018				DMA 0传输当前源	
DCDST0	0x4B00001C				DMA 0传输当前目的地	
DMASKTRIG0	0x4B000020			W	R/W	DMA 0屏蔽触发器
DISRC1	0x4B000040					DMA 1传输初始源
DISRCC1	0x4B000044					DMA 1传输初始源控制
DIDST1	0x4B000048					DMA 1初始目的地
DIDSTC1	0x4B00004C			W		DMA 1初始目的地控制
DCON1	0x4B000050					DMA 1控制
DSTAT1	0x4B000054				R	DMA 1 计数
DCSRC1	0x4B000058					DMA 1传输当前源
DCDST1	0x4B00005C					DMA 1传输当前目的地
DMASKTRIG1	0x4B000060					DMA 1屏蔽触发器
DISRC2	0x4B000080				R/W	DMA 2初始源
DISRCC2	0x4B000084					DMA 2 初始源控制
DIDST2	0x4B000088					DMA 2 初始目的地
DIDSTC2	0x4B00008C					DMA 2初始目的地控制
DCON2	0x4B000090					DMA 2 控制

DSTAT2	0x4B000094			R	DMA 2 计数	
DCSRC2	0x4B000098				DMA 2 当前源	
DCDST2	0x4B00009C				DMA 2 当前目的地	
DMASKTRIG2	0x4B0000A0			R/W	DMA 2 屏蔽触发器	
DISRC3	0x4B0000C0			W	R/W	DMA 3 初始源
DISRCC3	0x4B0000C4					DMA 3 初始源控制
DIDST3	0x4B0000C8					DMA 3 初始目的地
DIDSTC3	0x4B0000CC					DMA 3 初始目的地控制
DCON3	0x4B0000D0					DMA 3 控制
DSTAT3	0x4B0000D4			R	DMA 3 计数	
DCSRC3	0x4B0000D8				DMA 3 当前源	
DCDST3	0x4B0000DC				DMA 3 当前目的地	
DMASKTRIG3	0x4B0000E0			R/W	DMA 3 屏蔽触发器	
时钟和电源管理						
LOCKTIME	0x4C000000	←	W	R/W	PLL 锁定时间计数器	
MPLLCON	0x4C000004				MPLL 控制	
UPLLCON	0x4C000008				UPLL 控制	
CLKCON	0x4C00000C				时钟生成控制	
CLKSLOW	0x4C000010				慢时钟控制	
CLKDIVN	0x4C000014				时钟除法器控制	
LCD 控制器						
LCDCON1	0X4D000000	←	W	R/W	LCD 控制1	
LCDCON2	0X4D000004				LCD 控制2	
LCDCON3	0X4D000008				LCD 控制3	
LCDCON4	0X4D00000C				LCD 控制4	
LCDCON5	0X4D000010				LCD 控制5	
LCDSADDR1	0X4D000014				STN/TFT: 帧缓冲区起始地址1	
LCDSADDR2	0X4D000018				STN/TFT: 帧缓冲区起始地址2	
LCDSADDR3	0X4D00001C				STN/TFT: 虚拟屏地址设置	
REDLUT	0X4D000020				STN: 红色查找表	
GREENLUT	0X4D000024				STN: 绿色查找表	
BLUELUT	0X4D000028				STN: 蓝色查找表	
DITHMODE	0X4D00004C				STN: 抖动模式	
TPAL	0X4D000050				TFT: 临时调色板	
LCDINTPND	0X4D000054				LCD 中断请求	
LCDSRCPND	0X4D000058				LCD 中断源	

LCDINTMSK	0X4D00005C				LCD中断屏蔽
LPCSEL	0X4D000060				LPC3600控制
NAND Flash					
NFCONF	0x4E000000	←	W	R/W	NAND Flash配置
NFCMD	0x4E000004				NAND Flash命令
NFADDR	0x4E000008				NAND Flash地址
NFDATA	0x4E00000C				NAND Flash数据
NFSTAT	0x4E000010			R	NAND Flash工作状态
NFECC	0x4E000014			R/W	NAND Flash ECC
串行口					
ULCON0	0x50000000	←	W	R/W	串口0线控制
UCON0	0x50000004				串口0控制
UFCON0	0x50000008				串口0 FIFO控制
UMCON0	0x5000000C				串口0 Modem控制
UTRSTAT0	0x50000010			R	串口0 发送/接收状态
UERSTAT0	0x50000014				串口T0 接收错误状态
UFSTAT0	0x50000018				串口0 FIFO 状态
UMSTAT0	0x5000001C				串口0 Modem状态
UTXH0	0x50000023	0x50000020	B	W	串口0 发送保持
URXH0	0x50000027	0x50000024		R	串口0 接收缓冲区
UBRDIV0	0x50000028	←	W	R/W	串口0 波特率除数
ULCON1	0x50004000	←	W	R/W	串口1 线控制
UCON1	0x50004004				串口1 控制
UFCON1	0x50004008				串口1 FIFO控制
UMCON1	0x5000400C				串口1 Modem控制
UTRSTAT1	0x50004010			R	串口1 发送/接收状态
UERSTAT1	0x50004014				串口1 接收错误状态
UFSTAT1	0x50004018				串口1 FIFO 状态
UMSTAT1	0x5000401C				串口1 Modem状态
UTXH1	0x50004023	0x50004020	B	W	串口1发送保持
URXH1	0x50004027	0x50004024		R	串口1接收缓冲区
UBRDIV1	0x50004028	←	W	R/W	串口1波特率除数
ULCON2	0x50008000	←	W	R/W	串口2线控制
UCON2	0x50008004				串口2控制
UFCON2	0x50008008				串口2 FIFO控制
UTRSTAT2	0x50008010			R	串口2 Tx/Rx 状态
UERSTAT2	0x50008014				串口2 Rx错误状态
UFSTAT2	0x50008018				串口2 FIFO 状态

UTXH2	0x50008023	0x50008020	B	W	串口T 2 传送保留
URXH2	0x50008027	0x50008024		R	串口2接收缓冲器
UBRDIV2	0x50008028	←	W	R/W	串口2波特率除数
PWM 定时器					
TCFG0	0x51000000	←	W	R/W	定时器配置
TCFG1	0x51000004				定时器配置
TCON	0x51000008				定时器控制
TCNTB0	0x5100000C				定时器计数缓冲区0
TCMPB0	0x51000010				定时器比较缓冲区0
TCNTO0	0x51000014			R	定时器观察缓冲区0
TCNTB1	0x51000018			R/W	定时器计数缓冲区1
TCMPB1	0x5100001C				定时器比较缓冲区1
TCNTO1	0x51000020			R	定时器计数观察区1
TCNTB2	0x51000024			R/W	定时器计数缓冲区2
TCMPB2	0x51000028				定时器比较缓冲区2
TCNTO2	0x5100002C			R	定时器计数观察区2
TCNTB3	0x51000030			R/W	定时器计数缓冲区3
TCMPB3	0x51000034				定时器比较缓冲区3
TCNTO3	0x51000038			R	定时器计数观察区3
TCNTB4	0x5100003C			R/W	定时器计数缓冲区4
TCNTO4	0x51000040	R	定时器计数观察区4		
USB 从设备					
FUNC_ADDR_REG	0x52000143	0x52000140	B	R/W	功能地址
PWR_REG	0x52000147	0x52000144			电源管理
EP_INT_REG	0x5200014B	0x52000148			EP中断请求和清除
USB_INT_REG	0x5200015B	0x52000158			USB中断请求和清理
EP_INT_EN_REG	0x5200015F	0x5200015C			中断使能
USB_INT_EN_REG	0x5200016F	0x5200016C			中断使能
FRAME_NUM1_REG	0x52000173	0x52000170		R	帧编号的低位字节
INDEX_REG	0x5200017B	0x52000178		R/W	寄存器索引
EP0_CSR	0x52000187	0x52000184			端点0 (Endpoint0) 状态
IN_CSR1_REG	0x52000187	0x52000184			输入 (In) 端点状态控制
IN_CSR2_REG	0x5200018B	0x52000188			输入 (In) 端点状态控制
MAXP_REG	0x52000183	0x52000180			端点传输最大包
OUT_CSR1_REG	0x52000193	0x52000190			输出 (Out) 端点状态控制
OUT_CSR2_REG	0x52000197	0x52000194			输出 (Out) 端点状态控制

OUT_FIFO_CNT1_REG	0x5200019B	0x52000198		R	输出端点写入计数器
OUT_FIFO_CNT2_REG	0x5200019F	0x5200019C			输出端点写入计数器
EP0_FIFO	0x520001C3	0x520001C0		R/W	端点0 FIFO
EP1_FIFO	0x520001C7	0x520001C4			端点1 FIFO
EP2_FIFO	0x520001CB	0x520001C8			端点2 FIFO
EP3_FIFO	0x520001CF	0x520001CC			端点3 FIFO
EP4_FIFO	0x520001D3	0x520001D0			端点4 FIFO
EP1_DMA_CON	0x52000203	0x52000200			EP1 DMA 接口控制
EP1_DMA_UNIT	0x52000207	0x52000204			EP1 DMA发送单元计数
EP1_DMA_FIFO	0x5200020B	0x52000208			EP1 DMA 发送 FIFO 计数器
EP1_DMA_TTC_L	0x5200020F	0x5200020C			EP1 DMA发送计数器低字节
EP1_DMA_TTC_M	0x52000213	0x52000210			EP1 DMA发送计数器中字节
EP1_DMA_TTC_H	0x52000217	0x52000214			EP1 DMA发送计数器高字节
EP2_DMA_CON	0x5200021B	0x52000218	B	R/W	EP2 DMA 接口控制
EP2_DMA_UNIT	0x5200021F	0x5200021C			EP2 DMA发送单元计数
EP2_DMA_FIFO	0x52000223	0x52000220			EP2 DMA 发送FIFO 计数器
EP2_DMA_TTC_L	0x52000227	0x52000224			EP2 DMA 发送计数器低字节
EP2_DMA_TTC_M	0x5200022B	0x52000228			EP2 DMA 发送计数器中字节
EP2_DMA_TTC_H	0x5200022F	0x5200022C			EP2 DMA 发送计数器高字节
EP3_DMA_CON	0x52000243	0x52000240			EP3 DMA 接口控制
EP3_DMA_UNIT	0x52000247	0x52000244			EP3 DMA发送单元计数
EP3_DMA_FIFO	0x5200024B	0x52000248			EP3 DMA发送FIFO计数
EP3_DMA_TTC_L	0x5200024F	0x5200024C			EP3 DMA发送计数器低字节
EP3_DMA_TTC_M	0x52000253	0x52000250			EP3 DMA发送计数器中字节
EP3_DMA_TTC_H	0x52000257	0x52000254			EP3 DMA 发送计数器高字节
EP4_DMA_CON	0x5200025B	0x52000258			EP4 DMA 接口控制
EP4_DMA_UNIT	0x5200025F	0x5200025C			EP4 DMA发送单元计数
EP4_DMA_FIFO	0x52000263	0x52000260			EP4DMA发送FIFO计数
EP4_DMA_TTC_L	0x52000267	0x52000264			EP4 DMA发送计数器低字节

EP4_DMA_TTC_M	0x5200026B	0x52000268			EP4 DMA发送计数器中字节
EP4_DMA_TTC_H	0x5200026F	0x5200026C			EP4 DMA发送计数器高字节
看门狗定时器					
WTCON	0x53000000	←	W	R/W	看门狗定时器模式
WTDAT	0x53000004				看门狗定时器数据
WTCNT	0x53000008				看门狗定时器计数
IIC					
IICCON	0x54000000	←	W	R/W	IIC控制
IICSTAT	0x54000004				IIC 状态
IICADD	0x54000008				IIC 地址
IICDS	0x5400000C				IIC 数据移位
IIS					
IISCON	0x55000000,02	0x55000000	HW,W	R/W	IIS 控制
IISMOD	0x55000004,06	0x55000004	HW,W		IIS模式
IISPSR	0x55000008,0A	0x55000008	HW,W		IIS预分频
IISFCON	0x5500000C,0E	0x5500000C	HW,W		IIS FIFO 控制
IISFIFO	0x55000012	0x55000010	HW		IIS FIFO 入口
I/O口					
GPACON	0x56000000	←	W	R/W	端口A控制
GPADAT	0x56000004				端口A数据
GPBCON	0x56000010				端口B控制
GPBDAT	0x56000014				端口B数据
GPBUP	0x56000018				端口B上拉控制
GPCCON	0x56000020				端口C控制
GPCDAT	0x56000024				端口C数据
GPCUP	0x56000028				端口C上拉控制
GPDCON	0x56000030				端口D控制
GPDDA1T	0x56000034				端口D数据
GPDUP	0x56000038				端口D上拉控制
GPECON	0x56000040				端口E控制
GPEDAT	0x56000044				端口E数据
GPEUP	0x56000048				端口E上拉控制
GPFCON	0x56000050				端口F口控制
GPFDAT	0x56000054				端口F口数据
GPFUP	0x56000058				端口F上拉控制
GPGCON	0x56000060				端口G口控制
GPGDAT	0x56000064				端口G口数据
GPGUP	0x56000068				端口G上拉控制
GPHCON	0x56000070	端口H控制			

GPHDAT	0x56000074				端口H数据
GPHUP	0x56000078				端口H上拉控制
MISCCR	0x56000080	←	W	R/W	多种控制
DCLKCON	0x56000084				DCLK0/1控制
EXTINT0	0x56000088				外中断控制寄存器0
EXTINT1	0x5600008C				外中断控制寄存器1
EXTINT2	0x56000090				外中断控制寄存器2
EINTFLT0	0x56000094				保留
EINTFLT1	0x56000098				保留
EINTFLT2	0x5600009C				外部中断滤波控制寄存器2
EINTFLT3	0x560000A0				外部中断滤波控制寄存器3
EINTMASK	0x560000A4				外部中断屏蔽
EINTPEND	0x560000A8				外部中断请求
GSTATUS0	0x560000AC				外部引脚状态
GSTATUS1	0x560000B0				外部引脚状态
RTC					
RTCCON	0x57000043		B	R/W	RTC 控制
TICNT	0x57000047	0x57000044			节拍计时
RTCALM	0x57000053	0x57000050			RTC警报控制
ALMSEC	0x57000057	0x57000054			警报时间之秒
ALMMIN	0x5700005B	0x57000058			警报时间之分
ALMHOUR	0x5700005F	0x5700005C			警报时间之时
ALMDATE	0x57000063	0x57000060			警报时间之日期
ALMMON	0x57000067	0x57000064			警报时间之月
ALMYEAR	0x5700006B	0x57000068			警报时间之年
RTCRST	0x5700006F	0x5700006C			RTC循环复位
BCDSEC	0x57000073	0x57000070		R/W	BCD时间之秒
BCDMIN	0x57000077	0x57000074			BCD时间之分
BCDHOURL	0x5700007B	0x57000078			BCD时间之小时
BCDDATE	0x5700007F	0x5700007C			BCD时间之日
BCDDAY	0x57000083	0x57000080			BCD时间之星期
BCDMON	0x57000087	0x57000084			BCD之月
BCDYEAR	0x5700008B	0x57000088			BCD之年
A/D转换器					
ADCCON	0x58000000	←	W	R/W	ADC控制
ADCTSC	0x58000004				ADC触摸屏控制
ADCDLY	0x58000008				ADC起始或间隔延迟
ADCDAT0	0x5800000C			R	ADC转换数据
ADCDAT1	0x58000010				ADC转换数据
SPI					

SPCON0,1	0x59000000,20	←	W	R/W	SPI控制		
SPSTA0,1	0x59000004,24			R	SPI状态		
SPPIN0,1	0x59000008,28			R/W	SPI引脚控制		
SPPRE0,1	0x5900000C,2C				SPI波特率预分频器		
SPTDAT0,1	0x59000010,30				SPI发送数据		
SPRDAT0,1	0x59000014,34			R	SP接收数据		
SD 接口							
SDICON	0x5A000000	←	W	R/W	SDI 控制		
SDIPRE	0x5A000004				SDI 波特率预分频器		
SDICmdArg	0x5A000008				SDI 命令参数		
SDICmdCon	0x5A00000C				SDI 命令控制		
SDICmdSta	0x5A000010			R/(C)	SDI 命令状态		
SDIRSP0	0x5A000014			R	SDI响应		
SDIRSP1	0x5A000018				SDI响应		
SDIRSP2	0x5A00001C				SDI响应		
SDIRSP3	0x5A000020				SDI响应		
SDIDTimer	0x5A000024			R/W	SDI 数据/忙定时器		
SDIBSize	0x5A000028				SDI 块大小		
SDIDatCon	0x5A00002C				SDI数据控制		
SDIDatCnt	0x5A000030			R	SDI剩余数据计数器		
SDIDatSta	0x5A000034			R/(C)	SDI数据状态		
SDIFSTA	0x5A000038			R	SDI FIFO 状态		
SDIDAT	0x5A00003F			0x5A00003C	B	R/W	SDI数据
SDIIntMsk	0x5A000040			←	W		SDI中断屏蔽

S3C2410A专用寄存器说明：

1. 在小端模式下，必须使用小端地址；大端模式下，必须使用大端地址；
2. 每个特殊寄存器必须按照推荐的方式进行操作。
3. 除了ADC寄存器，RTC寄存器和UART寄存器外，其他寄存器都必须以字为单元（32位）进行读写。
4. 对ADC,RTC,UART寄存器进行读/写时，必须仔细考虑使用的大/小端模式。
5. W：32位寄存器，必须用LDR/STR指令或i整型数型指针(int *)进行访问；
HW：16位寄存器，必须用LDRH/STRH或短整型数指针(short int *)访问；
B：8位寄存器，必须用LDRB/STRB或字符型指针(char int *)访问。