

PHILIPS 单片 16/32 位微控制器—LPC2101/2102/2103

1.概述	3
2.特性	3
2.1 主要特性	3
3.订购信息	4
3.1 订购选项	4
4.结构框图	5
5.管脚信息	6
5.1 管脚排列	6
5.2 管脚描述	7
6.功能描述	10
6.1 结构概述	10
6.2 片内 FLASH 程序存储器.....	10
6.3 片内静态 RAM	11
6.4 存储器映射	11
6.5 中断控制器	12
6.5.1 中断源.....	12
6.6 管脚连接模块	12
6.7 快速通用并行 I/O 口	12
6.7.1 特性.....	13
6.8 10 位 A/D 转换器	13
6.8.1 特性.....	13
6.9 UART	13
6.9.1 特性.....	13
6.10 I ² C 串行 I/O 控制器	14
6.10.1 特性.....	14
6.11 SPI 串行 I/O 控制器	14
6.11.1 特性.....	14
6.12 SSP 串行 I/O 控制器	14
6.12.1 特性.....	15
6.13 通用 32 位定时器/外部事件计数器	15
6.13.1 特性.....	15
6.14 通用 16 位定时器/外部事件计数器	15
6.14.1 特性.....	16
6.15 看门狗定时器	16
6.15.1 特性.....	16
6.16 实时时钟	16
6.16.1 特性.....	17
6.17 系统控制	17

6.17.1 晶振.....	17
6.17.2 PLL	17
6.17.3 复位和唤醒定时器.....	17
6.17.4 代码安全保护.....	18
6.17.5 外部中断输入.....	18
6.17.6 存储器映射控制.....	18
6.17.7 功率控制.....	18
6.17.8 APB 总线	18
6.18 仿真和调试	18
6.18.1 Embedded ICE	19
6.18.2 RealMonitor	19
7. 极限参数.....	19
8. 静态特性.....	20
9.动态特性.....	24
10.表面封装.....	25
11.缩写词	26
12.修订记录.....	26

1.概述

LPC2101/2102/2103 基于一个支持实时仿真的 ARM7TDMI-S CPU, 并带有 8kB 和 32kB 嵌入的高速 Flash 存储器。128 位宽度的存储器接口和独特的加速结构使 32 位代码能够在最大时钟速率下运行。这可以使得中断服务程序和 DSP 算法中重要功能的性能较 Thumb 模式提高 30%。对代码规模有严格控制的应用可使用 16 位 Thumb 模式将代码规模降低超过 30%, 而性能的损失却很小。

由于 LPC2101/2102/2103 非常小的尺寸和极低的功耗, 它们非常适合于那些将小型化作为主要要求的应用, 多个 UART、SPI 到 SSP 和 2 个 I²C 总线组成的混合串行通信接口和片内 2kB/4kB/8kB 的 SRAM 一起作用, 可使得 LPC2101/2102/2103 非常适合用来实现通信网关和协议转换器、数学协处理器以及足够大空间的缓冲区的强大处理功能。而多个 32 位和 16 位的定时器、一个经改良后的 10 位 ADC、PWM 特性 (通过所有定时器上的一个输出匹配来实现) 和 32 个快速 GPIO (含有多达 9 个边沿或电平有效的外部中断管脚) 使它们特别适用于工业控制和医疗系统。

2.特性

2.1 主要特性

- 16/32 位 ARM7TDMI-S 处理器, 极小型 LQFP48 封装。
- 2kB/4kB/8kB 的片内静态 RAM, 8kB/16kB/32kB 的片内 Flash 程序存储器, 128 位宽的接口/加速器使其实现了 70MHz 的高速操作。
- 通过片内 Boot-loader 软件实现在系统/在应用编程 (ISP/IAP)。Flash 编程时间: 1ms 可编程 256 字节, 单个 Flash 扇区擦除或整片擦除只需 400ms。
- EmbeddedICE RT 通过片内 RealMonitor 软件来提供实时调试。
- 10 位的 A/D 转换器含有 8 个模拟输入, 每个通道的转换时间低至 2.44 μ s, 专用的结果寄存器使中中断开销降到最低。
- 2 个 32 位的定时器/外部事件计数器, 具有 7 路捕获和 7 路比较通道。
- 2 个 16 位的定时器/外部事件计数器, 具有 3 路捕获和 7 路比较通道。
- 低功耗实时时钟 (RTC), 有独立的供电电源和专门的 32kHz 时钟输入。
- 多个串行接口, 包括 2 个 UART (16C550), 2 个快速 I²C 总线 (400kb/s) 以及带缓冲和可变数据长度功能的 SPI 和 SSP。
- 向量中断控制器, 可配置优先级和向量地址。
- 多达 32 个可承受 5V 的通用 I/O 口。
- 高达 13 个边沿或电平有效的外部中断管脚。
- 通过可编程的片内 PLL (可能的输入频率范围: 10MHz~25MHz) 可实现最大为 70MHz 的 CPU 时钟频率, 设置时间为 100 μ s。
- 片内集成的振荡器, 工作在 1MHz~25MHz 的外部晶体下。
- 节电模式包括空闲模式、RTC 有效的睡眠模式和掉电模式。

- 通过外设功能的单独使能/禁止和调节外设时钟来实现功耗的最优化。
- 通过外部中断或 RTC 将处理器从掉电模式中唤醒。

3. 订购信息

表 1 订购信息

产品编号	封装		
	名称	描述	版本
LPC2101FBD48	LQFP48	塑料小型四方扁平封装; 48 脚; 本体宽度 7×7×1.4mm	SOT313-2
LPC2102FBD48	LQFP48	塑料小型四方扁平封装; 48 脚; 本体宽度 7×7×1.4mm	SOT313-2
LPC2103FBD48	LQFP48	塑料小型四方扁平封装; 48 脚; 本体宽度 7×7×1.4mm	SOT313-2

3.1 订购选项

表 2 器件选项

产品编号	Flash	RAM	ADC	温度范围(°C)
LPC2101FBD48	8kB	2kB	8 个输入	-40~+85
LPC2102FBD48	16kB	4kB	8 个输入	-40~+85
LPC2103FBD48	32kB	8kB	8 个输入	-40~+85

4. 结构框图

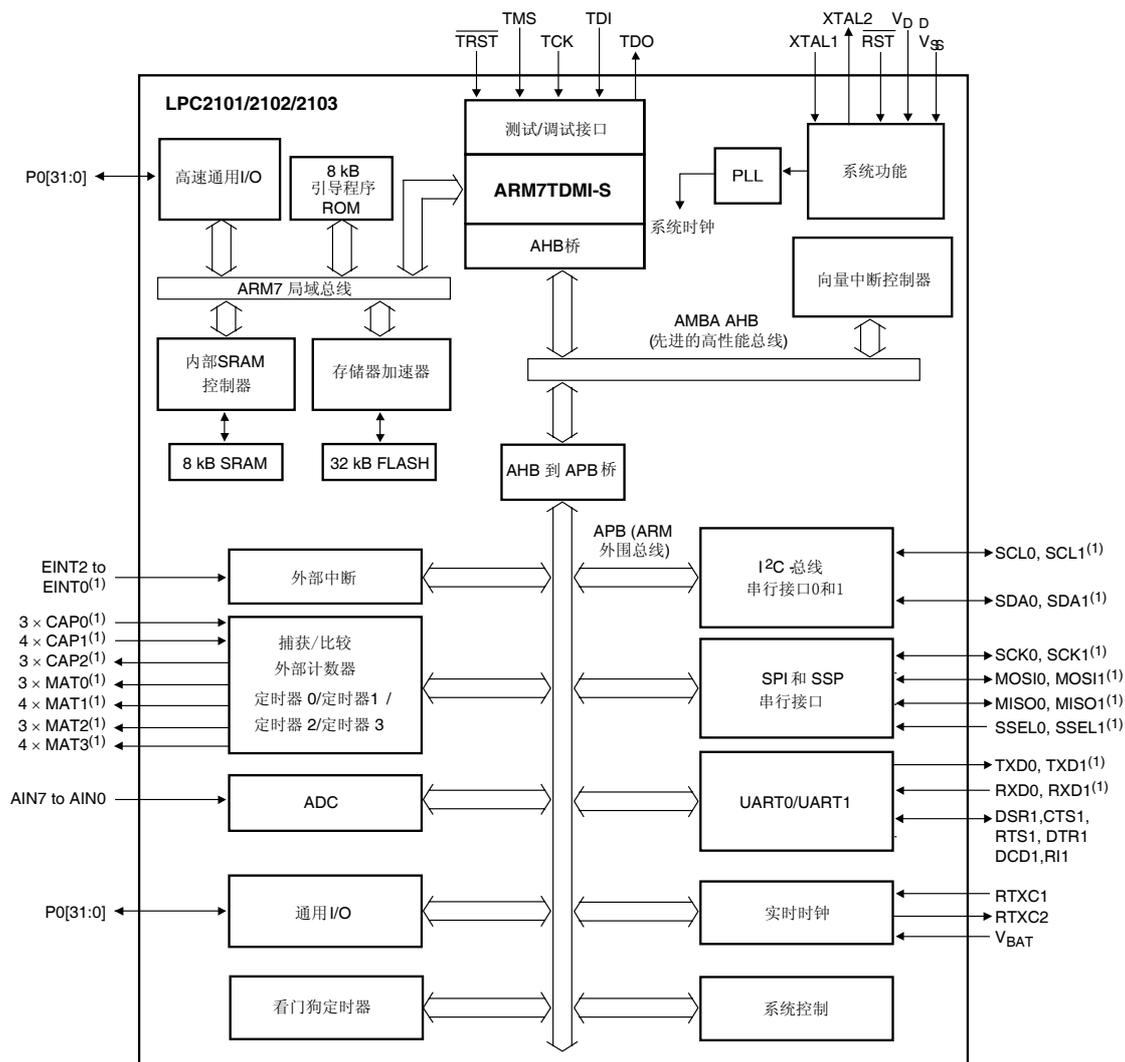


图 1 结构框图

5. 管脚信息

5.1 管脚排列

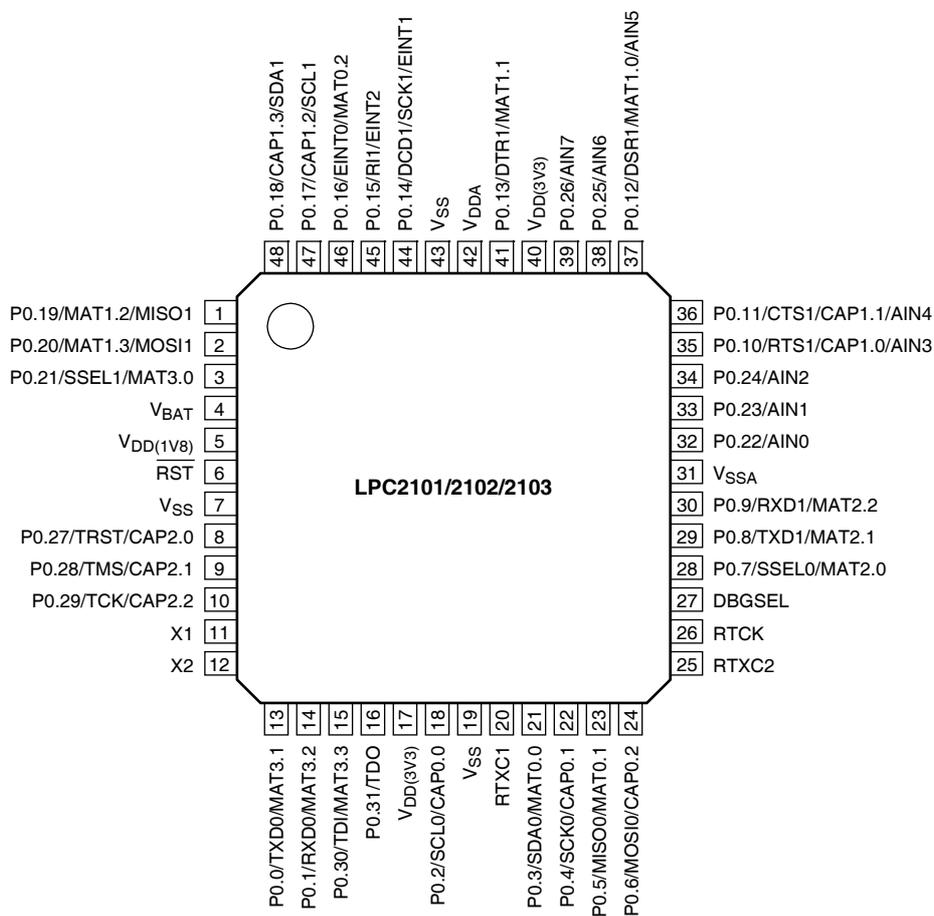


图 2 LPC2101/2102/2103 管脚配置

5.2 管脚描述

表 3 管脚描述

符号	管脚	类型	描述
P0.0~P0.31		I/O	P0 口: P0 口是一个 32 位双向 I/O 口。每个位都有独立的方向控制。除 P0.31 只能作为输出口外, 其它所有 31 个管脚都可用作通用数字双向 I/O 口。P0 口管脚的操作取决于管脚连接模块所选择的功能。
P0.0/TXD0/ MAT3.1	13 ^[1]	I/O O O	P0.0 通用数字 I/O 口 (GPIO) TxD0 UART0 的发送器输出 MAT3.1 定时器 3 PWM 输出 1
P0.1/RXD0/ MAT3.2	14 ^[2]	I/O I O	P0.1 通用数字 I/O 口 (GPIO) RxD0 UART0 的接收器输入 MAT3.2 定时器 3 PWM 输出 2
P0.2/SCL0/ CAP0.0	18 ^[3]	I/O I/O I	P0.2 通用数字 I/O 口 (GPIO) SCL0 I ² C0 时钟输入/输出。开漏输出(符合 I ² C 规范) CAP0.0 定时器 0 捕获输入 0
P0.3/SDA0/ MAT0.0	21 ^[3]	I/O I/O O	P0.3 通用数字 I/O 口 (GPIO) SDA0 I ² C0 数据输入/输出。开漏输出(符合 I ² C 规范) MAT0.0 定时器 0 PWM 输出 0
P0.4/SCK0/ CAP0.1	22 ^[4]	I/O I/O I	P0.4 通用数字 I/O 口 (GPIO) SCK0 SPI 串行时钟, SPI 主机输出或从机输入的时钟 CAP0.1 定时器 0 捕获输入 1
P0.5/MISO0/ MAT0.1	23 ^[4]	I/O I/O O	P0.5 通用数字 I/O 口 (GPIO) MISO SPI0 主机输入从机输出。 SPI 从机到主机的数据传输 MAT0.1 定时器 0 PWM 输出 1
P0.6/MOSI0/ CAP0.2	24 ^[2]	I/O I/O I	P0.6 通用数字 I/O 口 (GPIO) MOSI SPI0 主机输出从机输入。 SPI 主机到从机的数据传输 CAP0.2 定时器 0 捕获输入 2
P0.7/SSEL0/ MAT2.0	28 ^[2]	I/O I O	P0.7 通用数字 I/O 口 (GPIO) SSEL0 SPI0 从机选择, 选择 SPI 接口用作从机 MAT2.0 定时器 2 PWM 输出 0
P0.8/TXD1/ MAT2.1	29 ^[4]	I/O O O	P0.8 通用数字 I/O 口 (GPIO) TxD1 UART1 的发送器输出 MAT2.1 定时器 2 PWM 输出 1
P0.9/RXD1/ MAT2.2	30 ^[2]	I/O I O	P0.9 通用数字 I/O 口 (GPIO) RxD1 UART1 的接收器输入 MAT2.2 定时器 2 PWM 输出 2
P0.10/RTS1/ CAP1.0/AIN3	35 ^[4]	I/O O I I	P0.10 通用数字 I/O 口 (GPIO) RTS1 UART1 请求发送输出 CAP1.0 定时器 1 捕获输入 0 AIN3 模拟输入 3

续表 3

符号	管脚	类型	描述
P0.11/CTS1/ CAP1.1/AIN4	36 ^[3]	I/O O I I	P0.11 通用数字 I/O 口 (GPIO) CTS1 UART1 的清零发送输出 CAP1.1 定时器 1 捕获输入 1 AIN4 模拟输入 4
P0.12/DSR1/ MAT1.0/AIN5	37 ^[4]	I/O I O I	P0.12 通用数字 I/O 口 (GPIO) DSR1 UART1 的数据设置就绪输入 MAT1.0 定时器 1 PWM 输出 0 AIN5 模拟输入 5
P0.13/DTR1/ MAT1.1	41 ^[4]	I/O O O	P0.13 通用数字 I/O 口 (GPIO) DTR1 UART1 的数据终端就绪输出 MAT1.1 定时器 1 PWM 输出 1
P0.14/DCD1/ SCK1/EINT1	44 ^[3]	I/O I I/O I	P0.14 通用数字 I/O 口 (GPIO) DCD1 UART1 数据载波检测输入 SCK1 SPI1 串行时钟。SPI 主机时钟输出或从机时钟输入 EINT1 外部中断 1 输入
P0.15/RI1/ EINT2	45 ^[4]	I/O I I	P0.15 通用数字 I/O 口 (GPIO) RI1 UART1 铃声指示输入 EINT2 外部中断 2 输入
P0.16/EINT0/ MAT0.2	46 ^[2]	I/O I O	P0.16 通用数字 I/O 口 (GPIO) EINT0 外部中断 0 输入 MAT0.2 定时器 0 PWM 输出 2
P0.17/CAP1.2/ SCL1	47 ^[1]	I/O I I/O	P0.17 通用数字 I/O 口 (GPIO) CAP1.2 定时器 1 捕获输入 2 SCL1 I ² C 时钟输入/输出。开漏输出 (符合 I ² C 规范)
P1.8/CAP1.3/ SDA1	48 ^[1]	I/O I I/O	P0.18 通用数字 I/O 口 (GPIO) CAP1.3 定时器 1 捕获输入 3 SDA1 I ² C1 数据输入/输出。开漏输出 (符合 I ² C 规范)
P0.19/MAT1.2/ MISO1	1 ^[1]	I/O O I/O	P0.19 通用数字 I/O 口 (GPIO) MAT1.2 定时器 1 PWM 输出 2 MISO1 SSP 主入从出。作主机时为数据输入, 从机时为数据输出
P0.20/MAT1.3/ MOSI1	2 ^[2]	I/O O I/O	P0.20 通用数字 I/O 口 (GPIO) MAT1.3 定时器 1 PWM 输出 3 MOSI1 SSP 主出从入。作主机时为数据输出, 从机时为数据输入
P0.21/SSEL1/ MAT3.0	3 ^[4]	I/O I O	P0.21 通用数字 I/O 口 (GPIO) SSEL1 SPI1 从机选择。选择 SPI 接口用作从机 MAT3.0 定时器 3 PWM 输出 0
P0.22/AIN0	32 ^[4]	I/O I	P0.22 通用数字 I/O 口 (GPIO) AIN0 模拟输入 0
P0.23/AIN1	33 ^[1]	I/O I	P0.23 通用数字 I/O 口 (GPIO) AIN1 模拟输入 1

续表 3

符号	管脚	类型	描述
P0.24/AIN2	34 ^[1]	I/O I	P0.24 通用数字 I/O 口 (GPIO) AIN2 模拟输入 2
P0.25/AIN6	38 ^[1]	I/O I	P0.25 通用数字 I/O 口 (GPIO) AIN6 模拟输入 6
P0.26/AIN7	39 ^[1]	I/O I	P0.26 通用数字 I/O 口 (GPIO) AIN7 模拟输入 7
P0.27/TRST/ CAP2.0	8 ^[4]	I/O O I	P0.27 通用数字 I/O 口 (GPIO) TRST JTAG 接口的测试复位 CAP2.0 定时器 2 捕获输入 0
P0.28/TMS/ CAP2.1	9 ^[4]	I/O O I	P0.28 通用数字 I/O 口 (GPIO) TMS JTAG 接口的测试模式选择 CAP2.1 定时器 2 捕获输入 1
P0.29/TCK/ CAP2.2	10 ^[4]	I/O O I	P0.29 通用数字 I/O 口 (GPIO) TCK JTAG 接口测试时钟 CAP2.2 定时器 2 捕获输入 2
P0.30/TDI/ MAT3.3	15 ^[4]	I/O I O	P0.30 通用数字 I/O 口 (GPIO) TDI JTAG 接口测试数据输入 MAT3.3 定时器 3 PWM 输出 3
P0.31/TDO	16 ^[4]	O O	P0.31 通用数字输出口 TDO JTAG 接口测试数据输出
RTXC1	20 ^[5]	I	RTC 振荡器电路的输入
RTXC2	25 ^[5]	O	RTC 振荡器电路的输出
RTCK	26 ^[5]	I/O	返回的测试时钟输出: JTAG 端口的额外信号。当处理器频率变化时帮助调试器保持同步。带内部上拉的双向口。
X1	11	I	振荡器电路和内部时钟发生器的输入
X2	12	O	振荡放大器的输出
DBGSEL	27	I	调试选择: 当管脚为低电平时, 器件正常工作; 当管脚为高电平时, 进入调试模式。它是一个带内部下拉的输入。
$\overline{\text{RST}}$	6	I	外部复位输入: 该管脚的低电平将器件复位, 并使 I/O 口和外围恢复默认状态, 处理器从地址 0 开始执行。 带滞后作用的 TTL, 最大可承受 5V 的电压。
V _{SS}	7,19,43	I	地: 0V 参考点
V _{SSA}	31	I	模拟地: 0V 参考点。 正常情况下与 V _{SS} 电压值相同, 但要求两者隔离来使噪声和故障降至最低。
V _{DDA}	42	I	3.3V 模拟电源: 正常情况下与 V _{DD(3V3)} 电压值相同。但要求两者隔离来使噪声和故障降至最低。该电压为片内 PLL 供电。
V _{DD(1V.8)}	5	I	1.8V 内核供电电源: 内部电路的电源。
V _{DD(3V3)}	17,40	I	3.3V 电源: I/O 口的电源
VBAT	4	I	RTC 电源: 3.3V, 用作 RTC 的电源。

[1] 管脚最大可承受 5V 的电压，提供数字 I/O 功能，采用 TTL 电平，具有滞后作用和 10ns 的转换速度控制。

[2] 管脚最大可承受 5V 的电压，提供数字 I/O 功能，采用 TTL 电平，具有滞后作用和 10ns 的转换速度控制。该管脚配置为输入时，可利用内置的干扰滤波器滤除短于 3ns 的脉冲。

[3] 最大可承受电压为 5V、兼容 I²C 总线 400kHz 规范的开漏输出数字 I/O 口。该管脚用作输出时需要外部上拉。

[4] 最大可承受 5V 的电压，提供数字 I/O 功能（TTL 电平，具有滞后作用和 10ns 的转换速度控制）和模拟输入功能。该管脚配置为数字输入时，可利用内置的干扰滤波器滤除短于 3ns 的脉冲。当配置用作 ADC 模拟输入时，其数字功能被禁止。

[5] 提供特殊的模拟功能。

6. 功能描述

6.1 结构概述

ARM7TDMI-S 是一个通用的 32 位微处理器，它可提供高性能和低功耗。ARM 结构是基于精简指令集计算机(RISC)原理而设计的。指令集和相关的译码机制比复杂指令集计算机要简单得多。这样使用一个小的、廉价的处理器核就可实现很高的指令吞吐量和实时的中断响应。

由于使用了流水线技术，所有处理和存储系统部件都可连续工作。通常在执行一条指令的同时对下一条指令进行译码，并将第三条指令从存储器中取出。

ARM7TDMI-S 处理器使用了一个被称为 THUMB 的独特的结构化策略，使它非常适用于那些对存储器有限制或者需要较高代码密度的大批量生产的应用。

在 THUMB 后面一个关键的概念是“超精简指令集”。ARM7TDMI-S 处理器基本上具有两个指令集：

- 标准 32 位 ARM 指令集
- 16 位 THUMB 指令集

THUMB 指令集的 16 位指令长度使其可以接近标准 ARM 代码两倍的密度，却仍然保持 ARM 的大多数性能上的优势，这些优势是使用 16 位寄存器的 16 位处理器所不具有的。这是因为 THUMB 代码和 ARM 代码一样，在相同的 32 位寄存器上进行操作。

THUMB 代码仅为 ARM 代码规模的 65%，但其性能却相当于连接到 16 位存储器系统的相同 ARM 处理器性能的 160%。

LPC2101/2102/2103 的一些特殊 flash 实现还考虑到 ARM 模式下的代码全速执行。建议对一些性能要求高且代码非常短的程序采用 ARM 模式编写。这样，与 Thumb 模式相比，对总的代码长度影响很小，但速度却增加了 30%。

6.2 片内 FLASH 程序存储器

LPC2101/2102/2103 分别集成了 8KB、16KB 和 32KB 的 FLASH 存储器系统。该存储器可用作代码和数据的存储。对 FLASH 存储器的编程可通过几种方法来实现。可通过串口进行在系统编程，也可以在应用程序运行时进行在应用编程。这样为数据存储和现场固件的升

级都带来了极大的灵活性。整个 Flash 存储器可作为位于一个独立存储空间的引导装载程序来供用户代码使用。

LPC2101/2102/2103 Flash 存储器提供至少 100,000 个擦除/写周期和 20 年的数据保存时间。

6.3 片内静态 RAM

片内静态 RAM 可用作代码和/或数据存储。SRAM 支持 8 位、16 位和 32 位的访问。LPC2101/2102/2103 分别具有 2K/4K/8K 字节的静态 RAM。

6.4 存储器映射

LPC2101/2102/2103 的存储器包含几个不同的区域，如图 3 所示。

此外，CPU 的中断向量可以重新映射，这样允许它们位于 Flash 存储器（默认）或者片内静态 RAM 当中。详见 6.17 节“系统控制”。

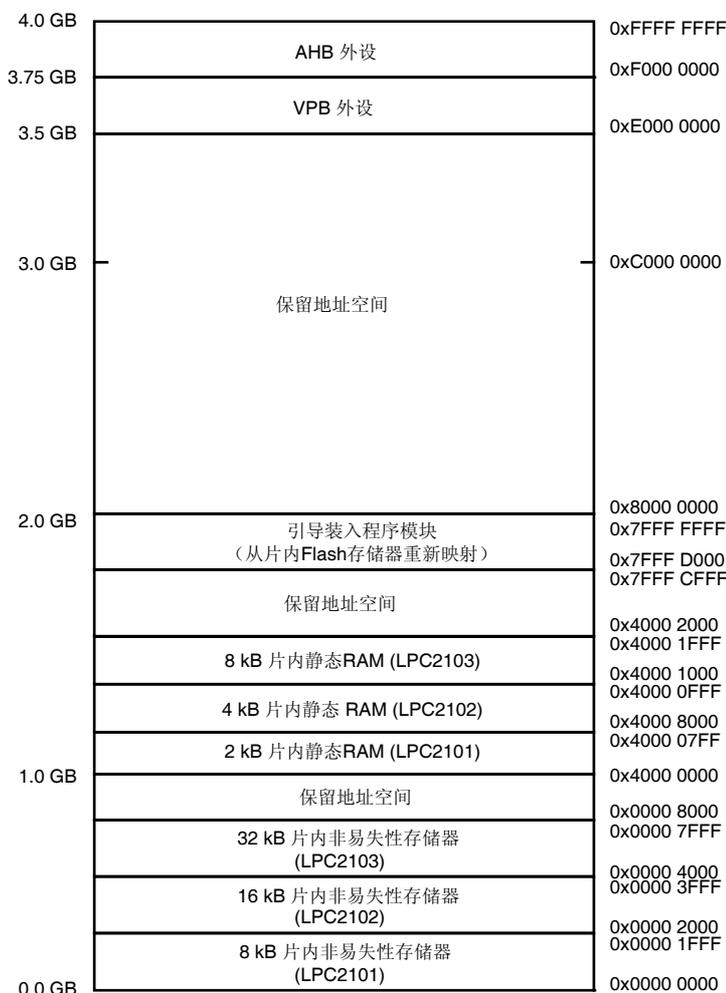


图 3 LPC2101/2102/2103 存储器映射

6.5 中断控制器

向量中断控制器(VIC)接收所有的中断请求输入,并将它们编程分配为3类:FIQ、向量IRQ和非向量IRQ。可编程分配机制意味着不同外设的中断的优先级可以动态分配和调整。

快速中断请求(FIQ)具有最高优先级。如果分配给FIQ的请求多于1个,VIC将结合中断请求向ARM处理器产生FIQ信号。当只有一个被分配为FIQ时可实现最短的FIQ等待时间,因为这时FIQ服务程序不必再转移到中断服务程序中,而是直接从中断向量单元执行。但如果分配给FIQ级的中断多于1个,FIQ服务程序从VIC中读出一个字以识别产生中断请求的FIQ中断源是哪一个。

向量IRQ具有中等优先级。该级别可分配16个中断请求。任意中断请求中都可分配到16个向量IRQ slot之一,其中slot0具有最高优先级,而slot15则为最低优先级。

非向量IRQ的优先级最低。

VIC结合所有向量和非向量IRQ向ARM处理器产生IRQ信号。通过读取VIC寄存器并跳转到寄存器指向的地址来启动执行IRQ服务程序。如果有任意一个向量IRQ发出请求,VIC则提供请求IRQ服务程序的最高优先级的地址,否则提供默认程序的地址,该默认程序由所有非向量IRQ共用。默认程序可读取任何VIC寄存器以确定哪个IRQ被激活。

6.5.1 中断源

每个外设都有一条中断线连接到向量中断控制器,但可能有几个内部中断标志。单个中断标志也可能代表不同的中断源。

6.6 管脚连接模块

管脚连接模块允许将微控制器的管脚配置为不同的功能。配置寄存器控制连接管脚和片内外设的多路开关。应当在激活外设以及使能任何相关的中断之前,将外设连接到相应的管脚。任何一个被使能的外设,如果其没有映射到相关的管脚,其产生的动作将被认为是未定义的。

在给定的硬件环境中,由管脚控制模块和对应的管脚选择寄存器来定义微控制器的功能。

复位后P0口所有管脚都设置为输入,以下情况例外:如果使能调试功能,JTAG管脚将执行JTAG功能;另外,I²C0接口相关的管脚为开漏模式。

6.7 快速通用并行I/O口

没有连接到特定外设功能的管脚由GPIO寄存器进行控制。管脚可以动态配置为输入或输出。每个寄存器可以同时任意多个输出口进行置位或清零。输出寄存器的值以及管脚的当前状态都可以读出。

在以前的LPC2000器件基础上,LPC2101/2102/2103引进了加速GPIO功能:

- GPIO寄存器重新定位到ARM局域总线上来实现可能的最快的I/O时序。
- 屏蔽寄存器允许将端口中需要设置的位当作一组进行操作,而其它位保持不变。
- 所有GPIO寄存器都可字节寻址。

- 全部端口写操作能由一条指令完成。

6.7.1 特性

- 位置位和清零寄存器允许使用一条指令对一个端口中的任意多个位执行置位和清零操作。
- 单个位的方向控制
- 输出置位和清零可单独控制
- 所有 I/O 在复位后的默认状态都为输入

6.8 10 位 A/D 转换器

LPC2101/2102/2103 含有一个 10 位、8 路逐步逼近式的模数转换器。

6.8.1 特性

- 测量范围：0V~3.3V
- 各个转换器每秒能处理 400,000 个以上的 10 位采样值。
- 单输入或多输入的突发转换模式。
- 可选择在输入脚跳变或定时器匹配信号出现时执行转换。
- 每个模拟输入都有一个专用的结果寄存器，这样可以减少中断开销。

6.9 UART

LPC2101/2102/2103 各包含两个 UART。除标准的发送和接收数据线外，UART1 还提供一个完全由调制解调器控制的握手接口。

与以前的 LPC2000 微控制器相比，LPC2101/2102/2103 的 2 个 UART 都带有小数波特率发生器。利用高于 2MHz 的任意晶振频率就能获得如 115200 之类的标准波特率。

6.9.1 特性

- 16 字节接收和发送 FIFO
- 寄存器位置遵循 550 工业标准
- 接收器 FIFO 触发点为 1, 4, 8 和 14 个字节
- 内置的小数波特率发生器产生的波特率范围非常大，而无需对外部晶振作特殊要求。
- 发送 FIFO 控制使能 2 个 UART 上软件 (XON/XOFF) 流控制的实现。
- UART1 含有标准调制解调器接口信号，该接口模块还完全支持硬件流控制 (auto-CTS/RTS)。

6.10 I²C 串行 I/O 控制器

LPC2101/2102/2103 各含有两个 I²C 总线控制器。

I²C 是一个双向总线，它使用两条线：串行时钟线(SCL) 和串行数据线(SDA) 实现互连芯片的控制。每个器件都通过一个唯一的地址来识别，这些器件可以是只接收器件（例如 LCD 驱动器），或是可以发送和接收信息的发送器（例如存储器）。发送器和/或接收器可以操作为主或从模式，这取决于芯片必须启动数据的发送或是只被寻址。I²C 是一个多主机总线，它可以由超过一个总线主控器进行控制。

LPC2101/2102/2103 所包含的 I²C 功能支持 400kbit/s（快速 I²C）。

6.10.1 特性

- 标准的 I²C 总线接口
- 可配置为主机、从机或主/从机
- 可编程时钟可实现通用速率控制
- 主机从机之间双向数据传输
- 多主机总线(无中央主机)
- 同时发送的主机之间进行仲裁，避免了总线数据的冲突
- 串行时钟同步允许不同位速率的器件能通过一条串行总线通信
- 串行时钟同步可作为握手机制使串行传输挂起和恢复
- I²C 总线可用于测试和诊断

6.11 SPI 串行 I/O 控制器

LPC2101/2102/2103 各含有 1 个 SPI 控制器。SPI 是一个全双工的串行接口，用于处理在一个给定总线上多个互连的主机和从机。在一定数据传输过程中，接口上只能有一个主机和一个从机能够通信。在一次数据传输中，主机总是向从机发送一个字节数据，而从机也总是向主机发送一个字节数据。

6.11.1 特性

- 遵循串行外设接口(SPI)规范
- 同步、串行、全双工通信
- 组合的 SPI 主机和从机
- 最大数据位速率为输入时钟速率的 1/8

6.12 SSP 串行 I/O 控制器

LPC2101/2102/2103 各含有 1 个串行同步端口控制器 (SSP)。SSP 能控制 SPI、4 线 SSI 或 Microwire 总线上的操作。它能与总线上的多个主机和从机相互作用。但在给定的数据传输中，只有一个主机和一个从机在总线上进行通信。SSP 支持全双工传输，4 位~16 位的数据帧可由主机传输到从机或由从机传输到主机。但通常情况下，只有一组数据流传送的数据

有意义。

6.12.1 特性

- 与 Motorola SPI, 4 线 TI 的 SSI 以及 National 半导体的 Microwire 总线兼容。
- 同步串行通信。
- 主/从机操作。
- 发送和接收都为 8 帧 FIFO。
- 每帧 4 位~16 位。

6.13 通用 32 位定时器/外部事件计数器

定时器/计数器用于对外设时钟周期 (PCLK) 或外部提供的时钟进行计数, 可选择产生中断或基于 4 个匹配寄存器, 在到达指定的定时值时执行其它动作。它还包括 4 个捕获输入, 用于在输入信号发生跳变时捕获定时器值, 也可选择产生中断。利用多个管脚之间的“或”和“与”以及“广播”功能可以实现多管脚的捕获或匹配功能。

当外部脉冲的最小宽度等于或大于 PCLK 周期时, LPC2101/2102/2103 能对一个捕获输入管脚上的外部事件进行计数。在这种配置下, 没有使用的捕获管脚可作为常规的定时器捕获输入管脚或外部中断管脚。

6.13.1 特性

- 带可编程 32 位预分频器的 32 位定时器/计数器
- 外部事件计数器或定时器操作
- 每个定时器/计数器有 4 个 32 位的捕获通道, 当输入信号跳变时可瞬时捕获定时器值。捕获事件也可选择产生中断。
- 4 个 32 位匹配寄存器:
 - 连续操作, 可选择在匹配时产生中断
 - 匹配时停止定时器, 可选择产生中断
 - 匹配时复位定时器, 可选择产生中断
- 每个定时器/计数器的 4 个外部输出与匹配寄存器相对应, 具有下列特性:
 - 匹配时置低电平
 - 匹配时置高电平
 - 匹配时翻转
 - 匹配时不变

6.14 通用 16 位定时器/外部事件计数器

定时器/计数器用于对外设时钟 (PCLK) 或外部提供的时钟进行计数, 可选择在指定的定时器值 (由 4 个匹配寄存器的值决定) 处产生中断或执行其它动作。它还包括 4 个捕获输入, 当输入信号跳变时捕获定时器的值, 也可以产生中断。利用多个管脚之间的“或”和“与”以及“广播”功能可以实现多管脚的捕获或匹配功能。

当外部脉冲的最小宽度等于或大于 PCLK 周期时, LPC2101/2102/2103 能对一个捕获输入管脚上的外部事件进行计数。在这种配置下, 没有使用的捕获管脚可作为常规的定时器捕获输入管脚或外部中断管脚。

6.14.1 特性

- 2 个带 16 位可编程预分频器的 16 位定时/计数器。
- 外部事件计数器或定时器操作
- 每个定时/计数器有 4 个 16 位捕获通道, 当输入信号跳变时能捕获定时器的瞬时值。捕获事件也可以产生中断。
- 4 个 16 位匹配寄存器允许:
 - 连续操作, 可选择在匹配时产生中断
 - 匹配时停止定时器, 可选择产生中断
 - 匹配时复位定时器, 可选择产生中断
- 每个定时/计数器有 4 个外部输出与匹配寄存器对应, 该外部输出具有下列特性:
 - 匹配时置低电平
 - 匹配时置高电平
 - 匹配时翻转
 - 匹配时不变

6.15 看门狗定时器

看门狗定时器的用途是使微控制器在进入错误状态经过一段时间后复位。当看门狗定时器使能时, 如果没有在预先确定的时间内“喂”看门狗, 它将会产生一次系统复位。

6.15.1 特性

- 如果没有周期性重装, 则产生片内复位
- 调试模式
- 由软件使能, 但要求禁止硬件复位或看门狗复位/中断
- 错误/不完整的喂狗时序会导致复位/中断(如果使能)
- 具有标志位以指示看门狗复位
- 带内部预分频器的 32 位可编程定时器
- 可选择时间周期: $(t_{pclk} \times 256 \times 4) \sim (t_{pclk} \times 2^{32} \times 4)$, 可选值为 $t_{pclk} \times 4$ 的倍数

6.16 实时时钟

当处于正常或空闲模式时, 实时时钟(RTC)提供一组测量时间的计数器。RTC 消耗的功率非常低, 这使其适合于由电池供电的, CPU 不连续工作(空闲模式)的系统。

6.16.1 特性

- 对时间段进行测量以提供日历或时钟
- 超低功耗设计，支持电池供电系统
- 提供秒、分、小时、日、月、年和星期
- 可以使用 RTC 专用的 32kHz 振荡器输入或外部晶振/振荡器从 XTAL1 输入的时钟。可编程基准时钟分频器能对 RTC 进行很好的调节。
- 专门的电源管脚可以连接到电池组或 3.3V 的主电源上。

6.17 系统控制

6.17.1 晶振

片内振荡器的外接晶振范围为 1MHz~25MHz。晶振输出频率称为 f_{OSC} ，考虑到速率相同等因素，ARM 处理器时钟频率称为 CCLK。除非连接并运行 PLL，否则 f_{OSC} 和 CCLK 的值是相同的。详见 6.17.2 节“PLL”。

6.17.2 PLL

PLL 可以接受范围为 10MHz~25MHz 的输入时钟频率。输入频率通过电流控制振荡器 (CCO) 可以倍增为 10MHz~60MHz。倍增器可以是 1 到 32 的整数（实际上在该系列微控制器当中，由于 CPU 高频的限制，倍增器的值不能高于 6）。CCO 操作的范围为 156MHz~320MHz，因此在环路中还有一个分频器，这样 PLL 在提供所需要的输出频率时，CCO 能在允许频率范围内。输出分频器可设置为 2、4、8 或者 16 以产生输出时钟。由于最小输出分频值为 2，这样就确保了 PLL 输出具有 50% 的占空比。PLL 在芯片复位后关闭并且被旁路。可通过软件使能。程序必须配置并且激活 PLL，等待 PLL 锁定之后再将其作为时钟源。PLL 的稳定时间为 100us。

6.17.3 复位和唤醒定时器

LPC2101/2102/2103 有 2 个复位源： \overline{RST} 管脚和看门狗复位。 \overline{RST} 管脚是一个施密特触发输入管脚，带有附加的干扰滤波器。任何复位源所导致的芯片复位都会启动唤醒定时器（见下面的唤醒定时器描述），复位状态将一直保持到外部复位撤除，振荡器开始运行。经过一定数目的时钟后 Flash 控制器完成其初始化。

当内部复位撤除后，处理器从复位向量地址 0 开始执行。此时所有的处理器和外设寄存器都被初始化为预设的值。

唤醒定时器的用途是确保振荡器和其它芯片操作所需要的模拟功能在处理器能够执行指令之前完全正常工作。这在上电、各种类型的复位以及任何原因所导致上述功能被关闭的情况下非常重要。由于振荡器和其它功能在掉电模式下关闭，因此将处理器从掉电模式中唤醒就要利用唤醒定时器。

唤醒定时器监视晶体振荡器是否可以安全地开始执行代码。当芯片上电时，或某些事件导致芯片退出掉电模式时，振荡器需要一定的时间以产生足够振幅的信号驱动时钟逻辑。时间的长度取决于许多因素，包括 V_{DD} 上升速度（上电时）、晶振的类型及电气特性（如果使用石英晶体）以及其它外部电路（例如：电容）和外部环境下振荡器自身的特性。

6.17.4 代码安全保护

LPC2101/2102/2103 的代码安全保护特性允许对代码的调试和读取进行控制。

如果复位后片内引导装载程序检测到 flash 内的一个有效的校验和，并且从 flash 地址 0x1FC 读出的值为 0x8765 4321，则调试操作将被禁止，flash 中的代码被保护，不能执行读操作。一旦调试操作被禁止，就只能通过使用 ISP 擦除整个芯片来重新使能。

6.17.5 外部中断输入

LPC2101/2102/2103 有 3 个边沿或电平有效的外部中断输入，作为 I/O 口的可选功能。当管脚与外部电路相连后，外部事件能作为三个独立的中断信号来处理。外部中断输入还可选择用来将处理器从掉电模式唤醒。

另外，10 个捕获输入管脚也能作为外部中断输入，但不能将器件从掉电模式中唤醒。

6.17.6 存储器映射控制

存储器映射控制改变了从地址 0x00000000 开始的中断向量的映射。向量可以映射到片内 Flash 存储器的底部，也可以映射到片内静态 RAM 中。这使得在不同存储器空间中运行的代码都能够对中断进行控制。

6.17.7 功率控制

LPC2101/2102/2103 支持两种低功耗模式：空闲模式和掉电模式。

在空闲模式中，指令的执行被暂停，直到产生复位或中断为止。在空闲模式下外围功能继续工作并可产生中断唤醒处理器。空闲模式使处理器自身、存储器系统和相关的控制器以及内部总线不再消耗功率。

在掉电模式中，振荡器停振，芯片没有任何的内部时钟。处理器状态和寄存器、外设寄存器和内部 SRAM 的值在掉电模式下保持不变。芯片输出管脚的逻辑电平保持静态。通过复位或特定的不需要时钟还可工作的中断可终止掉电模式并恢复正常操作。由于芯片所有动态的操作都被暂停，掉电模式使芯片消耗的功率降低到几乎为零。

外设的功率控制特性允许关闭单独的不需要使用的外设，这样可进一步降低功耗。

6.17.8 APB 总线

APB 分频器决定处理器时钟(CCLK)和外设时钟(PCLK)之间的关系。APB 分频器有两个用途。第一，通过 APB 总线为外设提供需要的 PCLK 时钟，以便外设能在 ARM 处理器选择的速度下操作。为了实现该特性，APB 总线频率可以降低为处理器时钟频率的 1/2 或 1/4。由于上电时 APB 总线必须正常工作（并且它不工作时，时序也不能改变，因为 APB 分频器控制 APB 总线上的寄存器），因此，APB 总线在复位后的默认状态是以 1/4 速率运行。第二，当不要求所有外设都在全速率下运行时使用 APB 分频器降低频率以降低功耗。由于 APB 分频器连接到 PLL 的输出，PLL（如果正在运行）在空闲模式时保持有效。

6.18 仿真和调试

LPC2101/2102/2103 能通过 JTAG 串行端口进行仿真和调试。假设需要有更多 GPIO 的选择，P1 口的 GPIO 可复用于调试功能。

6.18.1 Embedded ICE

标准的 ARM Embedded ICE 逻辑提供对片内调试的支持。对目标系统进行调试需要一个主机来运行调试软件和 Embedded ICE 协议转换器。Embedded ICE 协议转换器将远程调试协议命令转换成所需要的 JTAG 数据，从而对目标系统上的 ARM7TDMI-S 内核进行访问。

ARM7TDMI-S 内核有一个内置的调试通信通道功能。调试通信通道允许目标系统上正在运行的程序能与主机调试器或另一个独立的主机进行通信而无需停止程序执行过程，甚至在进入调试状态时通信仍能继续进行。ARM7TDMI-S 内核上运行的程序将调试通信通道作为协处理器 14 进行访问。调试通信通道允许 JTAG 端口发送和接收数据，而不影响正常的程序流程。调试通信通道数据和控制寄存器映射到 Embedded ICE 逻辑中的地址。

6.18.2 RealMonitor

RealMonitor 是一个可配置的软件模块，它由 ARM 公司开发，可以提供实时的调试。它是一个非常小的调试监控器，当用户对前台应用进行调试时，它运行在后台。它使用 DCC(调试通信通道) (EmbeddedICE 逻辑中包含了 DCC) 与主机进行通信。LPC2101/2102/2103 包含一个特定 RealMonitor 软件，位于片内引导 ROM 存储器中。

7. 极限参数

表 4 极限参数

遵循最大绝对额定值系统规范 (IEC 60134)。^[1]

符号	参数	条件	最小	最大	单位
$V_{DD(1V8)}$	电源电压 (1.8V) ^[2]		-0.5	+2.5	V
$V_{DD(3V3)}$	电源电压 (3.3V) ^[3]		-0.5	+3.6	V
V_{DDA}	模拟电源电压 ^[4]		-0.5	4.6	V
$V_{i(VBAT)}$	VBAT 管脚的输入电压	用于 RTC	-0.5	4.6	V
$V_{i(VREF)}$	VREF 管脚的输入电压		-0.5	4.6	V
V_{ia}	模拟输入电压 ^[5]		-0.5	5.1	V
V_i	输入电压	可承受 5V 的 I/O 管脚 ^{[6][7]}	-0.5	6.0	V
		其它 I/O 管脚 ^[6]	-0.5	$V_{DD3}+0.5$ ^[8]	V
I_{DD}	DC 电源电流 ^[9]			100 ^[10]	mA
I_{SS}	DC 地电流 ^[11]			100 ^[10]	mA
T_{stg}	储存温度 ^[12]		-40	125	°C
$P_{tot(pack)}$	封装的总功率损耗	基于封装的热传递，而非器件的功耗	-	1.5	W

[1] 下面是对极限参数的说明：

(a) 该产品含有保护内部器件的电路设计，避免过量静电荷的损坏性影响。不过建议避免在超过最大值的情况下工作。

(b) 参数在操作温度范围内是有效的，除非另有规定。所有的电压都是相对 V_{SS} 而言，除非另有说明。

[2] 内核和内部线路

[3] 内部线路

[4] 3.3V 端。

- [5] 在 ADC 相关的管脚上。
- [6] 包含三态模式下输出端的电压。
- [7] 仅当管脚电源电压为 $V_{DD(3V3)}$ 时有效。
- [8] 不超过 4.6V
- [9] 每个电源管脚。
- [10] 峰值电流限制为对应最大值的 25 倍。
- [11] 每个地管脚。
- [12] 取决于封装类型。

8. 静态特性

表 5 静态特性

$T_a = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, 工业级, 除非另有说明。

符号	参数	条件	最小	典型 ^[1]	最大	单位
$V_{DD(1V8)}$	电源电压(1.8V) ^[2]		1.65	1.8	1.95	V
$V_{DD(3V3)}$	电源电压(3.3V) ^[3]		3.0	3.3	3.6	V
V_{DDA}	模拟电源电压	3.3V 焊盘电压	3.0	3.3	3.6	V
$V_{i(VBAT)}$	VBAT 管脚的输入电压		2.0 ^[4]	3.3	3.6	V
$V_{i(VREF)}$	VREF 管脚的输入电压		2.5	3.3	V_{DDA}	V
标准端口管脚, RST, RTCK,						
I_{IL}	低电平输入电流	$V_I = 0$; 无上拉	-	-	3	μA
I_{IH}	高电平输入电流	$V_I = V_{DD(3V3)}$; 无下拉	-	-	3	μA
I_{OZ}	三态输出电流,	$V_O = 0$; $V_O = V_{DD(3V3)}$; 无上/下拉	-	-	3	μA
$I_{latchup}$	I/O 闩锁电流	$-(0.5 V_{DD(3V3)}) < V < (1.5 V_{DD(3V3)})$ $T_j < 125^{\circ}\text{C}$	-	-	100	mA
V_I	输入电压	管脚为数字功能 ^{[5][6][7]}	0	-	5.5	V
V_O	输出电压; 输出有效	输出有效	0	-	$V_{DD(3V3)}$	V
V_{IH}	高电平输入电压		2.0	-	-	V
V_{IL}	低电平输入电压		-	-	0.8	V
V_{hys}	滞后电压		-	0.4	-	V
V_{OH}	高电平输出电压 ^[8]	$I_{OH} = -4\text{mA}$	$V_{DD(3V3)} - 0.4$	-	-	V
V_{OL}	低电平输出电压 ^[8]	$I_{OL} = -4\text{mA}$	-	-	0.4	V
I_{OH}	高电平输出电流 ^[8]	$V_{OH} = V_{DD(3V3)} - 0.4\text{V}$	-4	-	-	mA
I_{OL}	低电平输出电流 ^[8]	$V_{OL} = 0.4\text{V}$	4	-	-	mA
I_{OHS}	高电平短路电流 ^[9]	$V_{OH} = 0\text{V}$	-	-	-45	mA
I_{OLS}	低电平短路电流 ^[9]	$V_{OL} = V_{DDA}$	-	-	50	mA
I_{Pd}	下拉电流	$V_I = 5\text{V}$ ^[10]	10	50	100	μA
I_{PU}	上拉电流 ^[11]	$V_I = 0\text{V}$	-15	-50	-85	μA
		$V_{DD(3V3)} < V_I < 5\text{V}$ ^[10]	0	0	0	μA

续表 5

符号	参数	条件	最小	典型 ^[1]	最大	单位
I _{DD(act)}	激活模式电源电流	V _{DD(3V3)} =3.3V, Ta=+25°C 代码: while(1){ 从 Flash 执行, 无激活外设 CCLK=10MHz	<td>	<td>	<td>	mA
		CCLK=70MHz (其它参数同上)	<td>	<td>	<td>	mA
I _{DD(pd)}	掉电模式电源电流	V _{DD(1V8)} =1.8V, Ta=+25°C	<td>	<td>	<td>	μA
		V _{DD(1V8)} =1.8V, Ta=+85°C	<td>	<td>	<td>	μA
I _{BATpd}	掉电模式电池组供电电流 ^[12]	RTC 时钟 =32KHz (从 RTXC 管脚输入), Ta=+25°C V _{DD(1V8)} =1.8V, VBAT=2.5V	-	7	<td>	μA
		V _{DD(1V8)} =1.8V, VBAT=2.5V	-	<td>	<td>	μA
I _{BATact}	激活模式电池组供电电流 ^[12]	CCLK=70MHz PCLK=17.5MHz PCLK 设置为 RTCK RTC 时钟 =32KHz (从 RTXC 管脚输入), Ta=+25°C V _{DD(1V8)} =1.8V, VBAT=3.0V	<td>	<td>	<td>	μA
I²C 管脚						
V _{IH}	高电平输入电压		0.7V _{DD} (3V3)	-	-	V
V _{IL}	低电平输入电压		-	-	0.3V _{DD} (3V3)	V
V _{hys}	滞后电压		-	0.5V _{DD} (3V3)	-	V
V _{OL}	低电平输出电压 ^[8]	I _{OLS} = 3mA	-	-	0.4	V
I _{LI}	输入漏电流 ^[13]	V _I = V _{DD(3V3)}	-	2	4	μA
		V _I = 5V	-	10	22	μA
振荡器管脚						
V _{i(XTAL1)}	XTAL1 输入电压		0	-	1.8	V
V _{O(XTAL2)}	XTAL2 输出电压		0	-	1.8	V
V _{i(RTXC1)}	RTXC1 输入电压		0	-	1.8	V
V _{O(RTXC2)}	RTXC2 输出电压		0	-	1.8	V

[1] 不能保证得到典型的标称值。表中所列值为在室温，标称电压下测得。

[2] 内核和内部线路。

[3] 外部线路。

[4] 当 VBAT 降至低于 1.6V 时，RTC 无效。

[5] 包括三态模式下输出端的电压

- [6] $V_{DD(3V3)}$ 电压必须存在。
- [7] 当 $V_{DD(3V3)}$ 接地时，三态输出端进入三态模式。
- [8] 指的是所有电源线的 100mV 的压降。
- [9] 只允许持续很短的时间。
- [10] V_I 最小为 4.5V，最大为 5.5V。
- [11] 用于 P1.25:16
- [12] 管脚 VBAT 上
- [13] 相对与 V_{SS} 而言

表 6 ADC 静态特性

$V_{DDA}=2.5V\sim 3.6V$; $T_a=-40^{\circ}C\sim +85^{\circ}C$ ，除非另有说明。ADC 频率为 4.5MHz。

符号	参数	条件	最小	典型	最大	单位
V_{ia}	模拟输入电压		0	-	V_{DDA}	V
C_{ia}	模拟输入电容		-	-	1	pF
E_D	差分线性误差	[1][2][3]			± 1	LSB
$E_{L(adj)}$	积分非线性误差	[1][4]	-	-	± 2	LSB
E_O	偏移误差	[1][5]	-	-	± 3	LSB
E_G	增益误差	[1][6]	-	-	± 0.5	%
E_T	绝对误差	[1][7]	-	-	± 4	LSB

[1] 条件: $V_{SSA}=0V, V_{DDA}=3.3V$ 。

[2] A/D 具有单调性，没有代码丢失。

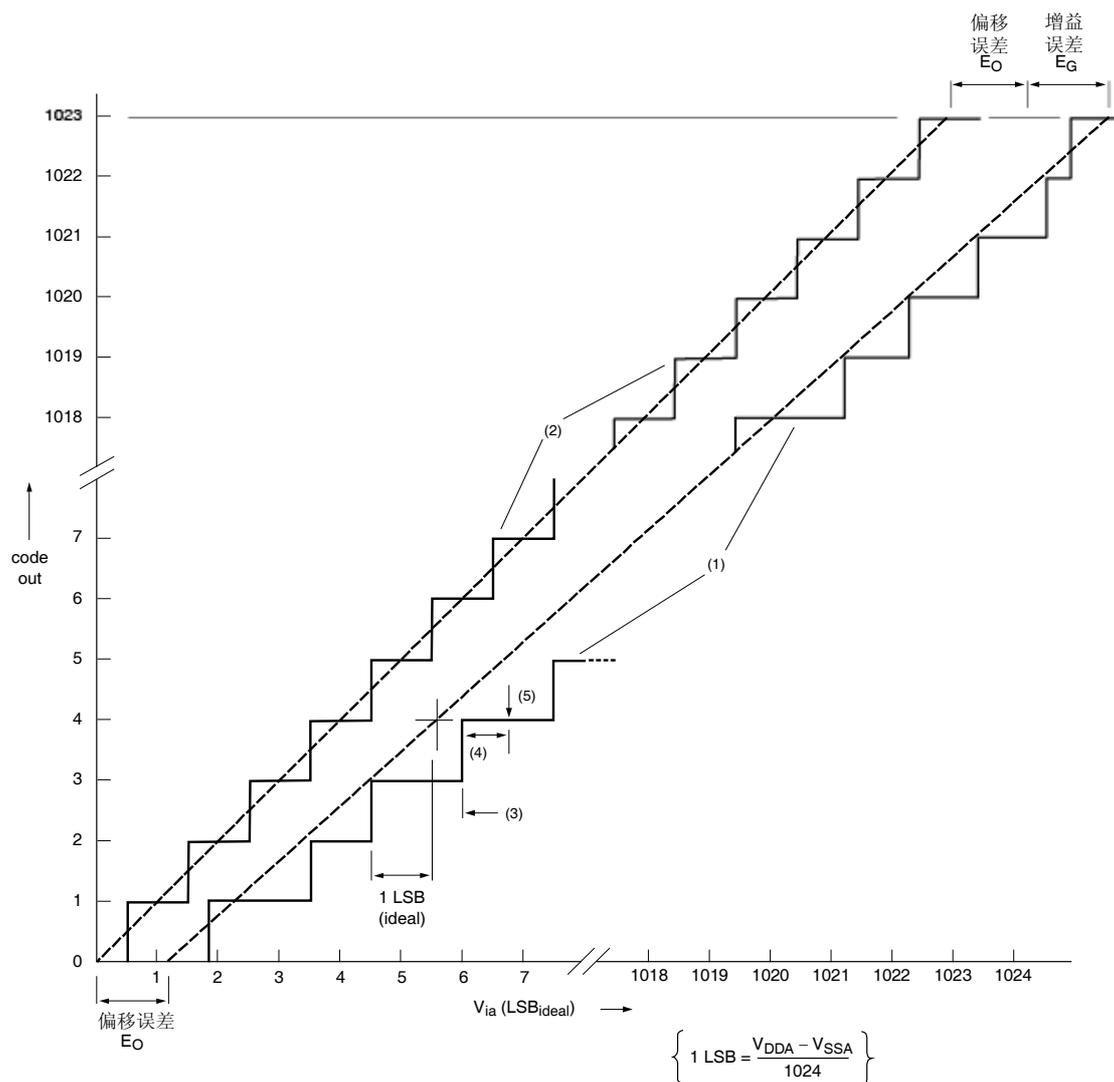
[3] 差分线性误差 (E_D) 是指实际步距宽度与理想步距宽度的差值，见图 4。

[4] 积分非线性误差 ($E_{L(adj)}$) 是指在对增益和偏移误差进行调节后，实际转换曲线的步距中心和理想转换曲线的步距中心之间的最大差值，见图 4。

[5] 偏移误差 (E_O) 是指实际曲线的直线和理想曲线的直线之间的绝对差值，见图 4。

[6] 增益误差 (E_G) 是指去除偏移误差后的实际转换曲线的直线与理想转换曲线的直线的相对百分比差值，见图 4。

[7] 绝对误差 (E_T) 是指未经校准的实际 A/D 转换曲线步距的中心与理想转换曲线的步距的中心之间的最大差值，见图 4。



- (1) 实际转换曲线
- (2) 理想转换曲线
- (3) 差分线性误差(E_D)
- (4) 积分非线性误差($E_{L(adj)}$)
- (5) 实际转换曲线步距的中心

图 4 A/D 转换特性

9. 动态特性

表 7 动态特性

$T_a = 0^\circ\text{C} \sim +70^\circ\text{C}$, 商业级; $-40^\circ\text{C} \sim +85^\circ\text{C}$, 工业级, $V_{DD(1V8,3V3)}$ 在规定范围内^[1]

符号	参数	条件	最小	典型	最大	单位
外部时钟						
fosc	振荡器频率		10	-	25	MHz
$T_{cy(CLK)}$	外部振荡器时钟周期		40	-	100	ns
t_{CHCX}	时钟高电平时间		$t_{Cy(CLK)} \times 0.4$	-	-	ns
t_{CLCX}	时钟低电平时间		$t_{Cy(CLK)} \times 0.4$	-	-	ns
t_{CLCH}	时钟上升时间		-	-	5	ns
t_{CHCL}	时钟下降时间		-	-	5	ns
端口管脚(P0.2, P0.3 除外)						
$t_{r(O)}$	输出上升时间		-	10	-	ns
$t_{f(O)}$	输出下降时间		-	10	-	ns
I²C 管脚(P0.2, P0.3 除外)						
$t_{f(O)}$	输出下降时间	V_{IH} 到 V_{IL}	$20 + 0.1 \times C_b$ ^[3]	-	-	ns

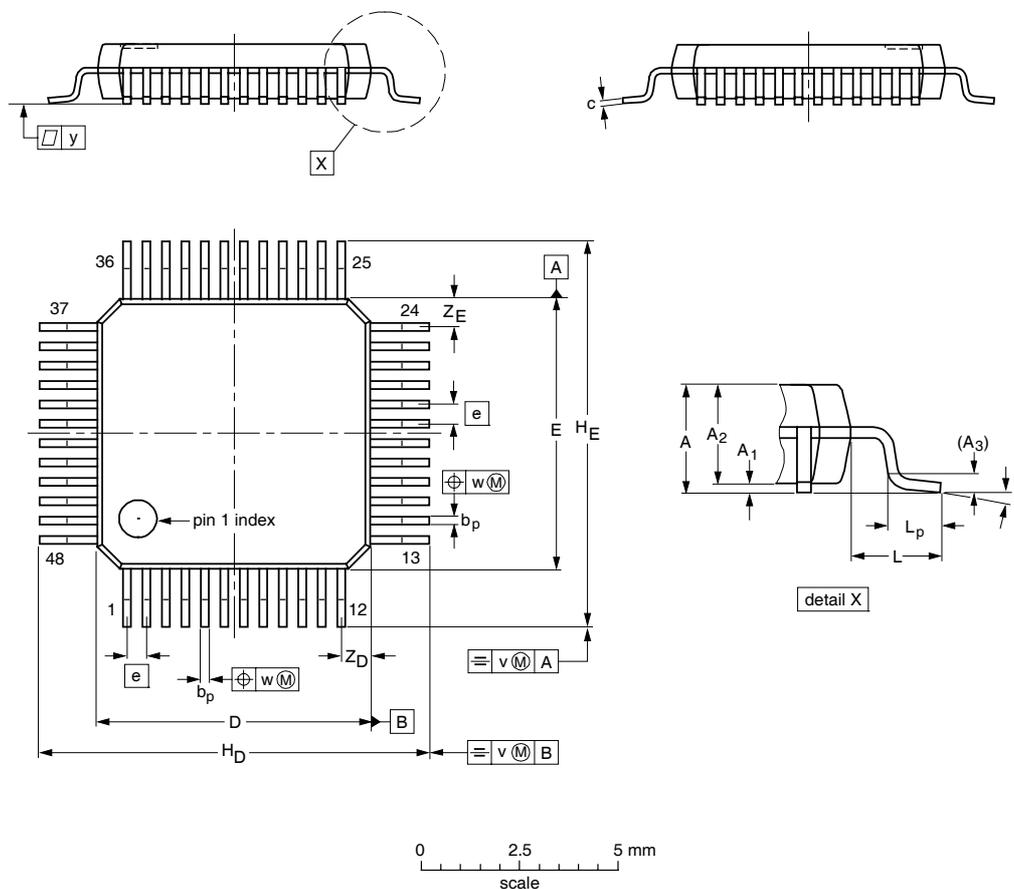
[1] 如果没有另外定义, 这些参数在操作温度范围内有效。

[2] 不能保证得到典型的标称值。表中所列值为在室温(+25°C), 标称电压下测得。

[3] 总线电容 C_b 范围为 10pF~400pF。

10. 表面封装

LQFP48 封装, 48 脚, 本体大小为 7×7×1.4mm



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H _D	H _E	L	L _p	v	w	y	Z _D ⁽¹⁾	Z _E ⁽¹⁾	θ
mm	1.6	0.20 0.05	1.45 1.35	0.25	0.27 0.17	0.18 0.12	7.1 6.9	7.1 6.9	0.5	9.15 8.85	9.15 8.85	1	0.75 0.45	0.2	0.12	0.1	0.95 0.55	0.95 0.55	7° 0°

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES			EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA		
SOT313-2	136E05	MS-026			00-01-19 03-02-25

图 5 SOT313-2(LQFP48)封装

11. 缩写词

表 8 首字母缩写词

缩写词	描述
ADC	模数转换器
APB	先进的外围总线
CPU	中央处理单元
DCC	调试通信通道
FIFO	先进先出
FIQ	快速中断请求
GPIO	通用输入/输出
IRQ	中断请求
PLL	锁相环
PWM	脉宽调制器
RAM	随机存取存储器
ROM	只读存储器
SRAM	静态随机存取存储器
UART	通用异步收发器
VIC	向量中断控制器

12. 修订记录

表 9 修订记录

文档 ID	发行日期	数据手册状态	修改注意点	文件号	取代
LPC2101_2102_2103_1	<tbd>	原始数据手册	-	-	-