

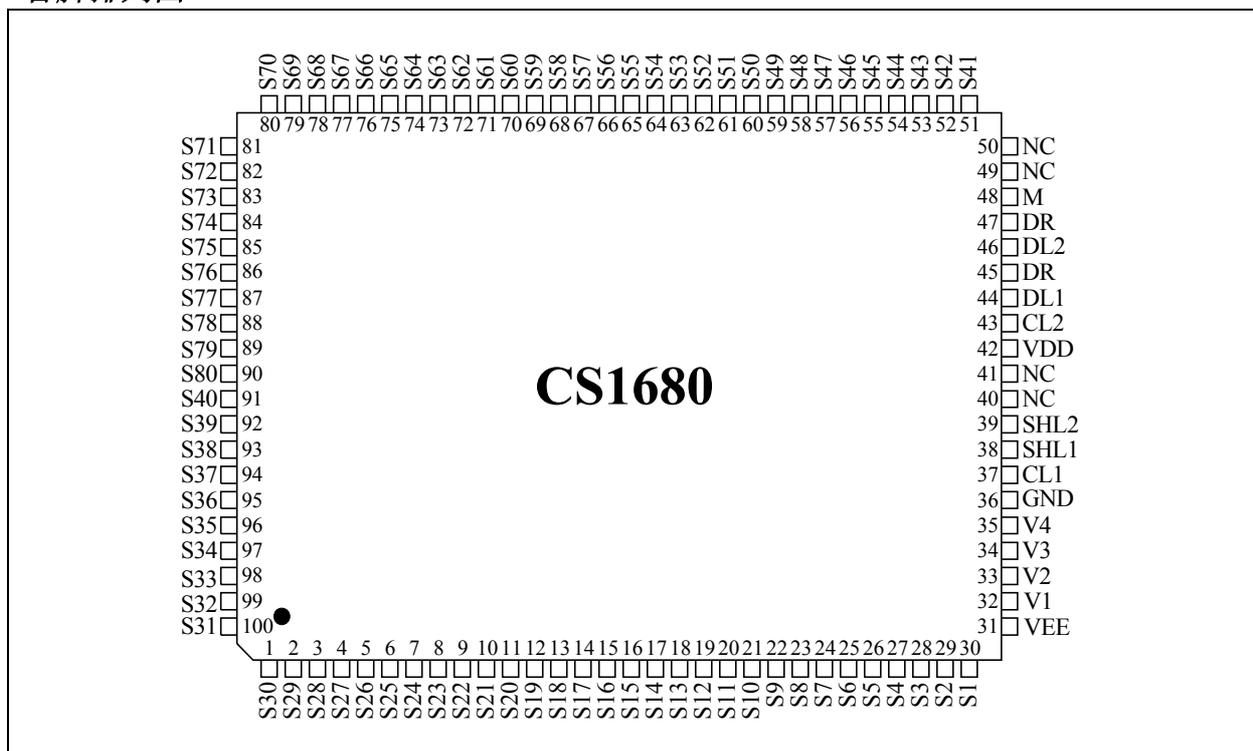
概述

CS1680 是一个点阵式 LCD 驱动电路，内建 2 组 40 位双向移位寄存器，40 位数据锁存器，40 通道 LCD 驱动输出，共有 80 个驱动通道，可作为段位驱动器。

功能特点

- 80 通道 SEG 驱动
- 输入/输出信号
 - 输出：2 个 40 通道 LCD 驱动
 - 输入：从控制电路得到串行显示信号和控制信号
 - 偏置电压：V1~V4
- 电源电压：2.7V~5.5V
- LCD 显示偏置电压：3V~13V ($V_{LCD}=V_{DD}-V_{SS}$)
- CMOS 工艺

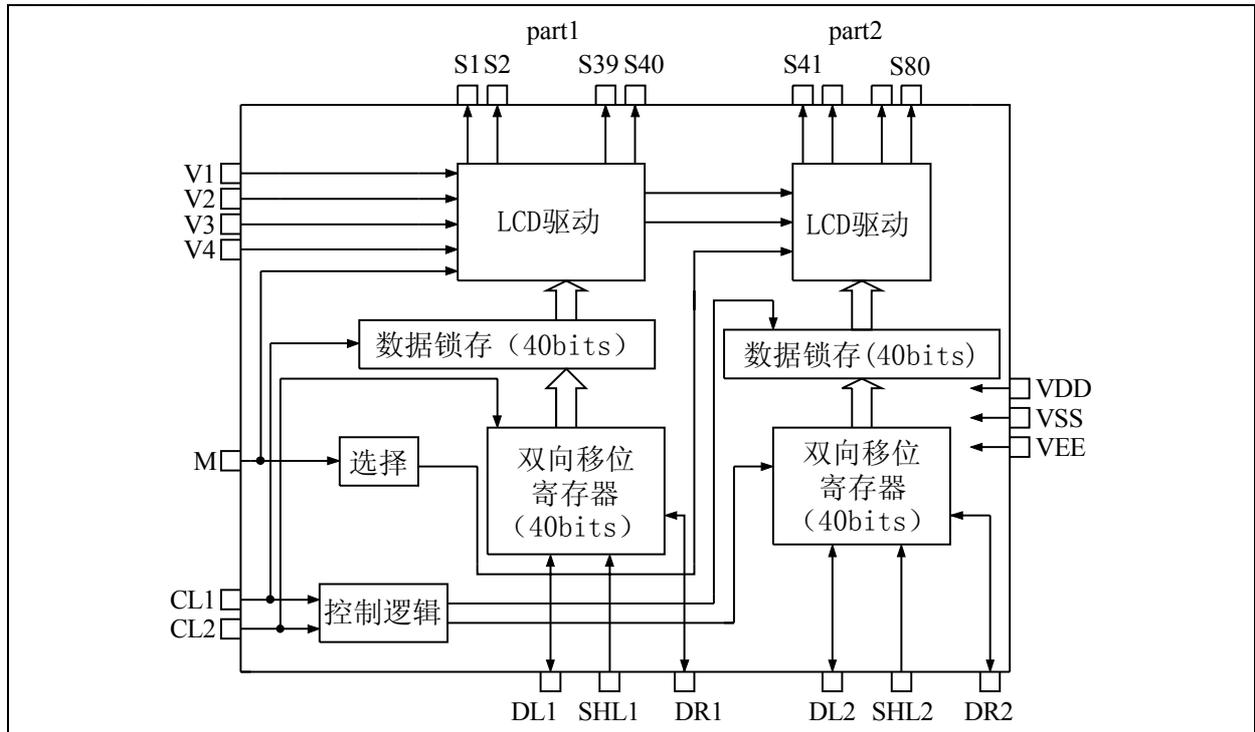
管脚排列图



管脚说明

管脚号	名称	类型	功能定义
42	VDD	I	正电压输入端
36	VSS	I	接地端
31	VEE	I	液晶显示驱动负电压输入端
30~1, 100~91	S1~S40	O	液晶显示驱动输出端 1
51~90	S41~S80	O	液晶显示驱动输出端 2
32, 33	V1, V2	I	液晶显示驱动偏置电压 (选择电平)
34, 35	V3, V4	I	液晶显示驱动偏置电压 (非选择电平)
38	SHL1	I	输出端 1 移位寄存器反向选择
			SHL1 DL1 DR1
			VDD out in VSS in out
39	SHL2	I	输出端 2 移位寄存器方向选择
			SHL2 DL2 DR2
			VDD out in VSS in out
44, 45	DL1, DR1	I/O	输出端 1 移位寄存器数据输入/输出端
46, 47	DL2, DR2	I/O	输出端 2 移位寄存器数据输入/输出端
48	M	I	可改变 LCD 输出波形

功能框图



极限参数

特性	符号	范围	单位
工作电压	V_{DD}	$-0.3 \sim +7.0$	V
液晶驱动电压	V_{LCD}	$V_{DD} - 13.5 \sim V_{DD} + 0.3$	V
输入电压 1	V_{IN1}	$-0.3 \sim V_{DD} + 0.3$	V
输入电压 2 (V1~V4)	V_{IN2}	$V_{DD} + 0.3 \sim V_{EE} - 0.3$	V
工作温度	T_{OPR}	$-30 \sim +85$	°C
贮存温度	T_{STG}	$-55 \sim +125$	°C

电参数

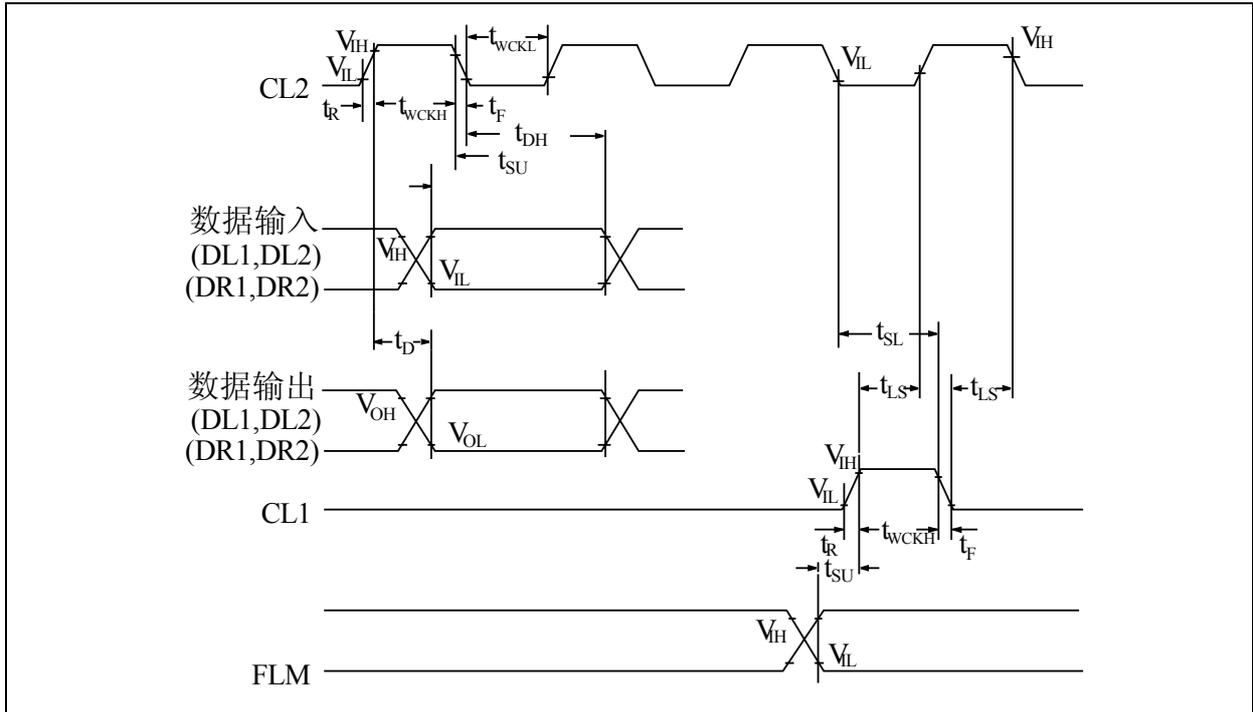
直流特性 ($V_{DD}=2.7 \sim 5.5V$, $V_{DD}-V_{EE}=3 \sim 13V$, $V_{SS}=0V$, $T_a=-30 \sim +85^\circ C$)

特性	符号	测试条件	最小	最大	单位	可应用脚
工作电流	I_{DD}	$F_{CL2} 400kHz$	-	1	mA	-
电源电流	I_{EE}	$F_{CL1} 1kHz$	-	10	μA	
输入高电压	V_{IH}		$0.7V_{DD}$	V_{DD}	V	CL1, CL2, DL1 DL2, DR1, DR2, SHL1, SHL2, M
输入低电压	V_{IL}		0	$0.3V_{DD}$		
输入漏电流	I_{LKG}	$V_{IN}=0 \sim V_{DD}$	-5	5	μA	
输出高电压	V_{OH}	$I_{oh} = -0.4mA$	$V_{DD} - 0.4$		V	
输出低电压	V_{OL}	$I_{OL} = +0.4mA$	-	0.4		DL1, DL2, DR1, DR2
电压减少	V_{D1}	$I_{ON} = 0.1mA$, S1~S40 之一	-	1.1	V	V(V1~V4)~ S(S1~S80)
	V_{D2}	$I_{ON} = 0.05 mA$, 每个 S1~S40	-	1.5		
漏电流	I_V	$V_{IN} = V_{DD} - V_{EE}$	-10	10	μA	V1~V4

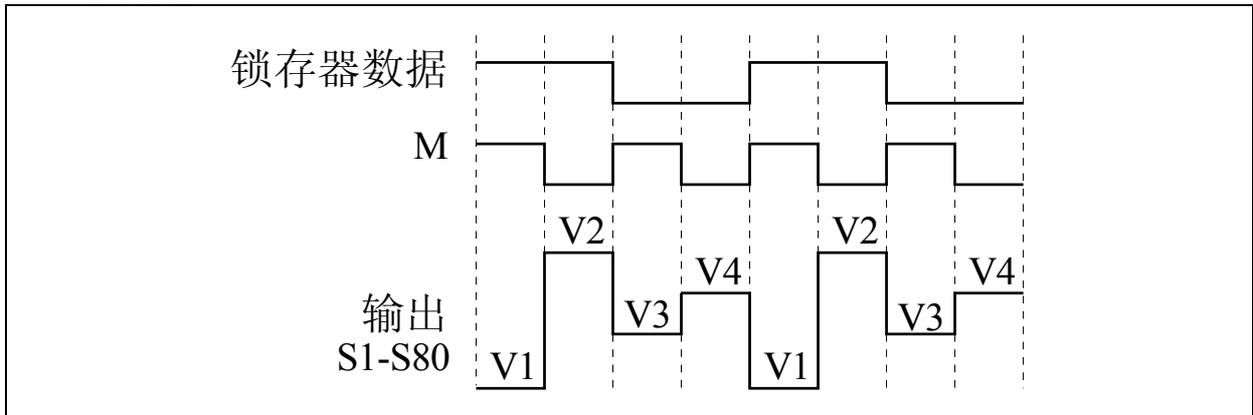
交流特性 ($V_{DD}=2.7 \sim 5.5V$, $V_{DD}-V_{EE}=3 \sim 13V$, $V_{SS}=0V$, $T_a=-30 \sim +85^\circ C$)

特性	符号	测试条件	最小	最大	单位	可应用脚
数据移位频率	f_{CL}	-	-	400	kHz	CL2
数据高电平脉宽	t_{WCKH}	-	800	-	ns	CL1, CL2
数据低电平脉宽	t_{WCKL}	-	800	-		CL2
时钟建立时间	t_{SL}	从 CL2 到 CL1	500	-		CL1, CL2
	t_{LS}	从 CL1 到 CL2	500	-		
数据上升/下降时间	T_R/T_F	-	-	200	ns	CL1, CL2
数据建立时间	t_{SU}	-	300	-		DL1, DL2, DR1, DR2
数据保持时间	t_{DH}	-	300	-		
数据延迟时间	t_D	CL=15pF	-	500		DL1, DL2, DR1, DR2

时序



LCD 输出波形



典型应用线路图

