



龙芯 2F 处理器 数据手册

1.0 版

中国科学院计算技术研究所

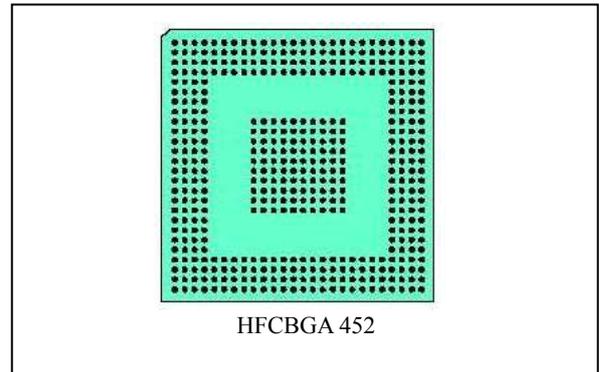
意法半导体有限公司

北京龙芯中科技术服务中心有限公司

2008 年 8 月

芯片特点

- 兼容 64 位的 MIPS III 指令集及其扩展指令集；
- 四发射动态超标量，2 个定点单元，2 个全流水浮点乘/加单元和 1 个 load/store 访存单元；
- 9-10 级的超流水线结构，支持寄存器重命名、动态调度、分支预测和其他的乱序执行技术；
- 兼容 IEEE754 标准的浮点单元，支持全流水的浮点加减、乘法、乘加等运算，支持硬件除法和开平方根运算，浮点单元还支持龙芯多媒体指令；
- 64 项 JTLB (Joint TLB)，每个表项以奇/偶页成对组织，记录 4KB-4MB 页大小的共 128 个页面，TLB 中通过执行保护位防止缓冲区溢出攻击；
- 16 项独立的指令 TLB，提高指令地址映射的效率；
- 分离的 64KB 一级指令 Cache 和 64KB 一级数据 cache，四路组相联结构，块大小为 32 字节；
- 片内 512KB 二级 cache，四路组相联结构，块大小为 32 字节，可通过软件控制二级 Cache 的打开和关闭；
- 集成 64 位 DDR2 内存控制器，最高频率为 333MHz；
- 集成 32 位 PCI/PCI-X 总线控制器，符合 PCI-X 1.0b 规范，兼容 PCI2.3；
- 1 GHz 的主频，可动态调节频率甚至关闭处理器的 Core 时钟，支持动态功耗管理；
- 1 GHz 时的功耗小于 5W；
- 集成视频加速模块，支持 YUV 格式到 RGB 格式的转换，支持图像缩放。



概述

龙芯 2F 是龙芯 2E 的改进版，具有更高的 I/O 接口带宽和访存带宽，支持软件动态调节处理器工作频率，兼容 MIPS64 指令集。

龙芯 2F 集成了高性能的龙芯 64 位 CPU 核、DDR2 内存控制器、PCI/PCI-X 总线控制器、Local-Bus 接口、中断控制器和视频加速单元。

龙芯 2F 使用 CMOS 90nm 工艺制程制造。

目 录

芯片特点.....	2
HFCBGA 452.....	2
概述.....	2
目 录.....	I
图目录.....	III
表目录.....	IV
1. 引言.....	1
2. 接口描述.....	3
2.1 接口信号模块.....	3
2.2 PCI总线接口信号.....	4
2.3 DDR2 SDRAM总线接口信号.....	4
2.4 LOCAL BUS总线信号.....	5
2.5 初始化信号.....	6
2.6 中断信号.....	7
2.7 JTAG信号.....	7
2.8 测试和控制信号.....	8
2.9 时钟信号.....	8
2.10 电源和地.....	9
3. IO总线接口描述.....	11
3.1 PCI/PCI-X接口特性.....	11
3.2 接口工作模式.....	11
3.3 PCI总线仲裁器.....	11
3.4 系统接口连接.....	11
3.5 LOCAL BUS总线描述.....	12
3.6 中断处理.....	13
4. DDR2 SDRAM控制器接口描述.....	15
4.1 DDR2 SDRAM控制器特性.....	15
4.2 DDR2 SDRAM 读协议.....	15
4.3 DDR2 SDRAM写协议.....	16
4.4 DDR2 SDRAM 参数设置顺序.....	16
4.5 DDR2 SDRAM 采样模式配置.....	17
5. 初始化过程.....	18
6. 电气特性.....	19
6.1 绝对最大最小额定值.....	19
6.2 推荐工作条件.....	19
6.3 直流参数.....	20



6.4 交流电气特性.....	21
6.5 功耗特性.....	23
7. 热特性.....	24
7.1 热阻率.....	24
7.2 回流焊温度曲线.....	24
8. 引脚排列和封装.....	25
8.1 引脚排列.....	25
8.2 封装尺寸.....	28
9. 修订历史.....	30

图目录

图 1.1 龙芯 2F 结构框图	1
图 2-1 龙芯 2F 处理器接口信号框图	3
图 3-1 龙芯 2F 单处理器系统连接	12
图 3-2 龙芯 2F 多处理器系统连接	12
图 3-3 LOCAL BUS 总线读时序	13
图 3-4 LOCAL BUS 总线写时序	13
图 4-1 DDR2 SDRAM 读协议, CAS LATENCY = 3, READ LATENCY = 3, BURST LENGTH = 8	16
图 4-2 DDR2 SDRAM 写协议, CAS LATENCY = 3, WRITE LATENCY = READ LATENCY - 1 = 2, BURST LENGTH = 4	16
图 5-1 当作为主桥时初始化过程	18
图 7-1 回流焊温度曲线	24
图 8-1 HFCBGA452 机械数据&封装尺寸	29

表目录

表 2-1 PCI总线信号	4
表 2-2 DDR2 SDRAM控制器接口信号	5
表 2-3 LOCAL BUS总线信号	5
表 2-4 初始化接口信号	6
表 2-5 中断接口信号	7
表 2-6 JTAG接口信号	7
表 2-8 时钟信号	8
表 2-9 处理器内部/外部频率配置	8
注 1: 当倍频系统为 1 时, 产生处理器CORE时钟的PLL被旁路, 此时, CORE时钟等于SYSCLK的输入时钟频率;	9
注 2: SYSCLK输入时钟必须满足对应倍频系数的输入频率要求, 否则不能保证处理器工作的稳定性; ..	9
注 3: 板级设计时, 为满足处理器CORE时钟调整的灵活性, SYSCLK的输入时钟建议使用 100MHZ; ...	9
表 2-10 DDR内部/外部分频系数	9
注 1: MEMCLK输入时钟必须满足对应倍频系数的输入频率要求, 否则不能保证内存控制器工作的稳定性;	9
表 2-10 电源和接地信号	9
表 4-1 DDR2 SDRAM行/列地址转换	15
表 6-1 绝对最大额定值	19
表 6-2 推荐的工作温度和电压	19
表 6-3 直流参数	20
表 6-4 直流参数 (JTAG)	20
表 6-5 时钟参数特性	21
表 6-6 信号输入建立和保持时间	21
表 6-7 PCI和LOCAL BUS信号输出延迟时间	22
(测试条件: SYSCLK=100MHZ, PCICLK=133MHZ, CORECLK=1000MHZ)	22
表 6-8 JTAG参数特性	22



(测试条件: TCK=100MHZ)	22
表 6-9 功耗特性.....	23
表 7-1 回流焊温度参数.....	24
表 8-1 龙芯 2F引脚排列 (左手边)	25
表 8-1 龙芯 2F引脚排列 (中间)	26
表 8-1 龙芯 2F引脚排列 (右手边)	27
表 9-1 修订文档.....	30

1.引言

龙芯 2F 是一款集成龙芯 64 位 CPU 核，兼容 MIPS64 的高性能低功耗处理器芯片。它支持 1GHz 主频，具有高 I/O 接口带宽和访存带宽。龙芯 2F 实现了软件动态调节处理器工作频率的特性，操作系统使用这个特性可根据负载情况改变处理器工作频率以达到降低功耗的目的。

龙芯 2F 还集成了 64 位 DDR2 内存控制器、PCI/PCI-X 控制器、Local-Bus 总线接口、中断控制器和视频加速单元。系统扩展通过标准的 PCI/PCI-X 总线进行，既能作为 PCI/PCI-X 总线的主控制器，也能作为 PCI/PCI-X 的设备。

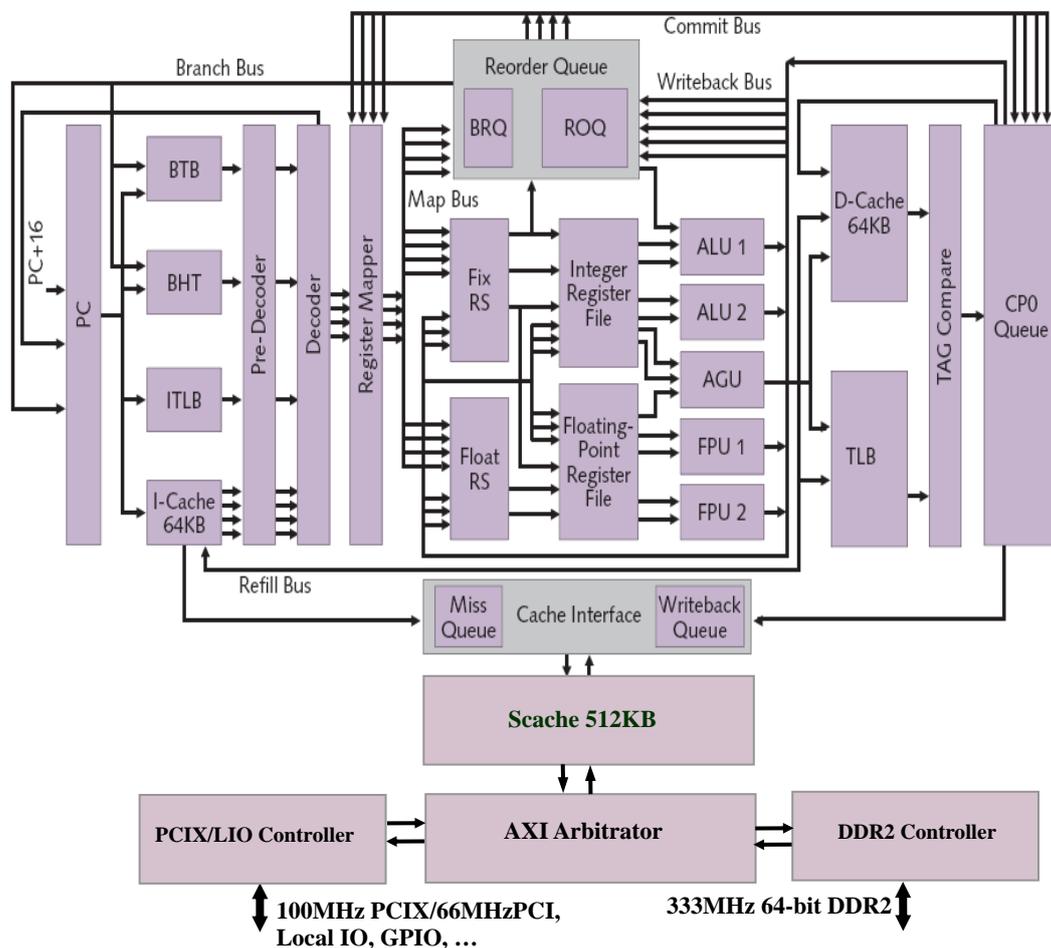


图 1.1 龙芯 2F 结构框图

龙芯 2F 在 PCI/PCI-X 控制器的写数据通路上集成了一个视频加速模块。配合软件驱动，视频加速模块能够将 YUV 格式的视频数据转换到 RGB 格式，并支持图像缩放。即使配合一个简单的外部显示控制器，也能获得流畅的视频播放性能。

龙芯 2F 内部的互连核心是一个 128 位宽度的 2x2 AXI 交叉开关。CPU 核和 PCI/PCI-X



从设备占用两个主设备端口，DDR2 控制器占用一个从设备端口，PCI/PCI-X 主设备及其它模块共享另一个从设备端口。

2.接口描述

2.1 接口信号模块

龙芯 2F 的接口信号如下图 2-1。

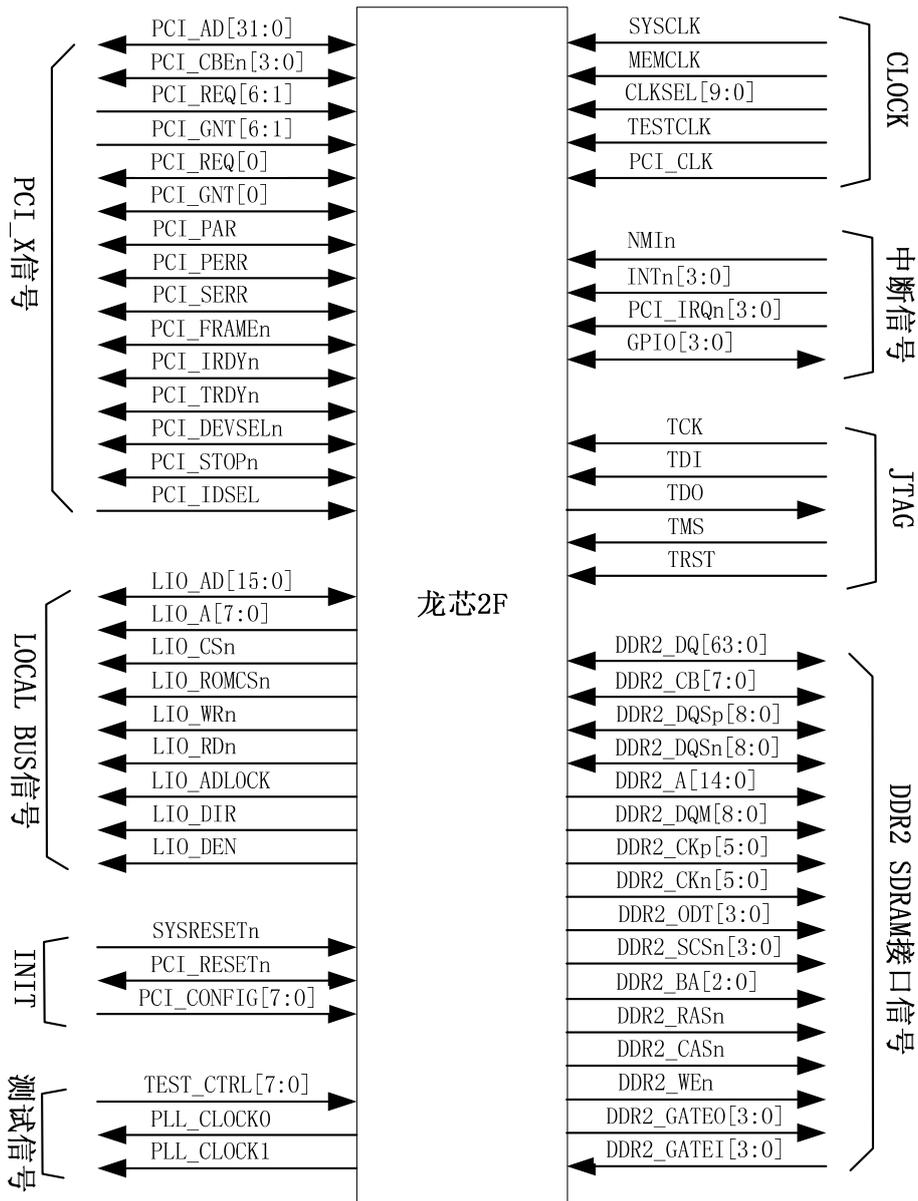


图 2-1 龙芯 2F 处理器接口信号框图

注：箭头指示信号方向，有输入、输出和双向。

2.2 PCI 总线接口信号

龙芯 2F 的 PCI 总线信号包括：

- 32 位地址/数据总线信号；
- 4 位命令/字节使能总线信号；
- 14 位总线仲裁信号；
- 7 位接口控制信号；
- 2 位错误报告信号；

表 2-1 是龙芯 2F 处理器的 PCI 总线接口信号定义。

表 2-1 PCI 总线信号

信号名称	输入/输出	描述	是否三态
PCI_AD[31:0]	I/O	PCI 地址/数据信号	T/S
PCI_CBE _n [3:0]	I/O	PCI 命令/字节使能信号，需外部上拉	T/S
PCI_PAR	I/O	地址/数据奇偶检测信号，需外部上拉	T/S
PCI_REQ _n [6:1]	I	外部设备总线占用请求输入信号，需外部上拉	否
PCI_REQ _n [0]	I/O	外部设备总线请求输入/到外部仲裁器的总线请求占用输出信号，需外部上拉。当使用外部仲裁器时，该信号作为输出信号。	T/S
PCI_GNT _n [6:1]	O	到外部设备的 PCI 总线允许输出信号，需外部上拉	否
PCI_GNT _n [0]	I/O	外部仲裁器返回的总线请求允许输入/到外部设备的 PCI 总线允许输出，需外部上拉。当使用外部仲裁器时，该信号作为输入信号。	T/S
PCI_FRAM _e	I/O	PCI 帧周期信号，需外部上拉	S/T/S
PCI_IRDY _n	I/O	PCI 主设备准备好信号，需外部上拉	S/T/S
PCI_TRDY _n	I/O	PCI 目标设备准备好信号，需外部上拉	S/T/S
PCI_STOP _n	I/O	PCI 停止数据传送信号，需外部上拉	S/T/S
PCI_DEVSEL _n	I/O	PCI 设备选择，需外部上拉	S/T/S
PCI_PERR	I/O	PCI 数据奇偶错误报告信号，需外部上拉	S/T/S
PCI_SERR	I/O	PCI 系统错误报告，需外部上拉	否
PCI_IDSEL	I	当处理器作为 PCI 主控制器时，该信号直接拉低处理；当处理器作为 PCI 设备使用时，该信号作为设备选择和配置读写时的片选信号	否

注：T/S 表示双向三态信号；

S/T/S 表示持续且低电平有效的三态信号，该信号在某一时刻只能属于一个主设备并被其驱动，它从有效变为高阻状态之前必须保证使其具有至少一个时钟周期的高电平状态，另一主设备要想驱动它，至少要等待该信号的原有驱动者将其释放(变为三态)一个时钟周期之后才能开始。

2.3 DDR2 SDRAM 总线接口信号

龙芯 2F 集成了兼容标准 JESD79-2B 的 DDR2 SDRAM 内存控制器。该内存控制器接口

包括有下列信号：

- 72 位双向数据总线信号（包括 ECC）；
- 9 路双向数据选通差分信号（包括 ECC）；
- 9 位数据掩码信号（包括 ECC）；
- 15 位地址总线信号；
- 7 位逻辑 Bank 和物理片选信号；
- 6 路差分时钟信号；
- 4 位时钟使能信号；
- 3 位命令信号；
- 4 位延迟采样输入/输出信号；
- 4 位 ODT(On Die Termination)信号；

表 2-2 是龙芯 2F DDR2 SDRAM 控制器接口信号。

表 2-2 DDR2 SDRAM 控制器接口信号

信号名称	输入/输出	描述
DDR2_DQ[63:0]	I/O	DDR2 SDRAM 数据总线信号
DDR2_CB[7:0]	I/O	DDR2 SDRAM 数据总线 ECC 信号
DDR2_DQSp[8:0]	I/O	DDR2 SDRAM 数据选通（包括 ECC）
DDR2_DQSn[8:0]	I/O	DDR2 SDRAM 数据选通（包括 ECC）
DDR2_DQM[8:0]	O	DDR2 SDRAM 数据屏蔽（包括 ECC）
DDR2_A[14:0]	O	DDR2 SDRAM 地址总线信号
DDR2_BA[2:0]	O	DDR2 SDRAM 逻辑 Bank 地址信号
DDR2_WEn	O	DDR2 SDRAM 写使能信号
DDR2_CASn	O	DDR2 SDRAM 列地址选择信号
DDR2_RASn	O	DDR2 SDRAM 行地址选择信号
DDR2_CSn[3:0]	O	DDR2 SDRAM 片选信号
DDR2_CKE[3:0]	O	DDR2 SDRAM 时钟使能信号
DDR2_CKp[5:0]	O	DDR2 SDRAM 差分时钟输出信号
DDR2_CKn[5:0]	O	DDR2 SDRAM 差分时钟输出信号
DDR2_GATEI[3:0]	I	DDR2 SDRAM 延迟采样输入信号
DDR2_GATEO[3:0]	O	DDR2 SDRAM 延迟采样输出信号
DDR2_ODT[3:0]	O	DDR2 SDRAM ODT 信号

2.4 Local BUS 总线信号

龙芯 2F 的 Local BUS 总线提供了一个简单的总线接口，用于连接系统 ROM 和低速 IO 设备。Local BUS 总线接口显示如表 2-3。

表 2-3 Local BUS 总线信号

信号名称	输入/输出	描述	是否三态
LIO_AD[15:0]	I/O	Local BUS 的地址和数据总线信号，当 ADLOCK 有效时输出地址的高 16 位	T/S
LIO_A[7:0]	O	Local BUS 的低 8 位地址总线信号	否

LIO_CS _n	O	Local BUS 的片选信号	否
LIO_ROMCS _n	O	Local BUS 的 ROM 片选信号	否
LIO_WR _n	O	Local BUS 的写使能信号	否
LIO_RD _n	O	Local BUS 的读使能信号	否
LIO_ADLOCK	O	Local BUS 的地址锁存	否
LIO_DIR	O	Local BUS 的方向信号	否
LIO_DEN	O	Local BUS 的设备使能信号	否

2.5 初始化信号

表 2-4 提供了初始化信号的名字，定义，方向和描述。

表 2-4 初始化接口信号

信号名称	输入/输出	描述																								
SYSRESET _n	I	系统复位信号，该信号的低电平状态需要维持多于一个 SYSCLK 周期，它可异步于 SYSCLK 信号。																								
PCI_RESET _n	I/O	PCI 接口复位信号																								
PCI_CONFIG[7:0]	I	PCI 配置 7 未定义 6:5 PCIX 总线速度选择 4 PCIX 总线模式选择 3 1: PCI 主控制器模式 0: 处理器作为 PCI 设备使用 2 1: 系统从 PCI 空间启动 0: 系统从 Local IO 空间启动 1 1: 使用外部 PCI 仲裁 0: 使用内部 PCI 仲裁 0 1: BIOS 使用 16 位 ROM 芯片 0: BIOS 使用 8 位 ROM 芯片 注: <table border="1" data-bbox="635 1317 1139 1520"> <thead> <tr> <th>6</th> <th>5</th> <th>4</th> <th>PCIX 总线模式</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>PCI 33</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>PCI 66</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>PCI-X 66</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>PCI-X 100</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>PCI-X 133</td> </tr> </tbody> </table>	6	5	4	PCIX 总线模式	0	0	0	PCI 33	1	0	0	PCI 66	0	1	1	PCI-X 66	1	0	1	PCI-X 100	1	1	1	PCI-X 133
6	5	4	PCIX 总线模式																							
0	0	0	PCI 33																							
1	0	0	PCI 66																							
0	1	1	PCI-X 66																							
1	0	1	PCI-X 100																							
1	1	1	PCI-X 133																							

- **SYSRESET_n**: 这个复位信号是唯一能复位整个龙芯 2F 处理器的信号。SYSCLK 和 MEMCLK 必须在 SYSRESET_n 有效时提供稳定的时钟。SYSRESET_n 的有效时间必须大于一个时钟周期。处理器内部的复位控制逻辑在 SYSRESET_n 无效时才开始复位处理器。处理器内部复位将在 64K 个 SYSCLK 周期后完成，之后复位异常处理才可以被执行。
- **PCI_RESET_n**: 当龙芯 2F 作为 PCI 总线主控制器时，这个信号作为输出，系统中的 PCI/PCI-X 设备的复位必须由该信号控制。当龙芯 2F 作为 PCI/PCI-X 设备工作时，该信号作为输入用来复位龙芯 2F 的 PCI 接口。

注：当龙芯 2F 作为 PCI 总线主控制器时，处理器仅在系统上电复位时会产生 PCI_RESET_n 复

位信号，龙芯 2F 软复位时，需使用 GPIO 和外部复位电路配合，使系统产生 PCI_RESEn 复位信号。

- PCI_CONFIG[7:0]: 定义了龙芯 2F PCI/PCI-X 接口的工作模式。它在系统复位时必须保持稳定，系统开始运行时软件需从内部寄存器中读取该值。如果系统设置成从 PCI 地址空间启动，则第一条指令的 PCI 地址必须是 0x1fc00000，否则系统将从 Local BUS 总线的 ROM 空间 0 地址处开始取指。

2.6 中断信号

龙芯 2F 处理器支持多达 12 个外部中断和一个不可屏蔽中断（NMI）。12 个外部中断包括 4 个 PCI 中断信号，4 个特殊中断信号和 4 个可配置的 GPIO 中断。另外，龙芯 2F 处理器有 3 个内部中断，2 个 PCI 总线错误报告信号和 1 个 DDR2 控制器中断。每当检测到有中断发生时，处理器就会进入异常处理。表 2-5 显示了中断信号的名字，定义，方向和描述。

表 2-5 中断接口信号

信号名称	输入/输出	描述
INTn[3:0]	I	4 个外部中断信号，这些信号分别连接到处理器中断寄存器(CR_CAUSE IP 域)的位 5 到 2，有效极性可配置（复位为低有效），需视实际情况上下拉。
NMI _n	I	不可屏蔽中断信号，有效极性可配置（复位为低有效），需视实际情况上下拉。 建议用户不要使用该信号，可以改用 INTn[3:0]或 GPIO[3:0]作为外部中断输入。
GPIO[3:0]	I/O	这些中断信号应在中断控制器中使能，可配置有效的电平和触发方式。这些中断被路由到中断寄存器的第 6 位，作为中断输入时需视实际情况上下拉。
PCI_IRQ[3:0]	I	这些中断信号应在中断控制器中使能，只能是低电平有效。这些中断能够被路由到中断寄存器的第 6 位，需外部上拉。
PCI_PERR	I/O	PCI 总线奇偶错信号，低电平有效。这些中断能够被路由到中断寄存器的第 6 位，需外部上拉。
PCI_SERR	I/O	PCI 总线系统错，低电平有效。这些中断能够被路由到中断寄存器的第 6 位，需外部上拉。

2.7 JTAG 信号

龙芯 2F 提供了一个兼容 JTAG 的边界扫描接口。JTAG 接口用于测试处理器引脚在 PCB 板上焊接的连通性。表 2-6 提供了 JTAG 信号的名字，定义，方向和描述。

表 2-6 JTAG 接口信号

信号名称	输入/输出	描述
TDI	I	JTAG 串行扫描数据输入，不使用时需外部上拉。

TDO	O	JTAG 串行扫描数据输出，不使用时需外部上拉。
TMS	I	JTAG 命令，指示输入的串行数据是一个命令，不使用时需外部上拉。
TCK	I	TAG 串行扫描时钟，不使用时需外部上拉。

2.8 测试和控制信号

龙芯 2F 芯片的测试信号仅仅用于芯片物理测试，如扫描链测试。当芯片正常工作，这些信号应设置为无效。表 2-7 提供了测试和控制信号的名字，定义，方向和描述。

表 2-7 测试和控制接口信号

信号名称	输入/输出	描述
TEST_CTRL[7:0]	I	测试项目选择信号，器件正常工作时需外部上拉。
PLL_CLOCK0	O	测试输出，不使用时悬空。
PLL_CLOCK1	O	测试输出，不使用时悬空。

2.9 时钟信号

龙芯 2F 的输入时钟信号参见表 2-8。处理器有三个系统输入时钟信号（SYSCLK，MEMCLK 和 PCI_CLK）。龙芯 2F 的 Core 时钟和 DDR2 时钟是分别通过 SYSCLK 和 MEMCLK 由内部 PLL 产生，由 CLKSEL 信号控制分频。对于更多的分频系数，参见表 2-9 和表 2-10。

表 2-8 时钟信号

信号名称	输入/输出	描述
SYSCLK	I	系统输入时钟，驱动内置的 PLL 产生处理器的 Core 时钟。它同时作为系统复位电路的时钟。
MEMCLK	I	DDR2 控制器的输入时钟，驱动内置的 PLL 用来产生 DDR2 时钟。
CLKSEL[4:0]	I	Core 时钟的 PLL 倍频控制信号，参见表 2-8。
CLKSEL[9:5]	I	DDR2 时钟的 PLL 倍频控制信号，参见表 2-9。
PCI_CLK	I	PCI 和 Local BUS 总线的时钟。

表 2-9 处理器内部/外部频率配置

CLKSEL[4:0]	倍频系数	输入频率 (MHz)	CLKSEL[4:0]	倍频系数	输入频率(MHz)
11xxx	1	-			
10000	2.25	88.9~177.8	01100	6.5	61.5~123.1
10001	2.5	80.0~160.0	01101	7	57.1~114.3
10010	2.75	72.7~145.5	01110	7.5	53.3~106.7
10011	3	66.7~133.3	01111	8	50.0~100.0
10100	3.25	61.5~123.1	00000	9	88.9~177.8
10101	3.5	57.1~114.3	00001	10	80.0~160.0
10110	3.75	53.3~106.7	00010	11	72.7~145.5
10111	4	50.0~100.0	00011	12	66.7~133.3

01000	4.5	88.9~177.8	00100	13	61.5~123.1
01001	5	80.0~160.0	00101	14	57.1~114.3
01010	5.5	72.7~145.5	00110	15	53.3~106.7
01011	6	66.7~133.3	00111	16	50.0~100.0

注 1: 当倍频系统为 1 时, 产生处理器 Core 时钟的 PLL 被旁路, 此时, Core 时钟等于 SYSCLK 的输入时钟频率;

注 2: SYSCLK 输入时钟必须满足对应倍频系数的输入频率要求, 否则不能保证处理器工作的稳定性;

注 3: 板级设计时, 为满足处理器 Core 时钟调整的灵活性, SYSCLK 的输入时钟建议使用 100MHz;

表 2-10 DDR 内部/外部分频系数

CLKSEL[9:5]	倍频系数	输入频率(MHz)	CLKSEL[9:5]	倍频系数	输入频率(MHz)
11000	1.125	88.9~177.8	10100	3.25	61.5~123.1
11001	1.25	80.0~160.0	10101	3.5	57.1~114.3
11010	1.375	72.7~145.5	10110	3.75	53.3~106.7
11011	1.5	66.7~133.3	10111	4	50.0~100.0
11100	1.625	61.5~123.1	01000	4.5	88.9~177.8
11101	1.75	57.1~114.3	01001	5	80.0~160.0
11110	1.875	53.3~106.7	01010	5.5	72.7~145.5
11111	2	50.0~100.0	01011	6	66.7~133.3
10000	2.25	88.9~177.8	01100	6.5	61.5~123.1
10001	2.5	80.0~160.0	01101	7	57.1~114.3
10010	2.75	72.7~145.5	01110	7.5	53.3~106.7
10011	3	66.7~133.3	01111	8	50.0~100.0
			00xxx	1	-

注 1: MEMCLK 输入时钟必须满足对应倍频系数的输入频率要求, 否则不能保证内存控制器工作的稳定性;

注 2: 板级设计时, 为满足 DDR2 接口时钟调整的灵活性, MEMCLK 的输入时钟建议使用 100MHz;

注 3: SYSCLK 和 MEMCLK 两个输入时钟之间没有任何频率和相位上关系的要求。

2.10 电源和地

龙芯 2F 的电源和地信号参见表 2-10。

表 2-10 电源和接地信号

信号名称	输入/输出	描述
vdd	PWR	1.2V CPU 核电源
gnd	GND	1.2V CPU 核地
Vdde1v8	PWR	1.8V DDR2 电源
gnde	GND	1.8V DDR2 和 3.3V IO 地
Vdde3v3	PWR	3.3V IO 电源
DDR2_VREF	I	0.9V DDR 参考电压输入
pll_vdd_1	PWR	1.2V PLL 1 数字电源
pll_gnd_1	GND	1.2V PLL 1 数字地
pll_vdd_0	PWR	1.2V PLL 0 数字电源

pll_gnd_0	GND	1.2V PLL 0 数字地
Pllio_vdde1v8	PWR	1.8V PLL IO 电源
pllio_gnde	GND	1.8V PLL IO 地
pllio_vdd	PWR	1.2V PLL IO 电源
pllio_gnd	GND	1.2V PLL IO 地
Pll_vdde1v8_1	PWR	1.8V PLL 1 模拟电源
Pll_gnde_1	GND	1.8V PLL 1 模拟地
Pll_vdde1v8_0	PWR	1.8V PLL 0 模拟电源
Pll_gnde_0	GND	1.8V PLL 0 模拟地
comp1v8_gnd	GND	补偿参考电流地

注：处理器的核电压和 IO 电压的上电顺序并没有严格限制，推荐以核电压在先、IO 电压在后者为最佳上电顺序。

3. IO 总线接口描述

龙芯 2F 处理器的 IO 接口包含 32 位 PCI/PCI-X 总线和 Local BUS 总线。当 Local BUS 总线作为启动或调试接口时，PCI 总线用作系统外部扩展接口。

3.1 PCI/PCI-X 接口特性

PCI/PCI-X 接口特性包括：

- 兼容 PCI 2.3 和 PCI-X 1.0b；
- 接口速度最高支持到 PCI 66MHz 和 PCI-X 100MHz；
- 支持 64 位双地址周期寻址(Dual Address Cycle)；
- 支持 PCIX 模式下 8 个对外 split 读请求；
- 支持 PCIX 模式下 4 个对内 split 读请求；

3.2 接口工作模式

龙芯 2F 的 PCI/PCI-X 接口可以工作在主控制器模式或设备模式，这需要根据上电复位时 PCI_CONFIG[3]引脚上的值。当 PCI_CONFIG[3]为低电平时，处理器工作在设备模式时。当 PCI_CONFIG[3]为高电平时，处理器工作在主控制器模式，这时由 PCI_CONFIG[6:4]的内容初始化总线设备，这种情况 PCI_IDSEL 直接接地（具体请参见 PCI-X 1.0b 标准）。

3.3 PCI 总线仲裁器

龙芯 2F 上的 PCI/PCI-X 总线仲裁器最多支持 7 个外部主设备。仲裁采用两级的 Round Robin 调度算法，每一个请求的级别由软件配置决定。仲裁器能确保在总线切换时插入一个空周期。当总线上没有请求时，总线可配置为归属于最后发起操作的主设备或任一指定的主设备。

当龙芯 2F 的 PCI/PCI-X 接口请求/允许信号连接到第 0 号请求/允许信号线并将 PCI_CONFIG[1]设置成 1 时，此时使用外部的总线仲裁器。

3.4 系统接口连接

龙芯 2F 用在单处理器系统中是很容易实现的。由于在 PCI 接口不支持多处理器 cache 一致性协议，因此在多处理器系统中 cache 一致性应该由软件来管理。

- 龙芯 2F 单处理器系统连接

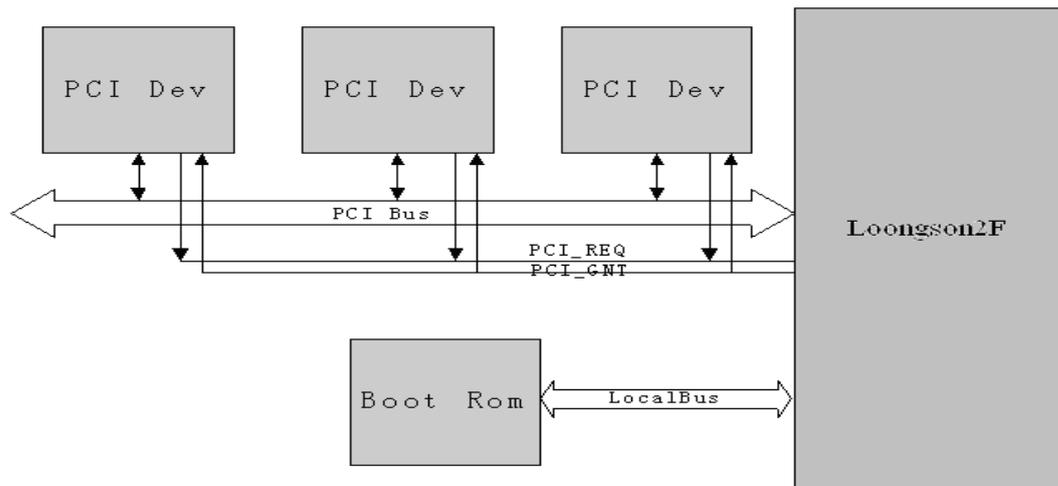


图 3-1 龙芯 2F 单处理器系统连接

■ 龙芯 2F 多处理器系统连接

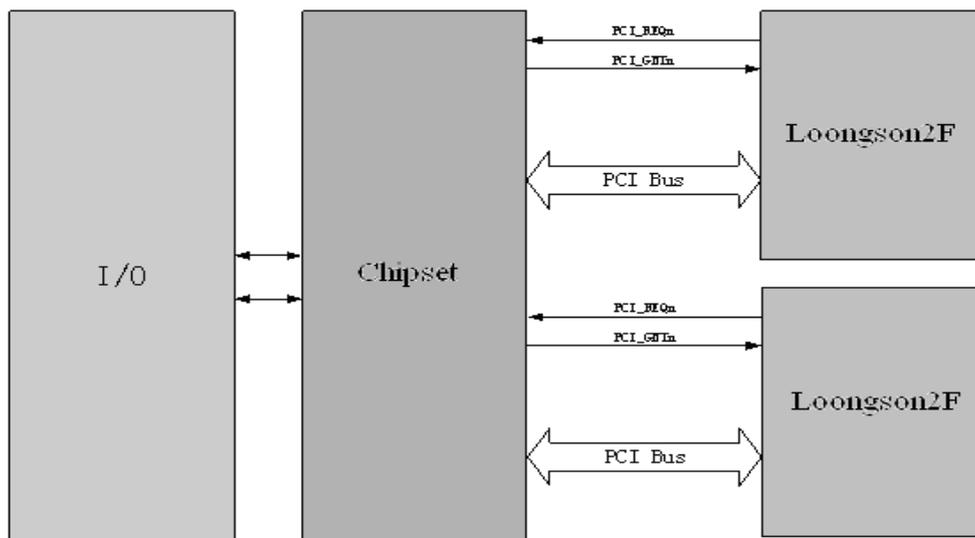


图 3-2 龙芯 2F 多处理器系统连接

3.5 Local BUS 总线描述

Local BUS 总线是一个简单的外围接口，它主要用于连接系统启动 ROM。Local BUS 有两个片选信号及相应的数据宽度和存取延迟配置信号。读写时序如图 3-3 和图 3-4。当数据宽度是 16 位时，输出地址通过右移一位产生物理地址。

Local BUS 的时钟频率与 PCI 时钟同频，两个片选信号（LIO_CS_n 和 LIO_ROMCS_n）可独立工作在 8 位或 16 位，分别支持 32MB 的 28MB 的地址空间。

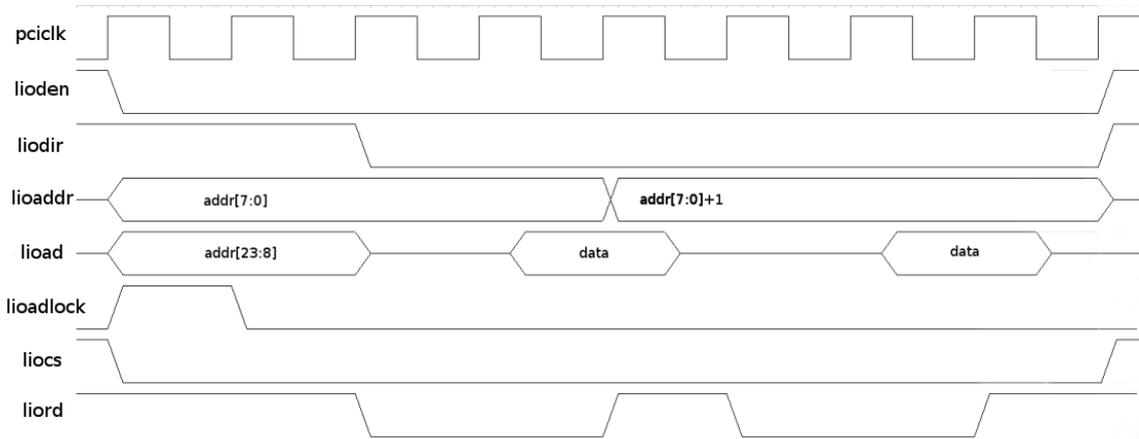


图 3-3 Local BUS 总线读时序

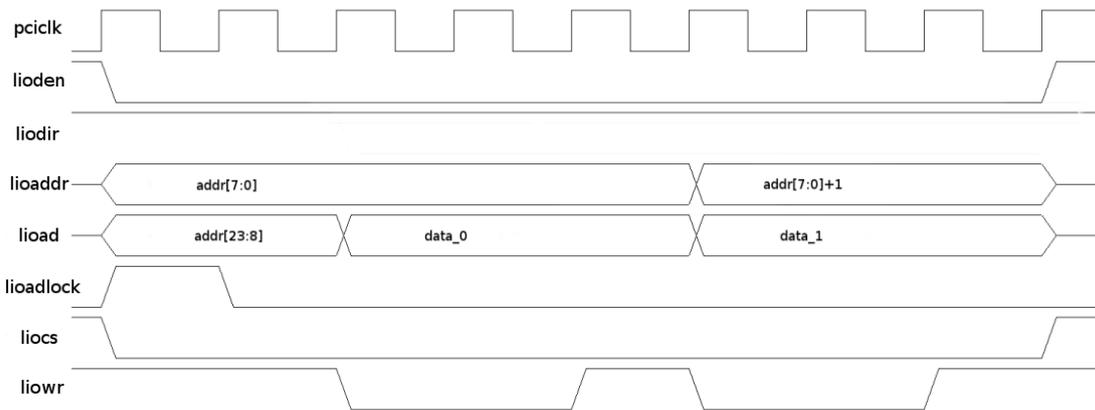


图 3-4 Local BUS 总线写时序

3.6 中断处理

龙芯 2F 处理器中内置的中断控制器是用来处理内部和外部中断。龙芯 2E 处理器的中断字段 INTn[5:0]的最高 4 位仍然使用在龙芯 2F 处理器的中断中，其它两位用于龙芯 2F 新增的中断，如 PCI_IRQ 和 GPIO 等。

在龙芯 2F 多处理器系统中，中断的处理方法是：发起中断请求的处理器写桥片中的专用中断寄存器，在接收到请求数据传输的中断请求后，桥片将向目标处理器发起中断请求。处理器处理内部中断的过程则和龙芯 2F 单处理器系统一样。



4. DDR2 SDRAM 控制器接口描述

龙芯 2F 集成了内存控制器，兼容 DDR2 SDRAM 标准（JESD79-2B）。龙芯 2F 提供 JESD79-2B 兼容的内存读写操作。

4.1 DDR2 SDRAM 控制器特性

龙芯 2F CPU 支持四个物理 Bank，通过四个片选信号和 18 位的地址总线（15 位行/列地址和 3 位逻辑 Bank 地址）实现最大地址空间是 128G (2^{37})。

龙芯 2F 支持所有的与 JESD79-2B 兼容的内存颗粒。DDR2 控制器参数能被设置为支持指定的内存芯片类型。芯片选择信号（CS_n）的最大数目是 4。行地址（RAS_n）和列地址（CAS_n）的最大带宽分别是 15 和 14。还有 3 位的逻辑 bank 信号（BANK_n）。

CPU 内存的物理地址能被转换位行/列地址，见表 4-1。例如，4 个 CS_n 信号，8 个 banks，12 位行地址和 12 位列地址。

表 4-1 DDR2 SDRAM 行/列地址转换

36	32 31	30 29	18 17	15 14	3 2	0
	CS _n	RAS _n	BANK _n	RAS _n	Byte	

内存控制器接收从处理器或外部设备发送的内存读写请求。无论是读还是写操作，内存控制器都处在 slave 状态。

内存控制器中实现了动态页管理功能。对于内存的一次存取，不需软件设计者的干预，控制器会在硬件电路上选择 Open Page/Close Page 策略。内存控制器特性包括：

- 全流水的命令和数据读写；
- 通过合并和重排序增加带宽；
- 通过丰富的寄存器读写端口修改基本的参数；
- 内置 Delay Compensation Circuit(DCC)，用来可靠的发送/接收数据；
- 1 位和 2 位错误检测，通过 ECC 进行 1 位的错误修正；
- 频率：133MHz-333MHz；

4.2 DDR2 SDRAM 读协议

图 4-1 中显示 DDR2 SDRAM 读协议，命令（CMD）包括 RAS_n，CAS_n 和 WE_n。当一个读请求发生时，RAS_n=1，CAS_n=0，WE_n=1。

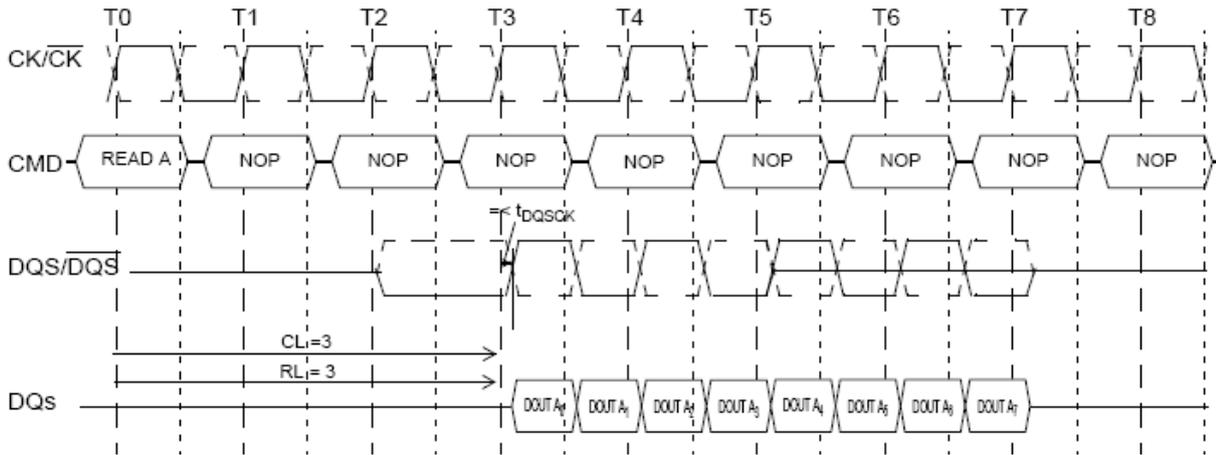


图 4-1 DDR2 SDRAM 读协议， Cas Latency = 3, Read Latency = 3, Burst Length = 8

4.3 DDR2 SDRAM 写协议

在图 4-2 中显示 DDR2 SDRAM 写协议，命令 (CMD) 包括 RAS_n, CAS_n 和 WE_n。当写请求发生时，RAS_n=1, CAS_n=0, WE_n=0。与读协议不同，DQM 用来识别需要被写的字节数。DQM 和 DQS 是同步的。

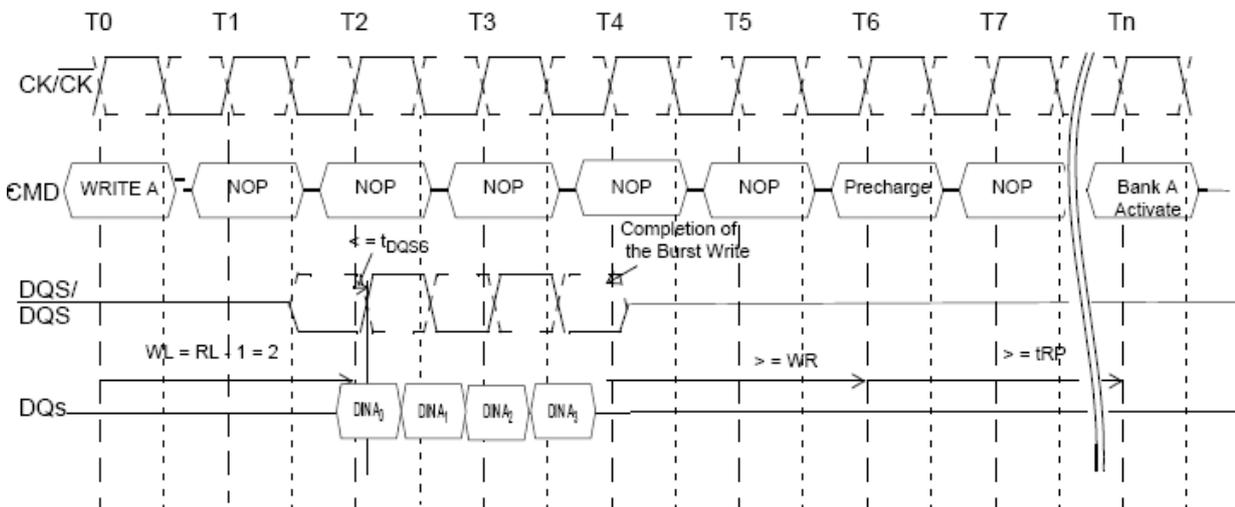


图 4-2 DDR2 SDRAM 写协议， Cas Latency = 3, Write Latency = Read Latency - 1 = 2, Burst Length = 4.

4.4 DDR2 SDRAM 参数设置顺序

为了在系统中支持不同的 DDR2 SDRAM 颗粒，DDR2 SDRAM 需要在加电复位后配置。JESD79-2B 标准定义了详细的配置操作和过程。DDR2 在内存初始化前是不可用的，内

存初始化顺序为：

1. 系统复位期间，aresetn 信号设置为 0，所有的寄存器内容将清除为缺省值；
2. 系统复位释放，aresetn 信号设置为 1；
3. 向配置寄存器地址发 64 位写指令，配置所有 29 个配置寄存器。此时如果写 CTRL_03，应将其中参数 START 设为 0。所有寄存器都必须正确配置才可以正常工作。
4. 向配置寄存器 CTRL_03 中发 64 位写指令。此时应将参数 START 设为 1。结束后内存控制器将自动对内存发起初始化指令。

在系统主板初始化后，DDR2 SDRAM 控制器在内存使用前需要配置内存类型。特别的是需要将相应的配置参数写到对应于物理地址 0X0000 0000 0FFF FE00 的 29 个 64 位寄存器中。每个寄存器会包括一个、多个或部分的参数。

4.5 DDR2 SDRAM 采样模式配置

在龙芯 2F 的 DDR2 SDRAM 控制器中通过延迟补偿电路（使用 DLL）来延迟读操作返回的 DQS 信号，并用延迟后的 DQS 采样读操作返回的数据。

将 DDR2_GATE_I[3:0] 和 DDR2_GATE_O[3:0]信号在 PCB 上连接起来用于延迟测量，这个延迟包括读操作时的两项走线延迟时间：一是时钟从控制器到内存的走线延迟，二是 DQS 从内存回到控制器的走线延迟。

5. 初始化过程

龙芯 2F的初始化分为处理器核部分和接口部分。

当龙芯 2F的PCI/PCI-X接口作为主控制器时，接口初始化将自动由控制器完成，并且 PCI_RESETn 是输出信号。当处理器作为PCI/PCI-X设备用于其它系统时， PCI_RESETn 将作为输入来复位龙芯 2F的PCI/PCI-X接口。

当处理器复位信号 $SYSRESETn$ 为低时，相关的时钟，测试信号和初始化信号都必须有效。这些信号包括：

- $SYSCLK$, $MEMCLK$, $CLKSEL$ 和 PCI_CLK 必须稳定。
- 初始化信号 PCI_CONFIG 应该被设置为合适的值。
- $TEST_CTRL[7:0]$ 都为高。

当 $SYSRESETn$ 变高后，处理器内部的复位逻辑开始初始化芯片。 $SYSRESETn$ 应至少保持一个时钟周期内有效，以保证复位逻辑能可靠采样。

$PCI/PCI-X$ 总线的工作模式由复位时的状态决定。当 $PCI/PCI-X$ 接口作为主控制器时，处理器产生的 PCI_RESETn 输出将用于保证所有的设备工作在统一模式下。当工作在设备模式时， PCI_RESETn 作为输入用于总线配置。

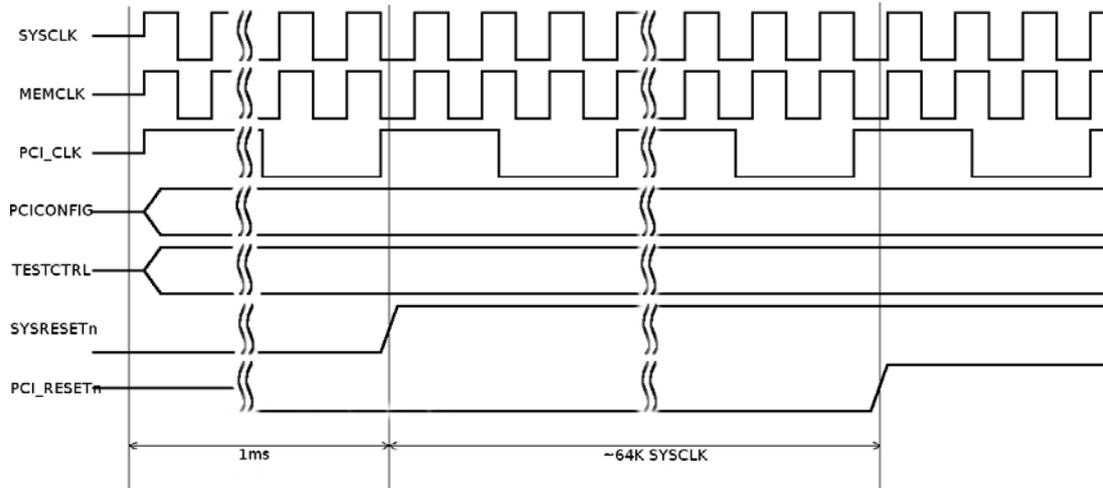


图 5-1 当作为主桥时初始化过程

6. 电气特性

6.1 绝对最大最小额定值

当实际参数超过其额定值限定范围时，可能导致芯片的永久性损坏。

注意：表 6-2 的推荐工作条件是保证处理器正常工作的前提。

表 6-1 绝对最大额定值

参数	描述	最小值	最大值	单位
Vdd	CPU 核电压	-0.3	1.32	V
vdde1v8	DDR2 电压	-0.3	2.0	V
vdde3v3	IO 电压	-0.3	4.0	V
DDR2_VREF	DDR2 电压参考值	-0.3	2.0	V
pll_vdd_1	1.0V PLL1 数字电压	-0.3	1.32	V
pll_vdd_0	1.0V PLL0 数字电压	-0.3	1.32	V
pllio_vdde1v8	1.8V PLL IO 电压	-0.3	2.0	V
pll_vdde1v8_1	1.8V PLL1 模拟电压	-0.3	2.0	V
PlI_vdde1v8_0	1.8V PLL0 模拟电压	-0.3	2.0	V
pllio_vdd	1.2V PLL IO 电压	-0.3	1.32	V
T _s	存储温度	-55	150	°C

6.2 推荐工作条件

表 6-2 推荐的工作温度和电压

参数	描述	最小值	典型值	最大值	单位
T _A	运行温度	-40		85	°C
Vdd	CPU 核电压	1.08	1.2	1.26	V
Vdde1v8	DDR2 电压	1.7	1.8	1.9	V
vdde3v3	IO 电压	3.0	3.3	3.6	V
DDR2_VREF	DDR2 电压参考值	0.83	0.9	0.97	V
pll_vdd_1	1.2V PLL1 数字电压	1.08	1.2	1.26	V
pll_vdd_0	1.2V PLL0 数字电压	1.08	1.2	1.26	V
pllio_vdde1v8	1.8V PLL IO 电压	1.7	1.8	1.9	V
pll_vdde1v8_1	1.8V PLL1 模拟电压	1.7	1.8	1.9	V

Pll_vdde1v8_0	1.8V PLL0 模拟电压	1.7	1.8	1.9	V
pllio_vdd	1.2V PLL IO 电压	1.08	1.2	1.26	V

6.3 直流参数

表 6-3 直流参数

参数	描述	最小值	典型值	最大值	单位	注释
V _{IH IO}	输入高电平电压	2			V	【1】
V _{IL IO}	输入低电平电压			0.8	V	【1】
V _{OH IO}	输出高电平电压	vdde3v3-0.3			V	【2】
V _{OL IO}	输出低电平电压			0.3	V	【2】
I _{IH}	输入高电平泄漏电流	0.002		0.4	μA	【5】
I _{IL}	输入低电平泄漏电流	-67.3		-65	μA	【5】
I _{OL}	输出低电平电流		8		mA	【3】
I _{OH}	输出高电平电流		-8		mA	【3】
C _{IN}	输入引脚电容	4.4	7	7.5	pF	
C _{OUT}	输出引脚电容	23	25	27	pF	
R _{PH}	上拉电阻	32	50	81	KΩ	【4】

表 6-4 直流参数 (JTAG)

参数	描述	最小值	典型值	最大值	单位	注释
C _{TIN}	测试输入电容	4.4	7	7.5	pF	【6】
C _{TOUT}	测试输出电容	23	25	27	pF	【7】
C _{TCK}	TCK 电容	4.4	7	7.5	pF	

注释:

- 【1】 此参数为输入脚电平(含三态脚)。
- 【2】 此参数为单个输出脚(含输出状态三态脚)的电平条件。
- 【3】 此参数为单个输出脚(含输出状态三态脚)的驱动能力。
- 【4】 适用于输入脚(不含三态脚)。
- 【5】 适用于三态输入脚(不含输入)。
- 【6】 适用于 JTAG 中的 TDI, TMS, TRST
- 【7】 适用于 JTAG 中的 TDO

6.4 交流电气特性

表 6-5 时钟参数特性

(测试条件: SYSCLK=100MHz, PCICLK=133MHz, MEMCLK=100MHz,
DDR2_CK=333MHz, CoreClk=1000MHz)

参数	最小值	典型值	最大值	单位
SYSCLK/ MEMCLK 高电平时间	2	5	8	ns
SYSCLK/ MEMCLK 低电平时间	2		8	ns
SYSCLK/ MEMCLK 上升时间	0.375			ns
SYSCLK/ MEMCLK 下降时间	0.375			ns
SYSCLK/ MEMCLK 周期变化			±300	ps
PCI_CLK 高电平时间	3			ns
PCI_CLK 低电平时间	3			ns
PCI_CLK 上升斜率	1.5			V/ns
PCI_CLK 下降斜率	1.5			V/ns
PCI_CLK 周期变化			±500	ps
DDR2_CK 高电平时间	1.41		1.59	ns
DDR2_CK 低电平时间	1.41		1.59	ns
DDR2_CK 上升斜率	1			V/ns
DDR2_CK 下降斜率	1			V/ns
DDR2_CK 周期变化			±225	ps
DQS 高电平时间	1.35		1.65	ns
DQS 低电平时间	1.35		1.65	ns
DQS 上升斜率	1			V/ns
DQS 下降斜率	1			V/ns
DQS 周期变化			±225	ps

表 6-6 信号输入建立和保持时间

(测试条件: SYSCLK=100MHz, PCICLK=133MHz, CoreClk=1000MHz)

参数	最小值	典型值	最大值	单位
PCI_* 信号建立时间	1.2			ns
PCI_* 信号保持时间	0.5			ns
LIO_* 信号建立时间	1.2			ns
LIO_* 信号保持时间	0.5			ns

(测试条件: SYSCLK=100MHz, PCICLK=66MHz, CoreClk=1000MHz)

参数	最小值	典型值	最大值	单位
PCI_* 信号建立时间	3.0			ns
PCI_* 信号保持时间	0.0			ns
LIO_* 信号建立时间	3.0			ns
LIO_* 信号保持时间	0.0			ns

表 6-7 PCI 和 Local BUS 信号输出延迟时间

(测试条件: SYSCLK=100MHz, PCICLK=133MHz, CoreClk=1000MHz)

参数	最小值	典型值	最大值	单位
PCI_* 信号有效延迟	0.7		3.8	ns
LIO_* 信号有效延迟	1.5		6.0	ns

表 6-8 JTAG 参数特性

(测试条件: TCK=100MHz)

参数	最小值	典型值	最大值	单位
TCK 高电平时间	2	5	8	ns
TCK 低电平时间	2		8	ns
TCK 上升时间	1		1	ns
TCK 下降时间	1		1	Ns
TRST 脉冲宽度	10			Ns
TDI, TMS 建立时间	3.5		4.4	Ns
TDI, TMS 保持时间	2.5		5.5	Ns
TDO 输出有效延迟			1.28	Ns
TDO 输出无效延迟			1.28	Ns

6.5 功耗特性

表 6-9 功耗特性

单位: W	1.2V 核电压 1GHz	1.26V 核电压 1GHz	1.08 核电压 600MHz
动态功耗	3.559	4.6267	2.019
漏电流功耗	0.6313	1.7937	0.8501
合计	4.190	6.4204	2.8691

注意：电流的变化取决于测试向量的变化，表中的“合计”表示CPU的整体功耗。

7. 热特性

7.1 热阻率

散热器基于以下假设：

- 环境温度 40°C；
- 按JEDEC EIA/JESD51-9 标准装配在PCB上；
- 最大功耗 7.45W；

为了使Rth低于 16°C/W：

- 1) 在没有空气流动的情况下，用一个 40mm x 40mm x 15mm的散热片或一个 27mm x 27mm x 25mm的散热片或一个 35mm x 35mm x 18mm的散热片就能达到以上效果。这时保证芯片的结温低于 120°C。
- 2) 在气流为 0.5m/s时，用一个 27mm x 27mm x 10mm的散热片就可以。这时芯片最高结温约为 112°C。

7.2 回流焊温度曲线

龙芯 2F处理器采用倒装共熔封装技术。它可以保证回流焊时的最高温度为 235°C 到 245°C。回流温度的曲线和参数如图 7-1 和表 7-1。

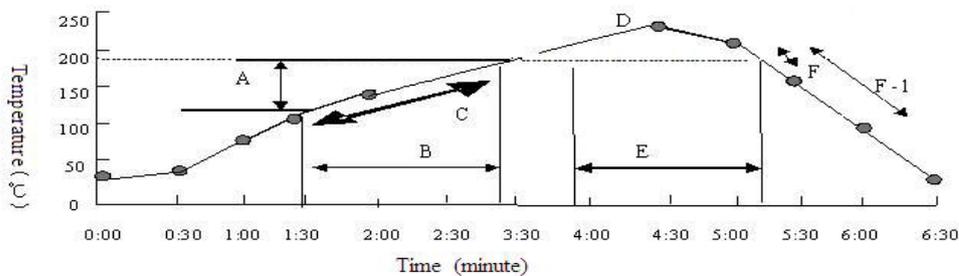


图 7-1 回流焊温度曲线

表 7-1 回流焊温度参数

参数	参考值
A	120 ~ 180°C
B	90 ~ 120 秒
C	0.3 ~ 2.0°C/秒
D	235 ~ 245°C
E	85 ~ 105 秒
F	< 1.2°C/秒
F-1	< 1.0°C/秒

8. 引脚排列和封装

8.1 引脚排列

龙芯 2F 处理器为 HSFCBGA452 封装。引脚排列如表 8-1：龙芯 2F 引脚排列（左边），龙芯 2F 引脚排列（中间），龙芯 2F 引脚排列（右边）。

表 8-1 龙芯 2F 引脚排列（左边）

	1	2	3	4	5	6	7	8	9
A	gnde	vdd	TEST_CTRL7	LIO_AD01	LIO_AD04	LIO_AD12	LIO_A3	LIO_A5	LIO_A7
B	vdd	gnde	TEST_CTRL5	TEST_CTRL6	LIO_AD05	LIO_AD08	LIO_A1	LIO_A4	sysclk
C	vdd	TEST_CTRL3	gnde	memclk	SYSRESETN	LIO_AD06	LIO_AD14	LIO_A0	testclk
D	TEST_CTRL0	TEST_CTRL1	TEST_CTRL2	gnde	pllclk01	LIO_AD02	LIO_AD10	LIO_AD09	pllclk00
E	pll_vdd_1	gpio0	gpio2	gpio3					
F	pllio_vdde1v8	pll_gnd_1	pll_vdde1v8_1	pll_gnde_1					
G	gpio1	pllio_gnd	pllio_vdd	pllio_gnde					
H	vdd	pll_gnde_0	gnde	gnde					9
J	vdd	gnde	pll_gnd_0	pll_vdde1v8_0				J	gnde
K	CLKSEL7	pll_vdd_0	gnde	gnde				K	gnde
L	CLKSEL6	CLKSEL5	CLKSEL8	CLKSEL9				L	vdd
M	CLKSEL3	CLKSEL4	CLKSEL0	CLKSEL2				M	vdd
N	vdd	CLKSEL1	PCI_CONF1G7	PCI_CONF1G6				N	vdd
P	vdd	PCI_CONF1G5	PCI_CONF1G4	vdde3v3				P	vdd
R	PCI_CONFIG3	PCI_CONF1G0	PCI_CONF1G1	vdde3v3				R	vdd
T	PCI_CONFIG2	PCI_IDSEL	PCI_AD00	PCI_AD02				T	vdd
U	PCI_AD01	PCI_AD03	PCI_AD05	PCI_AD04				U	gnde
V	PCI_CBE0n	PCI_AD06	PCI_AD07	PCI_AD08				V	gnde
W	PCI_AD10	PCI_AD09	PCI_AD12	PCI_AD14					9
Y	TEST_GND	PCI_AD11	PCI_AD13	PCI_CBE1n					
AA	PCI_AD15	PCI_PAR	PCI_SERR	PCI_FRAMEn					
AB	PCI_PERR	PCI_STOPn	PCI_IRDYn	TEST_VDD					
AC	PCI_TRDYn	PCI_DEVSELn	vdd	gnde	PCI_AD19	PCI_AD22	PCI_AD28	PCI_AD30	PCI_GNTn5
AD	vdd	PCI_CBE2n	gnde	PCI_AD17	PCI_AD23	PCI_AD24	PCI_AD27	PCI_GNTn6	PCI_REQn5
AE	vdd	gnde	PCI_AD16	PCI_AD18	PCI_AD21	PCI_AD26	PCI_AD31	PCI_REQn6	PCI_GNTn3
AF	gnde	vdd	vdd	PCI_AD20	PCI_CBE3n	PCI_AD25	PCI_AD29	PCI_REQn4	PCI_GNTn4
	1	2	3	4	5	6	7	8	9

表 8-1 龙芯 2F 引脚排列（中间）

10	11	12	13	14	15	16	17	18	
TEST_CTRL4	LIO_AD07	LIO_A2	LIO_ADLOCK	DDR2_VREF	DDR2_DQSn0	DDR2_DQ03	DDR2_DQ12	DDR2_DQM1	A
LIO_AD00	LIO_AD15	LIO_A6	LIO_DIR	DDR2_DQ00	DDR2_DQSp0	DDR2_DQ02	DDR2_DQ09	DDR2_DQSp1	B
LIO_AD03	LIO_AD13	LIO_RDn	LIO_DEN	DDR2_DQ04	DDR2_DQ05	DDR2_DQ06	DDR2_DQ08	DDR2_DQSn1	C
LIO_AD11	LIO_CSn	LIO_WRn	LIO_ROMCSn	DDR2_DQ01	DDR2_DQM0	DDR2_DQ07	DDR2_DQ13	DDR2_GATEI0	D
									E
									F
									G
10	11	12	13	14	15	16	17	18	H
vdd	vdd	vdd	gnde	gnde	gnde	vdde1v8	vdde1v8	gnde	J
gnde	vdde3v3	vdde3v3	vdde3v3	vdde1v8	vdde1v8	vdde1v8	vdde1v8	gnde	K
vdde3v3	vdde3v3	vdde3v3	gnd	gnd	vdde1v8	vdde1v8	vdde1v8	vdde1v8	L
vdde3v3	gnd	gnd	gnd	gnd	gnd	gnd	vdde1v8	gnde	M
vdde3v3	gnd	gnd	gnd	gnd	gnd	gnd	vdde1v8	gnde	N
vdde3v3	gnd	gnd	gnd	gnd	gnd	gnd	vdde1v8	gnde	P
vdde3v3	gnd	gnd	gnd	gnd	gnd	gnd	vdde1v8	gnde	R
vdde3v3	vdde3v3	vdde3v3	gnd	gnd	vdde1v8	vdde1v8	vdde1v8	vdde1v8	T
vdde3v3	vdde3v3	vdde3v3	vdde3v3	vdde1v8	vdde1v8	vdde1v8	vdde1v8	gnde	U
gnde	vdd	vdd	vdde3v3	gnde	gnde	vdde1v8	vdde1v8	gnde	V
10	11	12	13	14	15	16	17	18	W
									Y
									AA
									AB
PCI_REQn3	PCI_GNTn1	PCI_IRQnA	INTN1	tck	complv8_resistor	DDR2_SCSn1	DDR2_A00	DDR2_ODT0	AC
PCI_REQn2	PCI_REQn0	PCI_IRQnC	INTN2	tdo	PCI_CLK	DDR2_ODT3	DDR2_SCSn3	DDR2_ODT2	AD
PCI_GNTn2	PCI_GNTn0	PCI_IRQnB	INTN3	trst	tms	DDR2_ODT1	DDR2_A01	DDR2_CASn	AE
PCI_REQn1	PCI_RESETD	PCI_IRQnD	NMIN	INTN0	tdi	complv8_gnd	DDR2_A02	DDR2_A13	AF
10	11	12	13	14	15	16	17	18	

表 8-1 龙芯 2F 引脚排列 (右边)

19	20	21	22	23	24	25	26	
DDR2_GATE00	DDR2_DQM2	DDR2_DQ20	DDR2_DQ22	DDR2_CKE3	vdde1v8	vdde1v8	gnde	A
DDR2_DQ14	DDR2_DQ16	DDR2_DQ17	DDR2_DQ23	DDR2_CK4	DDR2_CKE1	gnde	vdde1v8	B
DDR2_DQ15	DDR2_DQ10	DDR2_DQSp2	DDR2_DQ18	DDR2_CKp4	gnde	DDR2_CKE2	DDR2_A12	C
DDR2_DQ11	DDR2_DQ21	DDR2_DQSn2	DDR2_DQ19	gnde	DDR2_CK1	DDR2_CKp1	DDR2_BA2	D
				DDR2_A14	DDR2_A07	DDR2_A11	DDR2_A06	E
				DDR2_A08	DDR2_CKE0	DDR2_A05	DDR2_A04	F
				DDR2_A09	DDR2_A03	DDR2_DQ29	DDR2_DQ28	G
				DDR2_DQM3	DDR2_DQ25	DDR2_DQ24	DDR2_DQ31	H
J				DDR2_DQ30	DDR2_DQ36	DDR2_DQSn3	DDR2_DQSp3	J
K				DDR2_DQ27	DDR2_DQ26	DDR2_GATE01	DDR2_GATE11	K
L				DDR2_DQ37	DDR2_DQ33	DDR2_DQ32	DDR2_DQM4	L
M				DDR2_DQ39	DDR2_DQ38	DDR2_DQSn4	DDR2_DQSp4	M
N				DDR2_DQ34	DDR2_DQ35	DDR2_CKp3	DDR2_CK3	N
P				DDR2_BA1	DDR2_A10	DDR2_CK0	DDR2_CKp0	P
R				DDR2_SCSn2	DDR2_SCSn0	DDR2_BA0	DDR2_RASn	R
T				DDR2_DQ44	DDR2_DQ40	DDR2_DQ45	DDR2_DQ41	T
U				DDR2_DQ43	DDR2_DQSn5	DDR2_DQSp5	DDR2_DQM5	U
V				DDR2_DQ48	DDR2_DQ47	DDR2_DQ42	DDR2_DQ46	V
				DDR2_DQ52	DDR2_DQ49	DDR2_GATE12	DDR2_GATE02	W
				DDR2_DQ55	DDR2_DQ51	DDR2_DQSp6	DDR2_DQSn6	Y
				DDR2_DQM6	DDR2_DQ53	DDR2_DQ54	DDR2_DQ50	A
				DDR2_DQ61	DDR2_DQ60	DDR2_DQM7	DDR2_DQ56	B
DDR2_WEn	DDR2_CB2	DDR2_DQM8	DDR2_GATE13	gnde	DDR2_DQSp7	DDR2_DQSn7	DDR2_DQ57	C
DDR2_CKp2	DDR2_CB3	DDR2_CB6	DDR2_GATE03	DDR2_DQ59	gnde	DDR2_DQ62	DDR2_DQ58	D
DDR2_CK2	DDR2_CB7	DDR2_DQSp8	DDR2_CB5	DDR2_CB4	DDR2_DQ63	gnde	vdde1v8	A
DDR2_CK5	DDR2_CKp5	DDR2_DQSn8	DDR2_CB1	DDR2_CB0	vdde1v8	vdde1v8	gnde	AF
19	20	21	22	23	24	25	26	

8.2 封装尺寸

封装编号： DR

JEDEC/EIAJ 参考号： JEDEC STANARD NO.95 SECTION 4.14 (Ball Grid Array Package Design Guide).

DIMENSIONS							
REF.	DATABOOK (mm)			DRAWING (mm)			NOTES
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
A			3.15	2.65	2.90	3.15	
A1	0.25			0.25			
A3		1.30			1.30		
A4		1.00		0.85	1.00	1.15	
b	0.45	0.50	0.55	0.45	0.50	0.55	
D	26.80	27.00	27.20	26.80	27.00	27.20	
D1		25.00			25.00		
E	26.80	27.00	27.20	26.80	27.00	27.20	
E1		25.00			25.00		
e		1.00			1.00		
F		1.00			1.00		
aaa			0.20			0.20	
ddd			0.20			0.20	
eee			0.25			0.25	(2)
fff			0.10			0.10	(3)

NOTES:

(1) - HFCBGA stands for **H**eat **S**preader **F**lip **C**hip **B**all **G**rid **A**rray.

(2) - The tolerance of position that controls the location of the pattern of balls with respect to datums A and B. For each ball there is a cylindrical tolerance zone eee perpendicular to datum C and located on true position with respect to datums A and B as defined by e. The axis perpendicular to datum C of each ball must lie within this tolerance zone.

(3) - The tolerance of position that controls the location of the balls within the matrix with respect to each other. For each ball there is a cylindrical tolerance zone fff perpendicular to datum C and located on true position as defined by e. The axis perpendicular to datum C of each ball must lie within this tolerance zone. Each tolerance zone fff in the array is contained entirely in the respective zone eee above. The axis of each ball must lie simultaneously in both tolerance zones.

(4) - The terminal A1 corner must be identified on the top surface by using a corner chamfer, ink or metallized markings, or other feature of package body or integral heatslug.
- A distinguishing feature is allowable on the bottom surface of the package to identify the terminal A1

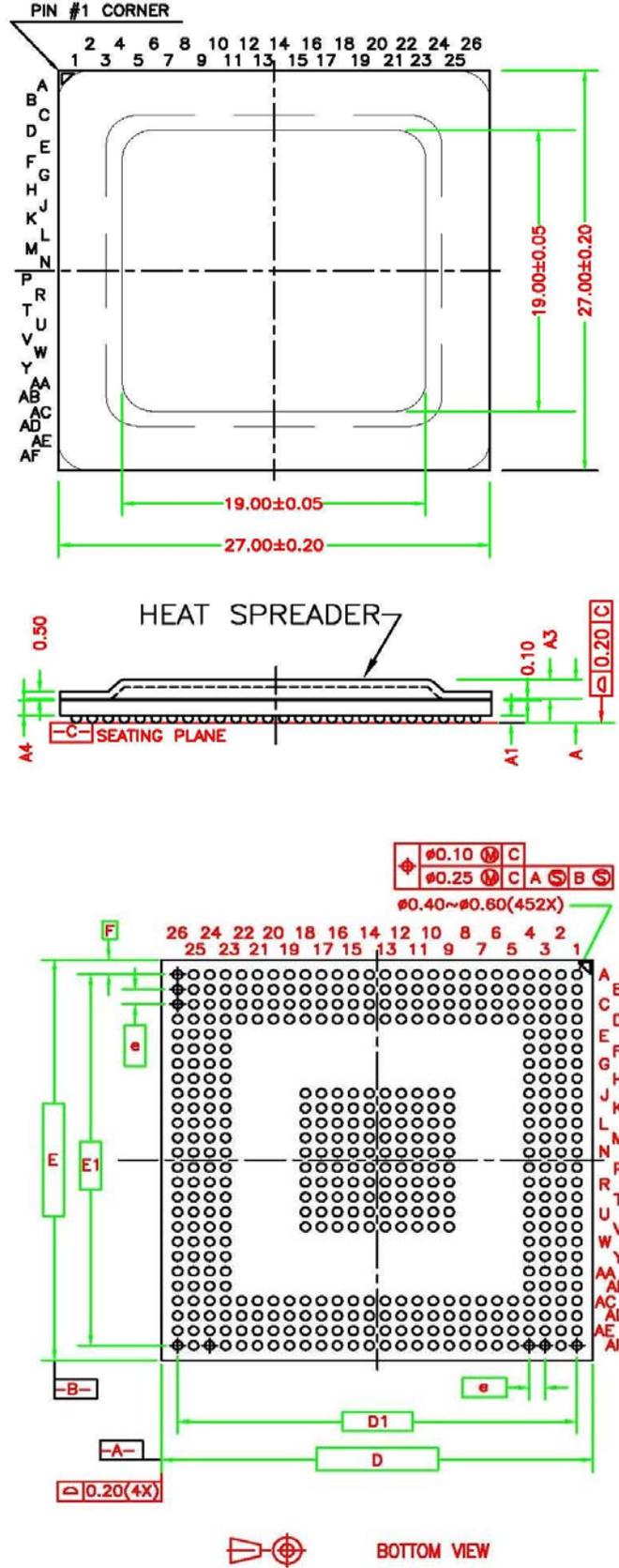


图 8-1 HFCBGA452 机械数据&封装尺寸

9.修订历史

表 9-1 修订文档

日期	版本	变化
18-Aug-2008	1.0	初始发布